

*Мірошник М. А., д.т.н.  
А.В. Шафранський, аспірант*

## МЕТОДИ ДІАГНОСТИКИ РЕКОНФІГУРОВАНИХ ЦИФРОВИХ СИСТЕМ

Проектування сучасних цифрових систем засноване на застосуванні високотехнологічних САПР цифрових пристроїв, що вимагає від розробників глибоких знань не тільки цифрової схемотехніки і архітектур обчислювальних систем, але і знання методів синтезу спеціалізованих пристроїв з мікропрограмного управлінням, знання високорівневих мов проектування і методів контролепригодного синтезу. Процес проектування сучасних вбудованих цифрових пристроїв і систем - це процес створення власних і використання стандартних цифрових компонент інтелектуальної власності, які представляють собою не тільки схемотехнічні опису, але по суті є повноцінними проектними документаціями за функціональним і параметричним моделюванням, верифікації та виготовлення з застосуванням конкретних технологій. Масове поширення мов проектування цифрових пристроїв, формування світового ринку компонент інтелектуальної власності визначило проблему захисту проектних описів і реалізованих цифрових компонент від несанкціонованого використання. Стрімкий прогрес в технологіях реалізації програмованих логічних інтегральних схем не тільки відновив інтерес інженерів і науковців до реконфігураційних обчислень, але і визначив нові завдання, такі як забезпечення захисту цифрових компонент від клонування.

Робота присвячена сучасним архитектурам вбудованих систем. Робиться огляд систем на кристалі, реконфігураційних цифрових систем, мереж на кристалі. Наводяться приклади вбудованих систем на базі ПЛІС [1].

### 1 Обзор методов диагностики

Проектування контролепригодних цифрових пристроїв базується на двох основних концепціях: спостережливості і керованості. Під *спостережливістю* розуміють можливість трансляції логічних значень внутрішніх полюсів цифрової схеми на її вихідні порти (зовнішні виводи). *Керованість* визначає можливість встановлювати необхідні логічні значення на внутрішніх полюсах цифрової схеми за допомогою її вхідних портів (зовнішніх виводів). Представлені концепції дозволяють здійснювати подачу тестових впливів, що виробляються генератором тестових послідовностей (ГТП), який підключається до

вхідних портів тестуємої схеми. У свою чергу пристрій аналізу реакцій схеми на тестові впливи підключається до вихідних портів [4].

Однією з основних проблем проектування контролепригодних цифрових пристроїв є використання додаткових зовнішніх виводів для підключення тестового обладнання. У разі реалізації цифрового пристрою в якості корпусних НВІС наявність додаткових контактів може бути лімітованою або взагалі неприйнятною. Для подолання цього обмеження широко застосовуються два підходи: 1) використання послідовних каналів передачі тестових даних і прийому реакцій від пристрою; 2) реалізація вбудованого самотестування цифрових пристроїв.

Перший підхід заснований на проектуванні внутрішньої схемотехніки цифрового пристрою з використанням зсувних регістрів, що дозволяють реалізовувати подачу тестових впливів і захоплення реакцій при мінімальній кількості додаткових висновків. Самотестування цифрових пристроїв, у тому числі використання першого методу, полягає в реалізації схем ГТП і аналізатора спільно з функціональним ядром цифрового пристрою. При цьому мінімальна кількість додаткових зовнішніх виводів може дорівнювати двом: вхід ініціалізації процедури самотестування і вихід результату тестування.

Ще одним важливим аспектом проектування контролепригодних цифрових пристроїв є реалізація можливості окремого тестування комбінаційних схем і схем пам'яті пристрою. У зв'язку з цим довільний цифровий пристрій може бути представлено як сукупність всіх комбінаційних підсхем, об'єднаних в єдину комбінаційну схему спільно з множиною елементів пам'яті, які утворюють послідовні підсхеми пристрою.

Проектування самотестуємих цифрових пристроїв ґрунтується на застосуванні вбудованих засобів для формування тестових послідовностей і аналізу реакцій, що формуються на проміжних полюсах і виходах цифрових пристроїв. Процедура аналізу здійснюється шляхом стискання реакцій пристрою в короткі ключові слова з подальшим їх порівнянням з еталонними значеннями. Ідея самотестування базується на таких основних принципах [1]:

1) генератор тестових послідовностей вбудовується в тестований цифровий пристрій; 2) вихідні реакції на тестові впливи зберігаються тестованим цифровим пристроєм у вигляді компактних характеристик - ключових слів (сигнатур, синдромів, контрольних сум тощо); 3) проведення процедури самотестування полягає тільки в ініціалізації тестування і аналізі його результату; 4) для побудови самотестуємих

цифрових пристроїв необхідно використовувати мінімальну кількість додаткових зовнішніх виводів пристрою та незначний обсяг додаткової апаратури.

В даний час застосовуються два основних підходи для проектування самотестуємих цифрових пристроїв. Перший з них заснований на використанні універсальних модулів для побудови генераторів тестів і аналізаторів вихідних реакцій. Найчастіше в якості універсального модуля використовується вбудований блок для логічного аналізу BILBO (Built-In Logic Block Observer) [2]. У цьому випадку в якості вбудованого генератора тестових впливів використовується генератор псевдовипадкових тестових послідовностей (ГПТП), який організовується в одному з режимів блоком BILBO. ГПТП блоку BILBO складається з регістра зсуву і невеликої кількості додаткових логічних елементів. Зв'язки між розрядами регістра зсуву і додатковими елементами визначаються примітивним не

$$\varphi(x)$$

приведеним поліномом  $\varphi(x)$  і є фіксованими для конкретного блоку BILBO. ГПТП формує псевдовипадкові тестові набори, що подаються на входи цифрової схеми, на виходах і проміжних полюсах якої формуються реакції на тестові впливи. Очевидно, що застосування універсального модуля BILBO зумовлює формування однієї і тієї ж тестової послідовності для всіх самотестуємих пристроїв, незалежно від їх архітектури. Введення декількох режимів генератора тестів лише незначно розширює функціональні можливості блоку BILBO і помітно ускладнює його реалізацію.

Для отримання компактних оцінок результату самотестування в блоці BILBO використовується спосіб стискання вихідних реакцій в короткі сигнатури. У цьому випадку блок BILBO перетворюється в багатоканальний сигнатурний аналізатор (БСА), який так само, як і ГПТП

$$\varphi(x)$$

описується примітивним поліномом  $\varphi(x)$ . Будь-яка відмінність сигнатури від її очікуваного значення буде свідчити про наявність несправності в цифровому пристрої, а її збіг з попередньо отриманою сигнатурою показує, що з дуже великою частотою ймовірності пристрій знаходиться в справному стані. Структура БСА, так само як і ГПТП, є строго фіксованою для конкретного універсального блоку BILBO, що знижує його ефективність. З метою усунення визначеного недоліку першого підходу низьку ефективність побудови самотестуємих цифрових пристроїв, що полягає у використанні універсальних блоків, широке поширення отримав другий підхід, заснований на синтезі ГПТП і БСА для кожного самотестуємого пристрою. Процедура синтезу ГПТП

і БСА заснована на детальному описі пристрою і обліку всіх його особливостей. Даний підхід відрізняється істотною трудомісткістю, проте він дозволяє забезпечити більш високу ефективність самотестування. Тоді досягається максимальна повнота покриття можливих несправностей цифрового пристрою.

Проектування самотестуємих пристроїв полягає не тільки в застосуванні вбудованих генераторів тестів і аналізаторів вихідних реакцій, а також в проектуванні пристрою з урахуванням його тестування в автономному режимі. Для цих цілей широко використовуються методи контролепридатного проектування, що застосовуються в практиці побудови сучасних цифрових пристроїв. Незважаючи на велике різноманіття методів контролепридатного проектування, найбільшу застосовність знаходять методи проектування послідовних цифрових схем, які використовують ідею сканування станів елементів пам'яті [3]. Застосування даного підходу дозволяє ефективно використовувати в самотестуємих пристроях схеми ГПТП і БСА. Їх практична реалізація вимагає незначного обсягу додаткової апаратури, так як в якості елементів пам'яті ГПТП і БСА можуть бути використані елементи пам'яті єдиного регістра зсуву ланцюга сканування.

## 2. Методи і засоби контролепридатного доступу

Серед усього наявного різноманіття методів контролепридатного доступу [4] слід виділити наступні:

### 1. Метод сканування елементів пам'яті.

Сутність даного методу полягає у внесенні в структуру цифрового пристрою додаткових мультиплексорів, що дозволяють перемикаєти входи елементів пам'яті пристрою. Таким чином, в режимі тестування мультиплексори об'єднують всі елементи пам'яті пристрою в єдиний регістр зсуву, що дозволяє досягти додаткових можливостей при його тестуванні. Всі елементи пам'яті при цьому тестуються ізольовано від комбінаційної частини. Подальший стан пристрою може бути встановлен незалежно від його поточного стану. Крім того, вихідні значення комбінаційної частини пристрою, що надходять на елементи пам'яті, можуть бути легко спостережувані шляхом сканування станів елементів пам'яті.

### 2. Метод наскрізного зсувного регістру.

Даний метод носить назву LSSD (Level-Sensitive Scan Design) і є стандартною технікою проектування цифрових пристроїв, запропонованою фірмою IBM. Відповідно до даного методу, кожен системний елемент пам'яті замінюється двохходовим тригером

L1 і одновходовим тригером L2, які в режимі тестування об'єднуються в єдиний зсувний регістр. Тригер L2 застосовується, як правило, тільки в процесі тестування, а тригер L1 призначений як для роботи в системі, так і для проведення тестового діагностування.

3. *Метод довільного сканування (Random Access Scan Technique)*. Даний метод є одним із різновидів методу сканування станів елементів пам'яті. Подібно класичній схемі методів сканування, даний метод також дозволяє порівняно просто встановлювати кожен елемент пам'яті в потрібний стан і спостерігати його на зовнішніх контактах цифрового пристрою. Відмінністю є використання для цих цілей елементів пам'яті з довільною адресацією, що дозволяє незалежно встановлювати, скидати або аналізувати стан будь-якого з них.

4. *Метод сканування граничних елементів пам'яті*. Подальшим розвитком ідеї сканування станів елементів пам'яті є метод проектування цифрових схем, реалізованих по архітектурі сканування граничних елементів пам'яті (Boundary-Scan Architecture). Основна ідея методу граничного сканування полягає в утворенні в режимі тестування зсувного регістру з елементів пам'яті цифрового пристрою, розташованих між її зовнішніми контактами і функціональним ядром.

З огляду на широке застосування не тільки для тестування, а й для вирішення завдань внутрішньосистемного програмування вбудованих систем, розглянемо докладніше метод сканування граничних елементів пам'яті.

**Висновки.** У роботі неведено огляд сучасних методів діагностики цифрових систем, захисту цифрових проектів і пристроїв від несанкціонованого використання і копіювання та методів аутентифікації і ідентифікації цифрових пристроїв, реалізованих на ПЛІС. Показано, що перспективною технологією, що лежить в основі методів апаратної аутентифікації і ідентифікації цифрових пристроїв, є апаратна реалізація фізично неклоніруємих функцій.

#### Список використаних джерел

1. Автоматизація проектування вбудованих систем та програмних засобів на ПЛІС мовою опису апаратури: навч. посібник М. А. Мірошник, Курцев М.С. – Харків: УкрДУЗТ, 2020. – 320.,

2. Мірошник, М.А. Проектування діагностичної інфраструктури обчислювальних систем та пристроїв на ПЛІС [Текст]: монографія / М.А. Мірошник. – Харків: ХУПС, 2012. – 188 с. – рос.мова.,

3. Мірошник М.А. Моделі і методи синтезу інтелектуальної діагностичної інфраструктури розподілених комп'ютерних систем: автореферат дисертації, 2013.,

4. Мірошник М.А. Автоматизація проектування вбудованих систем та програмних засобів на ПЛІС мовою опису апаратури: навч. посібник. Харків: УкрДУЗТ, 2020. – 196.

*О.В. Устенко, д.т.н.,*

*В.І. Павлов, к.ф.н.*

УДК 621.181

## ДОСВІД ФУНКЦІОНУВАННЯ МІЖНАРОДНОЇ ЕЛЕКТРОТЕХНІЧНОЇ КОМІСІЇ (ІЕС) ТА ЇЇ ЗНАЧЕННЯ ДЛЯ ПІДВИЩЕННЯ ЯКОСТІ І БЕЗПЕКИ ПРОДУКЦІЇ

Міжнародна електротехнічна комісія (ІЕС) - всесвітня організація, яка входить до єдиної системи міжнародної стандартизації і діє виключно в галузях приладобудування, електротехніки, електроніки, радіозв'язку та телекомунікацій. Її головним завданням є розробка стратегічного плану (Masterplane) і довгострокових програм стандартизації, міжнародних стандартів, технічної та регламентної документації у сфері безпеки використання будь-якого електротехнічного та електронного обладнання, в тому числі приладів високошвидкісних локомотивів TGV.

Головним досягненням ІЕС треба визнати розбудову системи сертифікації продукції електронної техніки (ІЕСQ), що ґрунтується на єдиних стандартизованих вимогах (ВЕТ) і дозволяє усім країнам, які підтримують стандарти ІЕС, проставляти на власній продукції відповідний сертифікований знак ІЕСQ та використовувати сертифіковану продукцію без додаткових випробувань.

Організація ІЕСQ має власні статутні правила та бюджет, який складається з щорічних членських внесків країн-членів ІЕС. Структуру ІЕСQ формують Комітет дій (ІСС) і підлеглий йому Комітет управління сертифікацією (СМС).

У системі ІЕСQ, що має широке світове визнання, передбачено два види членства – повноправне та неповне. В умовах повноправного членства прийом представників країн в ІСС повинен проходити за вимогами ІЕСQ, згідно з якими країна, що підтримує ІЕС, має надати положення про встановлення систем спостереження (інспекцій), яке відповідало б вимогам ІЕСQ до процедур спостереження та технічних засобів контролю, випробувань, а також вимог до персоналу. Крім того,