



МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ
УКРАЇНСЬКИЙ ДЕРЖАВНИЙ УНІВЕРСИТЕТ
ЗАЛІЗНИЧНОГО ТРАНСПОРТУ

Л. А. КЛИМЕНКО, І. В. КОВТУН

ЕЛЕКТРОНІКА ТА МІКРОСХЕМОТЕХНІКА

Лабораторний практикум

Харків 2025

УДК 621.38(076.5)

К 49

*Рекомендовано вченою радою Українського державного університету
залізничного транспорту як лабораторний практикум
(витяг з протоколу № 6 від 1 липня 2025 р.)*

Рецензенти:

професори М. А. Мірошник (ХНУ ім. В. Н. Каразіна),
В. В. Бараннік (ХНУРЕ)

Клименко Л. А., Ковтун І. В. Електроніка та мікросхемотехніка:
К 49 Лабораторний практикум. – Харків: УкрДУЗТ, 2025. – 181 с.,
рис. 117, табл. 45.
ISBN

Лабораторний практикум призначений для здобувачів вищої освіти першого (бакалаврського) рівня всіх форм здобуття вищої освіти спеціальностей F7 «Комп'ютерна інженерія» і G7 «Автоматизація, комп'ютерно-інтегровані технології та робототехніка», які вивчають дисципліну «Електроніка та мікросхемотехніка», а також спеціальності G5 «Електроніка, електронні комунікації, приладобудування та радіотехніка».

Викладено теоретичні основи електроніки та мікросхемотехніки. Наведено методичні рекомендації з виконання лабораторних робіт.

УДК 621.38(076.5)

ISBN

© Клименко Л. А., Ковтун І. В.
© Український державний університет
залізничного транспорту, 2025.

ЗМІСТ

Вступ	4
Лабораторна робота 1. Стислі відомості про Electronics Workbench (EWB)	5
Лабораторна робота 2. Дослідження вольт-амперних характеристик напівпровідникових випрямних діодів	18
Лабораторна робота 3. Дослідження вольт-амперних характеристик напівпровідникових стабілітронів	29
Лабораторна робота 4. Дослідження вольт-амперних характеристик біполярних транзисторів зі спільною базою	37
Лабораторна робота 5. Дослідження вольт-амперних характеристик біполярних транзисторів зі спільним емітером	45
Лабораторна робота 6. Дослідження вольт-амперних характеристик польових транзисторів з керуючим р-п-переходом	54
Лабораторна робота 7. Дослідження вольт-амперних характеристик МДН - транзисторів з індукованим каналом	63
Лабораторна робота 8. Дослідження транзисторних ключів	71
Лабораторна робота 9. Дослідження цифрових комбінаційних пристроїв із двійковими вхідними кодами	81
Лабораторна робота 10. Дослідження цифрових комбінаційних пристроїв із логічними вхідними сигналами	95
Лабораторна робота 11. Синтез і дослідження роботи тригерних пристроїв	107
Лабораторна робота 12. Дослідження комбінаційних схем із використанням синхронного RS-тригера	131
Лабораторна робота 13. Синтез і дослідження роботи регістрів	144
Лабораторна робота 14. Дослідження лічильників імпульсів	160
Бібліографічний список	180

ВСТУП

Лабораторні роботи з дисциплін «Електроніка та мікросхемотехніка» призначені для закріплення здобувачами знань, набутих на лекційних і практичних заняттях, а також набуття навичок експериментального дослідження параметрів і характеристик напівпровідникових приладів, транзисторних ключів, логічних елементів.

До виконання лабораторних робіт можуть бути допущені здобувачі, які склали інструктаж із техніки безпеки і контрольне опитування. Звіт із лабораторної роботи складає кожен здобувач окремо. Захист виконаної роботи відбувається під час наступного заняття. Під час перебування в лабораторії здобувачі повинні суворо дотримуватися вимог техніки безпеки роботи з комп'ютерною технікою. Інструктаж із техніки безпеки проводить викладач на початку лабораторних занять, про що кожен здобувач і викладач засвідчують у лабораторному журналі.

Лабораторні роботи виконують у комп'ютерних класах із використанням програми для моделювання електронних схем Electronics Workbench.

Наприкінці кожної роботи наведено контрольні запитання, відповіді на які визначають ступінь готовності здобувачів до виконання лабораторної роботи і завдання за варіантами.

ЛАБОРАТОРНА РОБОТА 1

СТИСЛІ ВІДОМОСТІ ПРО Electronics Workbench (EWB)

Комплекс EWB використовують для машинного моделювання електронних схем.

Після запуску програми на екрані монітора з'являється зображення основного і додаткових вікон. Основне вікно містить редактор схем і бібліотеку елементів (Parts). Над вікном редактора схем розміщені піктограми панелі компонентів (рис. 1.1).

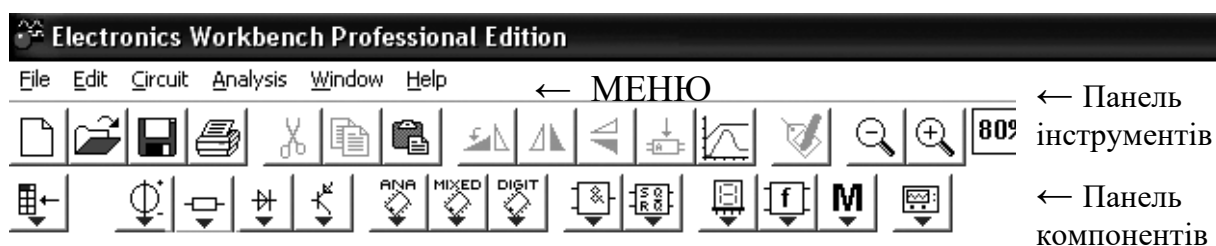


Рис. 1.1. Панелі компонентів та інструментів, пункти Меню програми EWB

Під заголовком основного вікна наведений рядок головного меню, що містить такі пункти: File, Edit, Circuit, Analysis, Window, Help.

Меню File призначено для завантаження і запису файлів, отримання твердої копії складової схеми, яку вибрано для друкування, а також імпортування/експортування файлів у форматах інших систем моделювання і програм розроблення друкованих плат. Схемні файли програми EWB мають розширення ewb.

Меню Edit дає змогу виконувати такі команди редагування схем і копіювання екрана:

1. **Cut (CTRL+X)** — стирання (вирізання) виділеної частини схеми із збереженням її в буфері обміну (Clipboard). Виділяють один компонент натисненням мишки на зображенні компоненти. Для виділення частини

схеми або декількох компонентів необхідно поставити курсор мишки в лівий кут уявного прямокутника, що охоплює виділену частину, натиснути ліву кнопку мишки і, не відпускаючи її, протягнути курсор по діагоналі цього прямокутника, контури якого з'являються вже на початку руху мишки, а потім відпустити кнопку. Виділені компоненти будуть забарвлені в червоний колір.

2. **Copy (CTRL+ C)** — копіювання виділеної частини схеми в буфер обміну.

3. **Paste (CTRL+ V)** — вставляння вмісту буфера обміну на робоче поле програми.

4. **Delete (Del)** — стирання виділеної частини схеми.

5. **Select All (CTRL+ A)** — виділення всієї схеми.

6. **Copy as Bitmap** або **Copybits (CTRL+ I)** — команда перетворює курсор мишки на хрестик, яким, за правилом прямокутника, можна виділити потрібну частину екрана, після відпускання лівої кнопки мишки виділена частина буде скопійована в буфер обміну, після чого його вміст можна імпортувати в будь-яку програму Windows.

7. **Show Clipboard** — показати вміст буфера обміну.

Меню Circuit використовують для підготовки схем, воно містить такі основні команди.

Команди керування розташуванням графічного зображення компонентів: **Flip Horizontal** — дзеркальне відображення компонента по горизонталі і **Flip Vertical** — те саме, але по вертикалі. **Rotate (CTRL+ R)** — обертання виділеного компонента. Ці команди можна виконати також натисненням відповідних кнопок (рис. 1.2).



Рис. 1.2. Кнопки команд керування поворотом зображення компонентів

Component Properties (властивості компонента). Команда буде виконана також після подвійного натиснення лівої кнопки (або одного натиснення правої кнопки) мишки на зображенні компонента.

З виконанням команди відкривається діалогове вікно такого змісту:

Label... (CTRL+L) — введення позиційного позначення виділеного компонента (наприклад R1 — для резистора, C5 — для конденсатора і т. д.);

Value... (CTRL+U) — зміна номінального значення параметра компонента. Команду виконують також подвійним натисненням на компоненті. Номінальне значення параметра вводять на клавіатурі, натисненням курсором мишки на кнопки вгору-вниз вибирають множник, кратний 1000. Наприклад, для конденсатора задано його ємність у пікофарадах (пФ), нанофарадах (нФ), мікрофарадах (мкФ) або міліфарадах (мФ);

Fault (CTRL+ F) — імітація пошкодження виділеного компонента шляхом введення: Leakage — опір витoku; Short — короткого замикання; Open — обриву; None — несправність відсутня (ввімкнено за замовчуванням);

Display — за його допомогою задають характер виведення на екран позначень компонента. Вибираючи опції Use Schematic Options global setting, використовують установки, прийняті для всієї схеми, інакше використовують індивідуальне налаштування виведення на екран позиційного позначення і номінального значення для кожного компонента.

Analysis Setup дає змогу встановити температуру для кожного компонента індивідуально або використовувати її номінальне значення, прийняте для всієї схеми (Use global temperature).

Для активних компонентів меню команди Component Properties містить підменю **Models (CTRL + M)** — вибір моделі компонента (напівпровідникового приладу, операційного підсилювача,

трансформатора та ін.). Команду виконують також подвійним натисненням на компоненті.

Основні функції цієї команди:

Model — перелік моделей компонентів вибраної бібліотеки;

New Library — створення нової бібліотеки; після внесення її імені в діалоговому вікні і натиснення клавіші **Accept** (прийняти) це ім'я з'явиться в колонці **Library**.

Edit — після натиснення цієї кнопки на екрані з'являється діалогове вікно з параметрами вибраної моделі. У разі необхідності редагування параметрів доцільно за командою **New Library** створити окрему бібліотеку (щоб не псувати параметри бібліотечного компонента), куди необхідно перенести компонент для редагування за допомогою команд: **Copy** — копіювання компонента в буфер обміну, який виділено в колонці **Model**; **Paste** — вставляння моделі компонента, яку скопійовано в буфер обміну, у бібліотеку, яку вибрано в колонці **Library** (у тому числі і знов створену) із подальшим редагуванням її параметрів без зміни характеристик компонента основної бібліотеки; **Rename** — перейменування моделі компонента, яку виділено. Робота з меню, як і у всіх інших подібних випадках, закінчується натисненням кнопок **Accept** або **Cancel** — із збереженням або без збереження запроваджених змін.

Меню **Analysis** містить такі підпункти: **Activate (CTRL+G)** — запуск моделювання, **Stop (CTRL+T)** — зупинка моделювання, **Pause (F9)** — переривання моделювання. Ці команди можна виконати натисненням кнопок, розташованих у правому верхньому кутку екрана (рис. 1.3).



Рис. 1.3. Зображення кнопок меню **Analysis**

EWB має велику бібліотеку компонентів. Бібліотека компонентів програми містить пасивні елементи, транзистори, керовані джерела, керовані ключі, гібридні елементи, індикатори, логічні елементи. Панель компонентів складається з піктограм полів компонентів, поле компонентів — з умовних зображень компонентів. Натисненням мишкою на одній із піктограм полів компонентів, розташованих на панелі, можна відкрити відповідне поле, на якому вибрати необхідний схемний елемент.

Для редагування параметрів елементів потрібно підвести курсор до піктограми редагованого об'єкта, двічі натиснути лівою кнопкою мишки, задати параметри. Схемний елемент, який у цей момент редагує користувач, буде виділений червоним кольором. Для відміни виділення потрібно один раз натиснути правою клавішею мишки на піктограмі елемента. Наприкінці процедури редагування необхідно натиснути мишкою на кнопці Асерт (прийняти).

Усі схемні елементи поділено на групи, кожна група має піктограму, яка розташована в полі компонентів. Нижче дано перелік, короткий опис і умовні графічні позначення (УГП) основних елементів, які використовують у лабораторних роботах. Компоненти, які використовують лише в окремих лабораторних роботах, буде розглянуто конкретно в цих роботах.

Sources — джерела сигналів (джерела живлення і керовані джерела). З цієї групи для виконання лабораторних робіт знадобляться такі компоненти  (рис. 1.4).

ЕДС джерела постійної напруги (**Battery**) (рис. 1.4, а) або батареї вимірюють у вольтах і задають похідними величинами (від мкВ до кВ).

Струм джерела постійного струму (direct current) (**DC current source**) (рис. 1.4, б) вимірюють в амперах і задають похідними величинами (від мкА до кА).

Діюче значення (root-mean-square – RMS) напруги джерела змінної напруги (**AC voltage source**) (рис. 1.4, в) вимірюють у вольтах і задають

похідними величинами (від мкВ до кВ). Можливе установлення частоти і початкової фази.

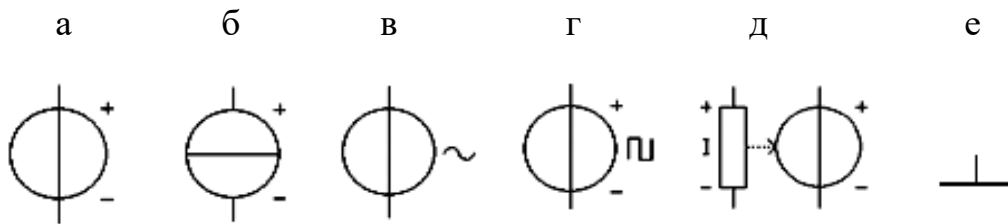


Рис. 1.4. Піктограма поля **Sources** і його компоненти:

- а – джерело постійної напруги; б – джерело постійного струму;
в – джерело змінної напруги; г – тактовий генератор;
д – джерело напруги, кероване струмом; е – заземлення

Тактовий генератор (**Clock**) (рис. 1.4, г) виробляє послідовність прямокутних імпульсів. Можна регулювати амплітуду імпульсів, коефіцієнт заповнення і частоту імпульсів.

Джерело напруги, кероване струмом (**Current-Controlled Voltage Source**) (рис. 1.4, д). Величина вихідної напруги залежить від струму, що протікає через джерело. Напруга і струм зв'язані параметром *transresistance*, який є відношенням вихідної напруги до струму, що протікає через джерело. Цей параметр може мати будь-яке значення (від $m\Omega$ до $k\Omega$).

Компонент «заземлення» (**Ground**) (рис. 1.4, е) має нульову напругу і в такий спосіб забезпечує початкову точку для відліку потенціалів.

Усі джерела в Electronics Workbench ідеальні. Внутрішній опір ідеального джерела напруги дорівнює нулю, тому його вихідна напруга не залежить від навантаження. Ідеальне джерело струму має нескінченно великий внутрішній опір, тому його струм не залежить від опору навантаження.

Basic. У цій групі є основні компоненти , зображені на рис. 1.5.

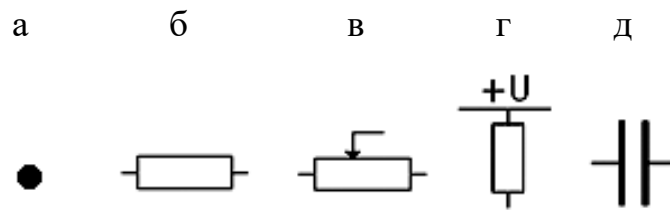


Рис. 1.5. Піктограма поля Basic і його компоненти:

а – з’єднувач; б – резистор; в – змінний резистор; г – резистор, підключений до плюсового виводу джерела напруги; д – конденсатор

Connector (з’єднувач) (рис. 1.5, а). Вузол застосований для з’єднання провідників і створення контрольних точок. До кожного вузла може бути підключено не більше чотирьох провідників. Після того як схему зібрано, можна вставити додаткові вузли для підключення приладів.

Resistor (резистор) (рис. 1.5, б). Опір резистора вимірюють в омах і задають похідними величинами (від Ом до МОм).

Potentiometer (змінний резистор) (рис. 1.5, в). Положення движка змінного резистора встановлюють за допомогою спеціального елемента — стрілки-регулятора. У діалоговому вікні можна встановити опір, початкове положення движка (у відсотках) і крок приросту (також у відсотках). Можна змінювати положення движка за допомогою клавіш-ключів.

В EWB використовують такі клавіші-ключі: літери від А до Z, цифри від 0 до 9, клавіша Enter на клавіатурі, клавіша пропуск [Space]. Для зміни положення движка необхідно натиснути клавішу-ключ. Для збільшення значення положення движка необхідно одночасно натиснути [Shift] і клавішу-ключ, для зменшення – клавішу-ключ.

Pull-Up resistor – резистор, підключений до плюсового виводу джерела напруги (рис. 1.5, г). Можна змінювати величину опору і напруги.

Конденсатор (**Capacitor**) (рис. 1.5, д). Розмірність вибирають із ряду: pF, nF, μ F, mF, тобто в діапазоні від пікофарад до міліфарад.

Програма EWB дає змогу для моделювання схем вимірювати напруги, струми, опори, а також візуально контролювати форму сигналів і т. п. Для цього є бібліотека груп контрольно-вимірювальних приладів, піктограми яких розташовані на панелі компонентів справа.

Розглянемо деякі контрольно-вимірювальні прилади, які будуть застосовані під час виконання лабораторних робіт.

Прилади групи **Indicators**  (рис. 1.6).

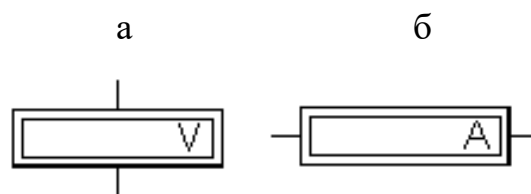


Рис. 1.6. Прилади групи Indicators: а – вольтметр; б – амперметр

Вольтметр (Voltmeter) – прилад для вимірювання напруги в колах постійного і змінного струмів (рис. 1.6, а). Режим задають у полі Mode: DC (Direct Current) – постійний струм, AC (Alternating Current) – змінний струм. Користувач може задати величину внутрішнього опору вольтметра в рядку Resistance (опір). Вивід вольтметра, який виділено більшою товщиною лінії, має у режимі DC бути підключений до виводу схеми з меншим потенціалом.

Амперметр (Ammeter) служить для вимірювання сили струму в режимах DC і AC. Модель амперметра редагують аналогічно редагуванню моделі вольтметра. Мінусова клемма на піктограмі виділена у вигляді потовщеної бокової сторони прямокутника (рис. 1.6, б). Щоб зменшити

похибку вимірювання, внутрішній опір амперметра має бути в сотні раз менший за опір у вимірюваному колі.

Прилади групи **Instruments**  (рис. 1.7).

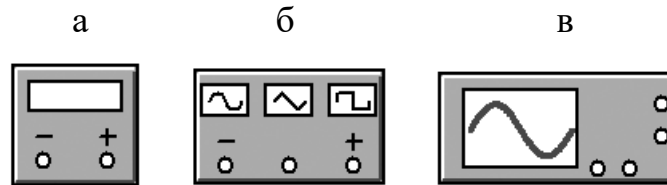


Рис. 1.7. Прилади групи Instruments:

а – мультиметр; б – функціональний генератор; в – осцилограф

Мультиметр (Multimeter) – багатофункціональний вимірювальний прилад, входи якого позначені на піктограмі знаками «-» і «+» (рис. 1.7, а). Після подвійного натиснення мишки на піктограмі приладу на полі схемного редактора відкривається передня панель приладу з кнопками керування. Необхідно вибрати один із чотирьох можливих режимів вимірювання: сили струму (режим A), напруги (режим V), опору (режим Ω), втрати напруги в децибелах (режим db), а також вид струму (постійний DC або змінний AC). Внутрішній опір та інші параметри мультиметра в кожному з режимів редагують після натиснення на кнопку Setting (настроювання).

Перехід від розгорнутого зображення контрольно-вимірювального приладу до піктограми здійснюють у такий спосіб. Спочатку необхідно за допомогою мишки перемістити курсор на кнопку системного меню, яка розміщена в лівому верхньому куті приладу і має вигляд горизонтальної планки всередині квадрата. Далі потрібно натиснути і не відпускати ліву клавішу мишки. При цьому відкривається вікно меню, у якому необхідно виділити команду Close (закрити), після чого відпустити клавішу мишки.

Функціональний генератор (Function Generator) забезпечує генерацію гармонічних коливань, а також імпульсних послідовностей прямокутної і трикутної форми з регулюванням за амплітудою, частотою і частково за фазою. Генератор має три клеми для підключення: «+», «-», «загальний» (com) (рис. 1.7, б). Типове підключення передбачає використання зазвичай двох клем (виводів): вивід com підключено до заземлювача, а другою вихідною клемою може бути ліва («-») або права («+») клема, причому, якщо сигнал знято з виводу «+», спочатку буде сформована додатна хвиля напруги синусоїдальної або трикутної форми, а також імпульс додатної полярності. Використання як вихідної клем «-» дає протилежний ефект. Подвійне натискання лівої клавіші мишки на піктограмі відкриває панель керування функціонального генератора. Установлення частоти генерації здійснюється в рядку Frequency шляхом задавання номінального значення частоти (числове значення в діапазоні від 1 до 999) і її розмірності (з ряду: Гц (Hz), кГц (kHz), МГц (MHz)). Встановлення здійснюють «прокруткою».

Величину амплітуди та її розмірність (μV , mV, V) встановлюють аналогічно. У полі OFFSET задано постійний зсув додатного або від'ємного знака.

Осцилограф (Oscilloscope) із двома каналами А і В використовує два вхідних сигнали як для відображення тимчасових функцій, так і побудови передатних характеристик «вхід-вихід» і «вихід-вхід» (рис. 1.7, в).

На піктограмі приладу зображені чотири вхідних клеми. Ліва з двох горизонтально розташованих клем є входом каналу А, сусідня з нею права клема – входом каналу В. Дві вертикально розташовані клеми зазвичай підключені до заземлювача і зовнішнього джерела синхронізації.

Налаштування осцилографа на потрібний режим роботи здійснюють після розкриття піктограми (подвійне натиснення лівої клавіші мишки). Праворуч від екрана знаходяться органи керування двох типів: одні

керують кожним із каналів (А або В), інші керують розгорткою і є спільними для обох каналів.

У полі TIME BASE встановлюють швидкість розгортки по осі Х, а точніше – масштаб часу у вигляді відношення тривалості розгортки до великої поділки шкали. Нижче поля TIME BASE розташовано поле Х POS (позиція Х), за допомогою якого можна зсунути початок розгортки ліворуч (для від’ємних значень) або праворуч (для додатних значень). За нульового зсуву розгортка починається з лівого кута екрана.

Для одержання на екрані осцилографа часових діаграм необхідно увімкнути режим Y/T, за якого змінною по осі абсцис є час, а змінною по осі ординат – напруга. Якщо перемикати прилад у режим В/А, то на екрані буде побудована пряма передатна характеристика, у якій абсцисою є вхідна напруга каналу А, а ординатою – вхідна напруга каналу В. Перемикання в режим А/В дає змогу будувати зворотну передатну характеристику.

Декілька регулювань на панелі керування пов’язані з умовами запуску розгортки (TRIGGER). Рекомендовано користуватися автоматичним запуском розгортки (режим AUTO). Для варіантів, коли запуск розгортки не є автоматичним, можна вибрати для запуску позитивний або негативний перепад імпульсу запуску, а також встановити рівень (LEVEL) сигналу, за досягненням якого здійснюється запуск розгортки.

Масштаб по осі Y для кожного з каналів встановлюють окремо «прокруткою». Передбачений також зсув зображення по осі Y угору або униз за допомогою поля Y POS (позиція Y).

Складання схем

Перемістити курсор за допомогою мишки на піктограму або умовну графічну позначку структурного елемента. Після того як курсор набуде форми кисті руки, необхідно натиснути ліву клавішу мишки і, не

відпускаючи її, перемістити структурний елемент у потрібну область операційного поля, після чого клавішу мишки можна відпустити. При цьому елемент залишається виділеним червоним кольором, тому можна обробити його схемним редактором. Для включення останнього в роботу слід перемістити курсор до пункту Circuit (схема) головного меню і натиснути ліву клавішу мишки. Відкривається меню, пункти якого показують, які дії можна виконувати з виділеним елементом.

Програма за замовчуванням надає певних номінальних значень резисторам, конденсаторам, джерелам живлення. Можна відразу відредагувати номінал виділеного елемента, якщо у вищезазначеному меню активізувати команду Value (величина). Встановити в полі номіналів вікна, що відкрилося, величину і розмірність номіналу, після чого натиснути Асепт. Тепер новий номінал негайно з'явиться на схемі замість старого.

Кожний елемент принципової електричної схеми має своє літерно-цифрове позначення. У програмі це відповідає задаванню мітки структурним елементам у складі схеми: резисторам (R1, R2), конденсаторам (C1, C2), і т. д. Виділити у складі меню Circuit пункт Label (мітка), щоб з'явилося вікно з відповідним заголовком. Вписати в символному полі літерно-цифрове позначення виділеного елемента і натиснути ОК (прийняти).

Для з'єднання структурних елементів, які розміщені на операційному полі, необхідно підвести курсор до виводу елемента так, щоб на місці розташування виводу утворився контактний майданчик, і натиснути ліву клавішу мишки. Після цього, не відпускаючи клавішу мишки, необхідно перемістити курсор до виводу наступного елемента так, щоб з'явився контактний майданчик цього виводу. Далі необхідно відпустити ліву клавішу, і програма сама виконає трасування провідника.

Перед початком роботи в меню Circuit слід виділити пункт Analysis Options... (умови аналізу), після чого відкривається вікно з відповідним заголовком. Тепер натиснути на ліву клавішу мишки і вибрати один із двох типів аналізу. Тип Transient використовують для аналізу перехідних процесів у колах постійного і змінного струмів. Аналіз типу Steady-state передбачає дослідження встановлених режимів, коли на фактор часу не зважають. Не слід забувати при виході з вікна натиснути кнопку Accept. Для ввімкнення напруги живлення необхідно за допомогою мишки натиснути перемикач у правому верхньому куті екрана.

ЛАБОРАТОРНА РОБОТА 2

ДОСЛІДЖЕННЯ ВОЛЬТ-АМПЕРНИХ ХАРАКТЕРИСТИК НАПІВПРОВІДНИКОВИХ ВИПРЯМНИХ ДІОДІВ

Мета роботи

Вивчити основи роботи з програмним комплексом EWB. Дослідити напругу і струм різних типів діодів за прямого та зворотного зміщення р-п-переходу. Побудувати та дослідити вольт-амперну характеристику (ВАХ) діода. Дослідити опір діода за прямого та зворотного зміщення за вольт-амперною характеристикою.

2.1. Методичні вказівки з організації самостійної роботи

Вивчити розділи дисципліни, пов'язані з принципом роботи напівпровідникових діодів [1, 2, 3, 5].

Напівпровідниковий діод – це електроперетворювальний напівпровідниковий прилад з одним електричним переходом і двома виводами, у якому використано властивості р-п-переходу.

Напівпровідникові діоди класифікують:

- 1) за призначенням: випрямні, високочастотні й надвисокочастотні (ВЧ- і НВЧ-діоди), імпульсні, напівпровідникові стабілітрони, тунельні, обернені, фотодіоди, світлодіоди, варикапи та ін.;
- 2) конструктивно-технологічними особливостями: площинні й точкові;
- 3) типом вихідного матеріалу: германієві, кремнієві, арсенідегалієві та ін.

Випрямні діоди – це напівпровідниковий діод, який призначений для перетворення змінного струму в постійний. Випрямні діоди розрізняють за матеріалом, використаним для р-п-переходу (германій,

кремній та ін.), а також припустимим значенням прямого струму (діоди малої, середньої і великої потужності).

В основі роботи випрямних діодів лежить властивість однобічної провідності р-п-переходу, яка полягає в тому, що останній добре проводить струм (має малий опір) з прямим увімкненням і практично не проводить струм (має дуже високий опір) зі зворотним.

Як відомо, прямий струм діода створює основний, а зворотний – неосновний носій заряду. Концентрація основних носіїв заряду на декілька порядків перевищує концентрацію неосновних носіїв, чим обумовлені вентильні властивості діода.

Основні параметри випрямних напівпровідникових діодів:

- прямий струм діода $I_{\text{пр}}$, нормований за певної прямої напруги (зазвичай $U_{\text{пр}} = 1\text{--}2 \text{ В}$);
- максимально допустимий прямий струм $I_{\text{пр max}}$ діода;
- максимально допустима зворотна напруга діода $U_{\text{зв max}}$, за якої діод ще може нормально працювати тривалий час;
- постійний зворотний струм $I_{\text{зв}}$, що протікає через діод за зворотної напруги, що дорівнює $U_{\text{зв max}}$;
- середній випрямлений струм $I_{\text{в.сер}}$, який може тривало проходити через діод за допустимої температури його нагріву;
- максимально допустима потужність P_{max} , розсіювана діодом, за якої забезпечена задана надійність діода.

Випрямні властивості діода характеризуються відношенням зворотного опору $R_{\text{обр}} = U_{\text{обр}} / I_{\text{обр}}$ до прямого $R_{\text{пр}} = U_{\text{пр}} / I_{\text{пр}}$. Проте з роботою випрямного діода на високих частотах або швидкими перемиканнями, окрім активних опорів $R_{\text{пр}}$ і $R_{\text{обр}}$, необхідно враховувати також його ємнісні опори (бар'єрна і дифузійна місткості), які можуть значно погіршити випрямні властивості діода.

Випрямні діоди застосовують для випрямлення змінного струму (перетворення змінного струму в постійний); використовують у схемах

керування і комутації для обмеження паразитних викидів напруги, як елементів електричної розв'язки електричних кіл і т. д.

На рис. 2.1 подано ВАХ напівпровідникових діодів за різної температури.

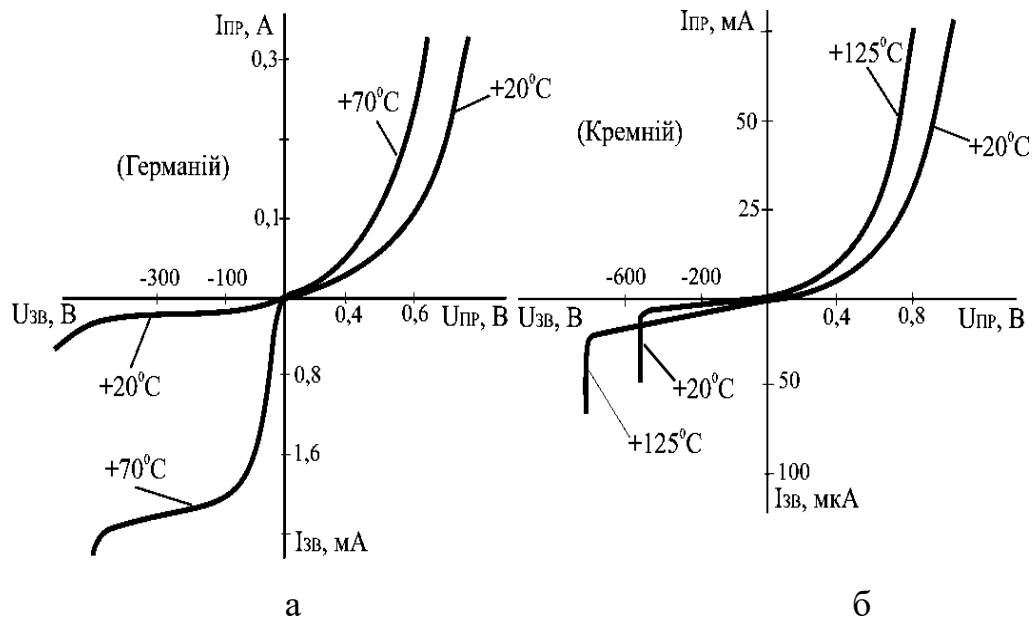


Рис. 2.1. Вольт-амперні характеристики напівпровідникових діодів за різної температури: а – для германієвого діода; б – кремнієвого діода

Діоди Шотткі. У цих випрямних діодах використано контакт метал-напівпровідник. Відрізняються від діодів на р-п-переходах відсутністю інжекції неосновних носіїв, внаслідок чого у них відсутня дифузійна ємність, що суттєво підвищує їхню швидкодію. Переважне застосування діодів Шотткі – низьковольтні випрямлячі.

Імпульсні діоди застосовують для випрямлення змінного струму високих частот і роботи в електричних колах із високою швидкістю зміни різнополярної напруги (для роботи у швидкодіючих імпульсних схемах із часом перемикання 1 мкс і менше). За таких коротких робочих імпульсів доводиться враховувати інерційність процесів ввімкнення і вимкнення

діодів і вживати конструктивно-технологічних заходів, спрямованих на зниження бар'єрної місткості і скорочення часу життя нерівноважних носіїв заряду в області р-п-переходу. Застосовують у логічних схемах електронних цифрових обчислювальних машин.

Діод, що досліджують під час лабораторної роботи, вибирають у полі компонентів **Діоди (Diodes)** на панелі компонентів основного вікна програми Electronics Work Bench (рис. 2.2).

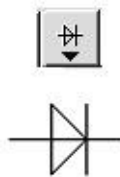


Рис. 2.2. Піктограма поля компонентів **Діоди** і умовне позначення випрямного діода

Подвійне натиснення лівої кнопки мишки на зображенні діода викликає появу вікна з властивостями діода (Diode Properties). Тип діода для моделювання вибирають з підменю **Models** (рис. 2.3).

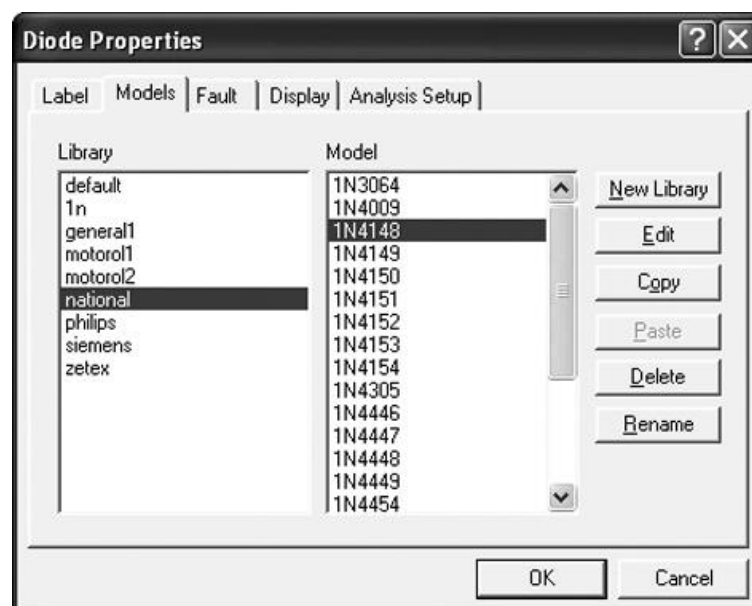


Рис. 2.3. Процедура вибору типу діода

У підменю **Edit** можна переглянути параметри вибраної моделі і за необхідності внести до неї зміни.

Деякі з основних параметрів напівпровідникових діодів в EWB:

Saturation current (IS), A — зворотний струм за температури 27 °C;

Ohmic resistance (RS), Ом — об'ємний опір (від десятків до десятих частки Ом);

Zero-bias junction capacitance (CJO), Ф — бар'єрна ємність переходу за нульової напруги;

Junction potential (VJ), В — контактна різниця потенціалів (0,75 В);

Transit time (TT), с — час перенесення заряду;

Grading coefficient (M) — конструктивний параметр, що визначає плавність p-n-переходу;

Reverse breakdown voltage (BV), В — максимальна зворотна напруга, задана зі знаком мінус. Для стабілітронів замість цього параметра використовують параметр VZT — напруга стабілізації за номінального струму стабілізації;

Emission coefficient (N) — коефіцієнт інжекції;

Activation energy (EG), eВ — ширина забороненої зони;

Temperature exponent for effect on IS (XTI) — температурний коефіцієнт струму насичення;

Flicker noise coefficient (KF) — коефіцієнт флікер-шуму;

Flicker noise exponent (AF) — показник ступеня у формулі для флікер-шуму;

Coefficient for forward-bias depletion capacitance formula (FC) — коефіцієнт нелінійності бар'єрної ємності прямо зміщеного переходу;

Current at reverse breakdown voltage (IBV), A — початковий струм пробою за напруги BV (додатна величина); для стабілітронів замість цього параметра використовують параметр IZT — номінальний струм стабілізації;

Parameter measurement temperature (TNOM) — температура діода, °C.

2.2. Порядок виконання роботи

За варіантом вибрати тип діода з табл. 2.3, за параметрами E1(V) для прямої та зворотної гілок ВАХ свого діода заповнити перший рядок таблиць і провести дослідження.

Для дослідження прямої гілки ВАХ діода зібрати схему за рис. 2.4, вибрати тип діода за варіантом (на схемі). Увімкнути схему. Послідовно встановити значення напруги джерела живлення E1 і записати значення напруги $U_{пр}$ і струму $I_{пр}$ діода в табл. 2.1 (УВАГА! Звернути увагу на одиниці вимірювання).

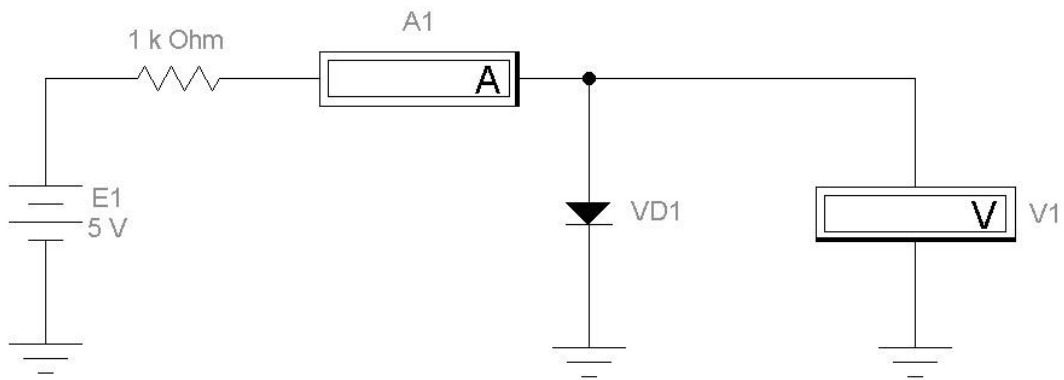


Рис. 2.4. Схема для дослідження прямої гілки ВАХ діода

Таблиця 2.1

Точки прямої гілки ВАХ діода

E1, В	0	0,2	0,4	0,6	0,8	1	1,5	2	3	4	5	6	7	8	9	10
$I_{пр}$, А																
$U_{пр}$, мВ																

Для дослідження зворотної гілки ВАХ діода зібрати схему за рис. 2.5. Увімкнути схему. Послідовно встановити значення напруги джерела живлення E1 (у діапазоні, який вказано в табл. 2.3 для зворотної гілки ВАХ) і записати значення напруги $U_{зв}$ і струму $I_{зв}$ діода в табл. 2.2.

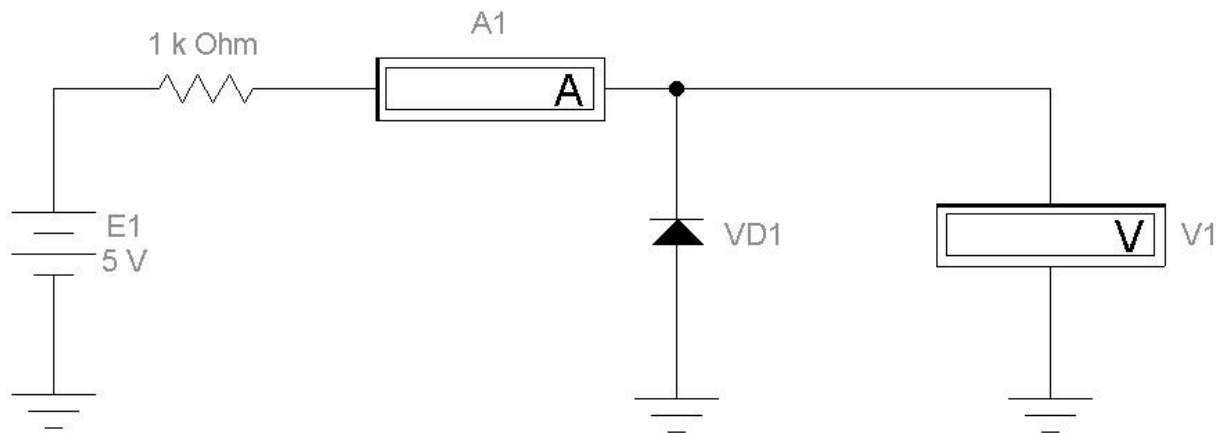


Рис. 2.5. Схема для дослідження зворотної гілки ВАХ діода

Таблиця 2.2

Точки для зворотної гілки ВАХ діода (приклад)

E1, В	0	-15	-30	-45	-60	-75	-90	-100	-105
$I_{зв}$, мА									
$U_{зв}$, мВ									

За даними табл. 2.1, 2.2 побудувати графіки $I_{пр} = f(U_{пр})$ і $I_{зв} = f(U_{зв})$.

Таблиця 2.3

Типи діодів

Варіант	Бібліотека	Тип діода	E1(B) для зворотної гілки ВАХ	E1(B) для прямої гілки ВАХ
1	2	3	4	5
1	general1	BYM10-100	0...-120	0...10
2	general1	D1N3611GP	0...-240	0...10
3	general1	D1N4001GP	0...-60	0...10
4	general1	D1N4245GP	0...-240	0...10
5	general1	D1N4383GP	0...-240	0...10
6	general1	D1N4933GP	0...-60	0...10
7	general1	D1N5059GP	0...-240	0...10
8	general1	D1N5391GP	0...-60	0...10
9	general1	D1N5615GP	0...-240	0...10
10	general1	D1N6478	0...-60	0...10
11	general1	GF1A	0...-60	0...10
12	general1	GL34A	0...-60	0...10
13	general1	GP10A	0...-60	0...10
14	general1	GP15A	0...-60	0...10
15	general1	GP20A	0...-60	0...10
16	general1	GP30A	0...-60	0...10
17	general1	RGF1A	0...-60	0...10
18	general1	RGF1D	0...-240	0...10
19	general1	RGP10A	0...-60	0...10
20	general1	RGP20A	0...-60	0...10
21	Philips	BY228	0...-100	0...10
22	Philips	BY328	0...-100	0...10
23	Philips	BY438	0...-100	0...10

Продовження табл. 2.3

1	2	3	4	5
24	Philips	BY448	0...-100	0...10
25	Philips	BYV95A	0...-300	0...10
26	Philips	BYV95B	0...-500	0...10
27	Philips	BYV95C	0...-700	0...10
28	Philips	BYV96D	0...-900	0...10
29	Philips	BYV96E	0...-1100	0...10
30	National	1N3064	0...-100	0...10

Контрольні запитання та завдання

1. Чим відрізняються ВАХ р-п-переходу реального та ідеального діода?
2. Описати процеси в р-п-переході за відсутності зовнішньої напруги, з його прямому і зворотному ввімкненням.
3. Визначити величину струму через р-п-перехід за температури 20 °С, якщо напруга на переході 0,6 В, а зворотний струм 1 мкА.
4. Які види пробою р-п-переходу існують і в чому їхня відмінність?
5. Пояснити призначення та принцип дії напівпровідникових випрямних діодів.
6. Навести вольт-амперну характеристику та умовне графічне позначення випрямних діодів.
7. Назвати основні параметри напівпровідникових діодів.
8. Як виявляють суть випрямних властивостей діода?
9. Пояснити процес виникнення бар'єрної ємності.
10. Пояснити процес виникнення дифузійної ємності.
11. Описати особливості діодів Шотткі.

12. Яка відмінна риса імпульсних діодів?

13. Коли застосовують послідовне та паралельне з'єднання випрямних діодів?

14. Вибрати тип діода для електротехнічного пристрою, щоб забезпечити струм у навантаженні $I = 0,27$ А. Напруга, прикладена до діода в закритому стані, $U = 40$ В.

15. Послідовно до навантаження увімкнено два діоди КД106А. Визначити допустимий струм навантаження. Як зміниться цей струм, якщо діоди ввімкнути паралельно?

16. Для забезпечення надійної роботи електротехнічного пристрою необхідно вибрати випрямний діод, умови роботи якого такі: прямий струм $I_{\text{пр}} = 5$ А, зворотна напруга, прикладена до діода, $U_{\text{зв}} = 80$ В.

17. Як необхідно увімкнути в електричне коло два однотипних випрямних діоди, розрахованих на максимально допустимий струм 100 мА кожний, якщо в колі протікає струм $I = 150$ мА?

18. Користуючись ВАХ напівпровідникового діода (рис. 2.6), визначити статичний опір $R_{\text{ст}}$ з ввімкненням у прямому і зворотному напрямках, якщо до діода прикладені такі напруги: $U_{\text{пр}} = 0,8$ В, $U_{\text{звор}} = 15$ В за температури навколишнього середовища $t = 25$ °С.

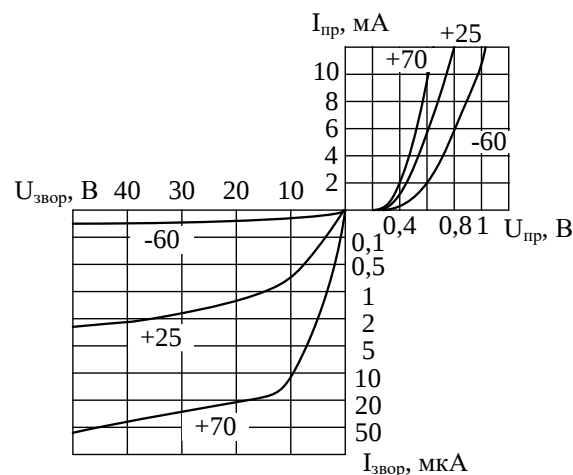


Рис. 2.6. ВАХ напівпровідникового діода

19. Визначити вихідну напругу у схемі, якщо діод ідеальний, а $U_{\text{вх}} = 20 \text{ В}$ (рис. 2.7).

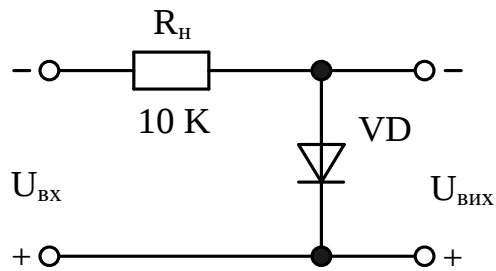


Рис. 2.7. Схема до завдання 19

Зміст звіту

Звіт із лабораторної роботи має містити тему, мету, електричні схеми, що досліджують, із зазначеними параметрами радіоелементів у відповідності з варіантом; дані, отримані експериментальним шляхом (таблиці, вольт-амперні характеристики, скрини схем і т. п.); розрахункові величини; висновки з виконаної роботи.

ЛАБОРАТОРНА РОБОТА 3

ДОСЛІДЖЕННЯ ВОЛЬТ-АМПЕРНИХ ХАРАКТЕРИСТИК НАПІВПРОВІДНИКОВИХ СТАБІЛІТРОНІВ

Мета роботи

Дослідити напругу і струм стабілітрона з прямим і зворотним зміщенням р-п-переходу. Побудувати і дослідити вольт-амперну характеристику (ВАХ) стабілітрона. Дослідити опір стабілітрона з прямим і зворотним зміщенням за вольт-амперною характеристикою.

3.1. Методичні вказівки з організації самостійної роботи

Вивчити розділи дисципліни, пов'язані з принципом роботи напівпровідникових стабілітронів [1, 2, 3, 5].

Стабілітрон – це напівпровідниковий прилад, напруга на якому в області електричного пробою зі зворотним зміщенням слабо залежить від струму в заданому його діапазоні. Стабілітрони використовують для стабілізації напруги джерел живлення, а також фіксації рівнів напруги в різних схемах.

Стабілізацію низьковольтної напруги в межах 0,3–1 В можна отримати під час використання прямої гілки ВАХ кремнієвих діодів. Діод, у якому для стабілізації напруги використано пряму гілку ВАХ, називають *стабістором*. Існують також двобічні (симетричні) стабілітрони, що мають симетричну ВАХ відносно початку координат.

Стабілітрон є кремнієвим напівпровідниковим діодом із великим змістом домішок, який нормально працює за електричного пробою п-р-переходу (робоча ділянка). Електричний пробій не викликає руйнування переходу, якщо обмежити струм. ВАХ стабілітрона і його умовне графічне позначення наведені на рис. 3.1.

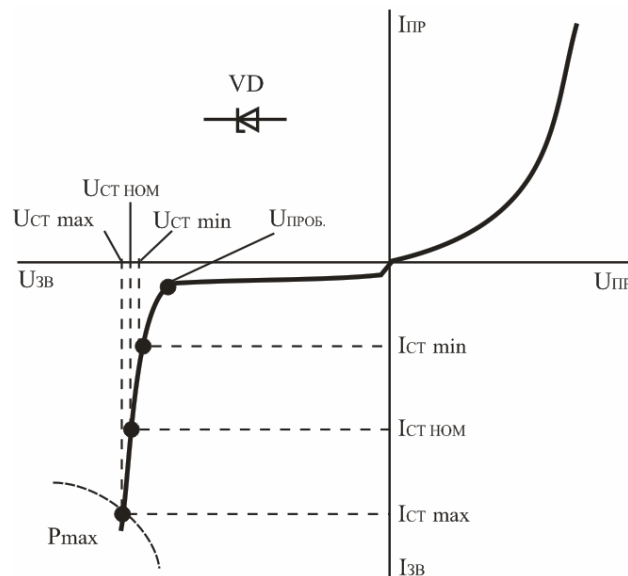


Рис. 3.1. Вольт-амперна характеристика
та умовне позначення стабілітрона

У стабілітронах за відносно невеликої зворотної напруги розвивається електричний пробій – у стабілітронів з малою напругою стабілізації (до 5 В) має місце тунельний пробій, а стабілітронів із $U_{ст} > 5 \text{ В}$ – лавинний (за напруги стабілізації поблизу 5 В пробій визначають спільною взаємодією тунельного і лавинного механізмів). У цьому випадку зміна струму через стабілітрон відбувається за майже незмінної напруги. Якщо обмежити зворотний струм через стабілітрон на рівні $I_{ст} \leq I_{ст. \max}$, де $I_{ст. \max}$ – максимально допустимий зворотний струм через стабілітрон, то тепловий пробій не настає, і стабілітрон може працювати в режимі електричного пробою необмежений час. Робоча ділянка ВАХ знаходиться між рівнем $I_{ст. \min}$, коли вже спостерігають стійкий пробій, і рівнем, за якого температура р-п-переходу ще недостатня, щоб виник тепловий пробій.

Зменшити температурну залежність напруги стабілізації можна за рахунок послідовного ввімкнення стабілітрона і діода або двох стабілітронів, що мають близькі за абсолютним значенням, але

протилежних за знаком температурного коефіцієнта напруги стабілізації (ТКН). Двосторонню стабілізацію напруги можна виконати за рахунок зустрічного ввімкнення двох стабілітронів.

Діод для дослідження під час виконання лабораторної роботи вибирають у полі компонентів **Діоди (Diodes)** на панелі компонентів основного вікна програми Electronics Work Bench (рис. 3.2).

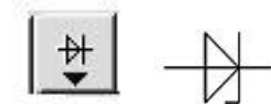


Рис. 3.2. Піктограма поля компонентів **Діоди** і умовне позначення стабілітрона

3.2. Дослідження стабілітрона

За варіантом вибрати тип стабілітрона з табл. 3.3. За параметрами $E1(V)$ для прямої та зворотної гілок ВАХ свого діода заповнити перший рядок таблиць і провести дослідження.

Для дослідження прямої гілки ВАХ стабілітрона зібрати схему згідно за рис. 3.3, вибрати тип стабілітрона за варіантом (на схемі). Увімкнути схему. Послідовно встановити значення напруги джерела живлення $E1$ для прямої гілки ВАХ стабілітрона (табл. 3.1) і записати значення напруги $U_{пр}$ і струму $I_{пр}$ стабілітрона. (УВАГА! Звернути увагу на одиниці вимірювання та опір вхідного резистора схем).

Для дослідження зворотної гілки ВАХ стабілітрона зібрати схему за рис. 3.4. Увімкнути схему. Послідовно встановити значення напруги джерела живлення $E1$ в діапазоні, вказаному в табл. 3.3 для зворотної гілки ВАХ стабілітрона, записати значення напруги $U_{зв}$ і струму $I_{зв}$ стабілітрона в табл. 3.2.

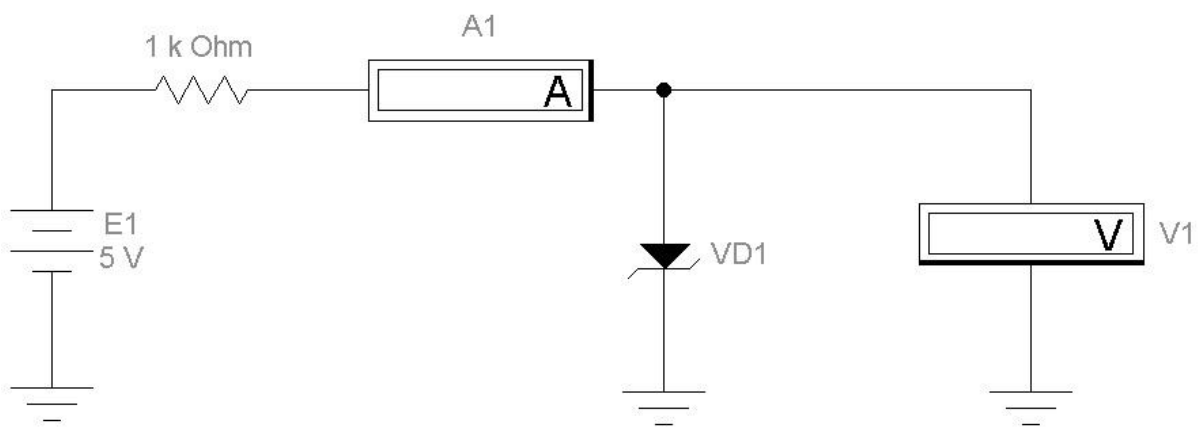


Рис. 3.3. Схема для дослідження прямої гілки ВАХ стабілітрона

Таблиця 3.1

Точки прямої гілки ВАХ стабілітрона

E1, В	0	0,2	0,4	0,6	0,8	1	1,5	2	3	4	5	6	7	8	9	10
I _{пр} , А																
U _{пр} , мВ																

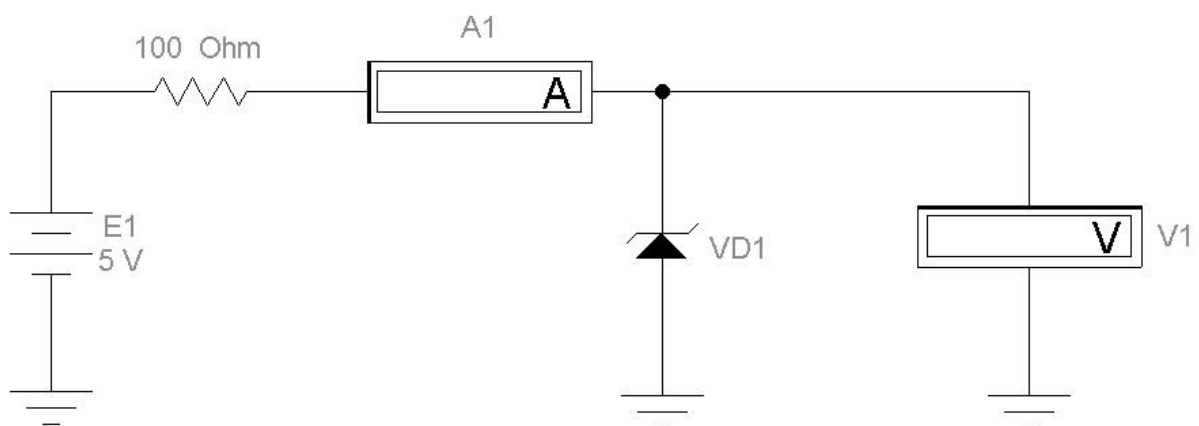


Рис. 3.4. Схема для дослідження зворотної гілки ВАХ стабілітрона

Таблиця 3.2

Зворотна гілка ВАХ стабілітрона

E1, В	0	- 2,5	- 5	- 7.5	- 10	- 12,5	- 14	- 15	- 16
I _{зв} , мА									
U _{зв} , мВ									

Оцінити за вольт-амперною характеристикою стабілітрона напругу стабілізації. Розрахувати потужність $P_{ст}$, що розсіюється на стабілітроні $P_{ст} = U_{ст} \cdot I_{ст}$, за напруги $U_{ст}$.

Таблиця 3.3

Типи стабілітронів

Варіант	Бібліотека	Тип стабілітрона	E1(В) для зворотної гілки ВАХ	E1(В) для прямої гілки ВАХ
1	2	3	4	5
1	General	GLL4735	0...-16	0...10
2	General	GLL4743	0...-25	0...10
3	General	GLL4751	0...-40	0...10
4	General	SML4735	0...-16	0...10
5	General	SML4740	0...-20	0...10
6	General	SML4750	0...-37	0...10
7	General	Z4KE100	0...-110	0...10
8	General	Z4KE140	0...-150	0...10
9	General	ZGL41-100	0...-110	0...10
10	General	Z4KE160	0...-170	0...10
11	General	Z4KE180	0...-190	0...10
12	General	Z4KE200	0...-210	0...10
13	General	ZGL41-200	0...-210	0...10

Продовження табл. 3.3

1	2	3	4	5
14	Motor_1n	1N4370A	0...-14	0...10
15	Motor_1n	1N4729A	0...-15	0...10
16	Motor_bzx	BZX85C16	0...-26	0...10
17	Motor_bzx	BZX85C36	0...-46	0...10
18	Motor_bzx	BZX85C5V6	0...-15	0...10
19	Motor_bzx	BZX85C8V2	0...-18	0...10
20	Philips1	BZV37	0...-16	0...10
21	Philips1	BZV49-C10	0...-20	0...10
22	Philips1	BZV49-C20	0...-30	0...10
23	Philips1	BZV49-C30	0...-40	0...10
24	Philips1	BZV49-C56	0...-66	0...10
25	Philips1	BZV49-C68	0...-78	0...10
26	Philips1	BZV49-C9V1	0...-20	0...10
27	Philips1	BZV55-B10	0...-20	0...10
28	Philips1	BZV55-B20	0...-30	0...10
29	Philips1	BZV55-B30	0...-40	0...10
30	Philips1	BZV55-B47	0...-57	0...10

Контрольні запитання і завдання

1. Описати принцип дії стабілітрона.
2. Основні параметри стабілітронів.
3. Навести умовні графічні позначення діодів різних типів.
4. Які види пробою р-п-переходу існують і в чому їхня відмінність?
5. Як можна зменшити температурну залежність напруги стабілізації?

6. Зобразити ВАХ стабілітрона і вказати його робочу ділянку (зону стабілізації).

7. У яких пристроях використовують стабілітрон на практиці?

8. Коли застосовують послідовне з'єднання стабілітронів? Чи можна вмикати паралельно два стабілітрони?

9. Що таке стабістор?

10. За рахунок чого можна зменшити температурну залежність напруги стабілізації?

11. За рахунок чого можна виконати двосторонню стабілізацію напруги?

12. Дано стабілітрон КС170А. У схемі на рис. 3.5 вхідна напруга змінюється в межах від $U_{BX \min} = 10 \text{ В}$ до $U_{BX \max} = 12 \text{ В}$. Опір навантаження $R_H = 1200 \text{ Ом}$. У довіднику необхідно взяти напругу стабілізації, $I_{BX \min}$ та $I_{BX \max}$. Визначити опір і мінімально припустиму потужність розсіювання обмежувального резистора R для забезпечення стабільності вихідної напруги у всьому діапазоні зміни вхідної напруги.

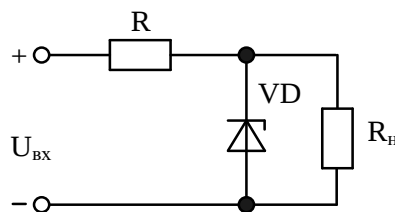


Рис. 3.5. Схема для завдання 12

13. Вибрати стабілітрон для електротехнічного пристрою (рис. 3.5), якщо навантаження має такі параметри: $P_H = 75 \text{ мВт}$; напруга $U_H = 6,8 \text{ В}$.

14. Для стабілізації напруги на навантаженні використано напівпровідниковий стабілітрон (рис. 3.6), напруга стабілізації якого $U_{CT} = 10 \text{ В}$. Визначити допустимі межі зміни напруги живлення ($E_{\min}$ і $E_{\max}$), якщо максимальний струм стабілітрона $I_{C\max} = 30 \text{ мА}$, $I_{C\min} = 1 \text{ мА}$, опір навантаження $R_H = 1 \text{ кОм}$, опір обмежувального резистора $R_{огр} = 0,5 \text{ кОм}$.

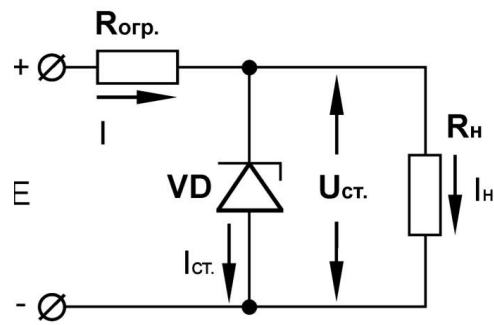


Рис. 3.6. Схема для завдання 14

Зміст звіту

Звіт із лабораторної роботи має містити тему, мету, електричні схеми, що досліджують, із зазначеними параметрами радіоелементів у відповідності з варіантом; дані, отримані експериментальним шляхом (таблиці, вольт-амперні характеристики, скрини схем і т. п.); розрахункові величини; висновки з виконаної роботи.

ЛАБОРАТОРНА РОБОТА 4

ДОСЛІДЖЕННЯ ВОЛЬТ-АМПЕРНИХ ХАРАКТЕРИСТИК БІПОЛЯРНИХ ТРАНЗИСТОРІВ ЗІ СПІЛЬНОЮ БАЗОЮ

Мета роботи

Дослідити вхідну та вихідну характеристики біполярних транзисторів зі спільною базою, які отримано експериментальним шляхом.

4.1. Методичні вказівки з організації самостійної роботи

Під час підготовки до роботи слід повторити теоретичний матеріал про будову, принцип роботи, параметри і характеристики біполярних транзисторів зі спільною базою [1, 2, 3, 5].

Біполярний транзистор (БПТ) – напівпровідниковий прилад з електронно-дірковими переходами і трьома (або більше) виводами, підсилювальні властивості якого обумовлені явищами інжекції та екстракції неосновних носіїв заряду. Звичайний біполярний транзистор має два р-п-переходи, утворені трьома областями з типами провідності, що чергуються. Залежно від порядку чергування цих областей розрізняють транзистори р-п-р- і п-р-п-типу. Внутрішню область, що розділяє р-п-переходи, називають базою. Зовнішню область, яка інjektує носії заряду в базу, називають емітером, а перехід, що примикає до нього, – емітерним. Область, яка екстракує носії з бази, називають колектором, а перехід, що примикає до неї, – колекторним.

Переходи біполярного транзистора можуть зміщуватися в прямому або зворотному напрямках. Залежно від цього розрізняють чотири режими роботи біполярних транзисторів:

а) активний режим (на емітерний перехід подана пряма напруга, на колекторний – зворотна);

б) інверсний режим (на емітерний перехід подана зворотна напруга, на колекторний – пряма);

в) режим насичення (на емітерний і колекторний переходи подана пряма напруга);

г) режим відсічення (до обох переходів подані зворотні напруги).

В електричне коло БПТ вмикають так, щоб один із його електродів був вхідним, другий – вихідним, а третій – спільним для вхідних і вихідних кіл. Залежно від того, який електрод є спільним, розрізняють три схеми приєднання транзистора: зі спільною базою (СБ), спільним емітером (СЕ), спільним колектором (СК).

На рис. 4.1 наведена схема для транзистора із СБ типу р-п-р. Для транзистора п-р-п у схемах вмикання змінюються лише полярності напруги і напрямки струмів. За будь-якої схеми вмикання транзистора (під час роботи в активному режимі) полярність джерел живлення має бути вибрана такою, щоб емітерний перехід був зміщений у прямому напрямку, а колекторний – у зворотному.

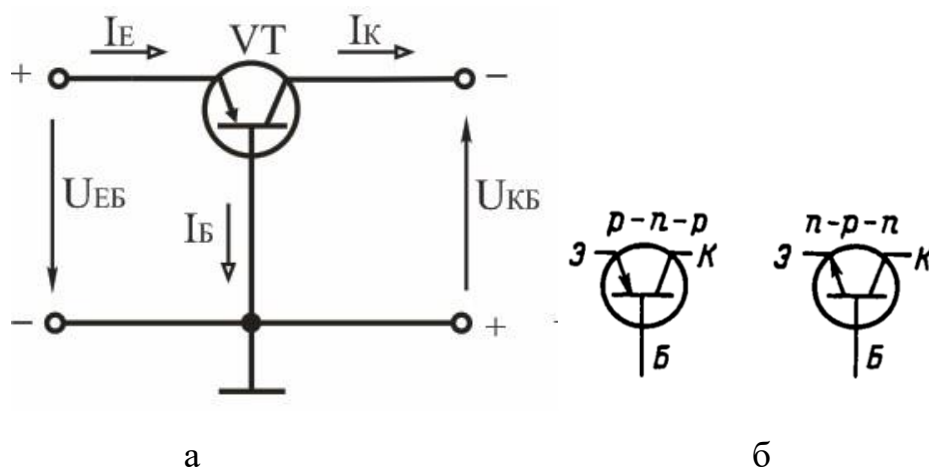
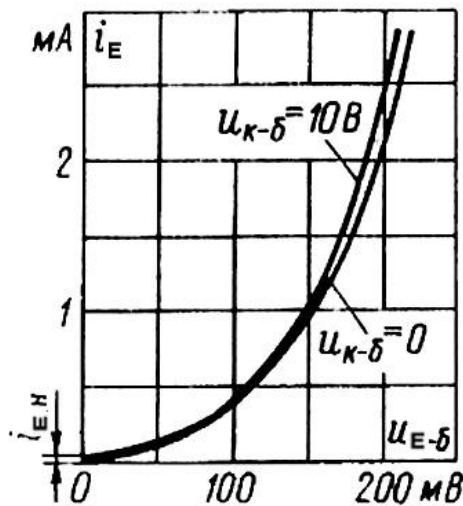


Рис. 4.1. Біполярний транзистор із СБ: а – схема вмикання біполярного транзистора із СБ; б – умовні позначення біполярних транзисторів зі спільною базою

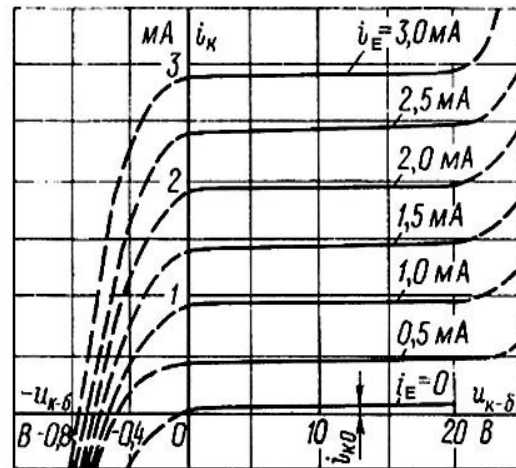
У схемі зі спільною базою, показаній на рис. 4.1, вхідний сигнал прикладений до виводів емітера і бази, а джерело живлення колектора включене між виводам бази і колектора. Отже, база є спільним електродом для вхідного і вихідного кіл.

Оскільки струм емітера (вхідний струм) – найбільший з усіх струмів транзистора, то схема із загальною базою має малий вхідний опір для змінної складової струму сигналу, а низький вхідний опір схеми із спільною базою (одиниці – десятки омів) є її істотним *недоліком*, оскільки в багатокаскадних схемах цей опір чинить шунтуючу дію на опір навантаження попереднього каскаду і різко знижує посилення цього каскаду за напругою і потужністю.

Сімейство вольт-амперних характеристик біполярного транзистора із СБ, що відображують зв'язок між струмами і напругою в транзисторі, подано на рис. 4.2.



а



б

Рис. 4.2. Статичні вхідні (а) і вихідні (б) характеристики для схеми біполярного транзистора із СБ:

а – $I_E = f(U_{EB})$ за умови $U_{KB} = \text{const}$; б – $I_K = f(U_{KB})$ за умови $I_E = \text{const}$

В EWB транзистори вибирають у полі компонентів **Транзистори (Transistors)** на панелі компонентів основного вікна програми EWB.

Транзистор для моделювання вибирають із підменю **Models**.

Деякі з основних параметрів біполярних транзисторів в EWB:

Saturation current (IS) – зворотний струм колекторного переходу, А;

Forward current gain coefficient (F) – коефіцієнт посилення струму у схемі із CE;

Base ohmic resistance (RB) – об'ємний опір бази, Ом;

Emitter ohmic resistance (RE) – об'ємний опір емітера, Ом;

Collector ohmic resistance (RC) – об'ємний опір колектора, Ом;

Zero-bias B-E junction capacitance (CE) – ємність емітерного переходу за нульової напруги, Ф;

Zero-bias C-E junction capacitance (CC) – ємність колекторного переходу за нульової напруги, Ф;

B-E junction potential ϕ – контактна різниця потенціалів переходу база-емітер;

B-C junction potential ϕ_c – контактна різниця потенціалів переходу база-колектор, В;

Base-Emitter Leakage Saturation current (ISE) – зворотний струм емітерного переходу;

B-C leakage saturation current (ISC) – зворотний струм колекторного переходу.

4.2. Порядок виконання роботи

У відповідності з отриманим від викладача варіантом (за табл. 4.3) вибрати транзистор із бібліотеки елементів. Зібрати схеми, які наведено на рис. 4.3 або 4.4 та 4.5 або 4.6 залежно від структури свого транзистора за варіантом (n-p-n або p-n-p), і внести отримані значення в табл. 4.1 і 4.2.

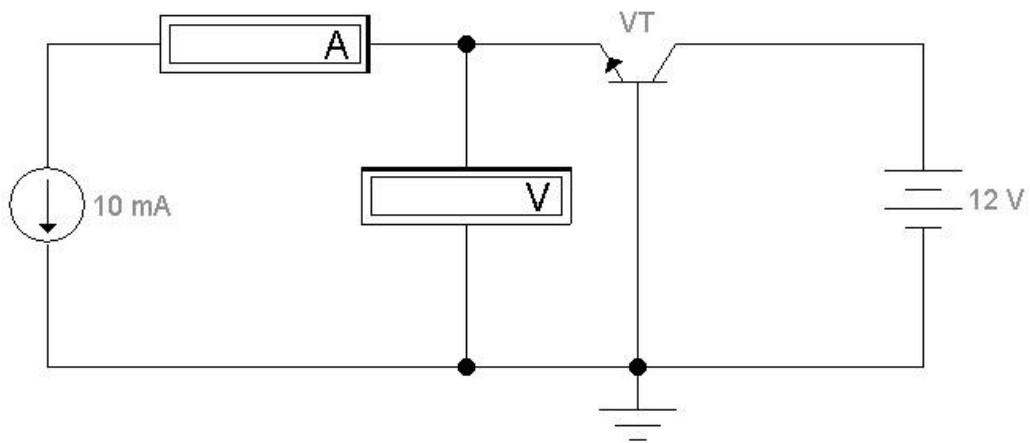


Рис. 4.3. Схема для дослідження вхідної ВАХ n-p-n-транзистора у схемі із СБ

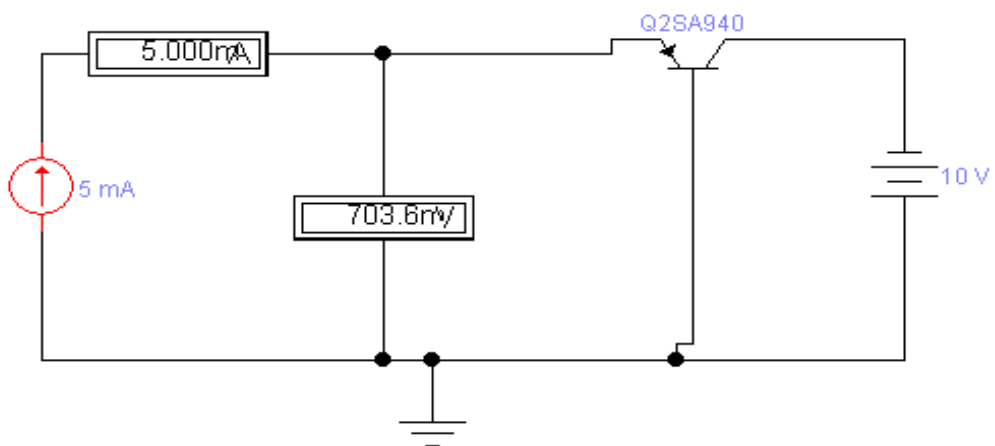


Рис. 4.4. Схема для дослідження вхідної ВАХ p-n-p-транзистора у схемі із СБ

Таблиця 4.1

Вхідна ВАХ – відповідність струму емітера I_E напрузі база-емітер U_{BE} за фіксованого значення напруги колектор-база U_{KB}

$U_{KB}, \text{В}$	$I_E, \text{мА}$	0	5	10	15	20	25
0	$U_{BE}, \text{В}$						
10	$U_{BE}, \text{В}$						

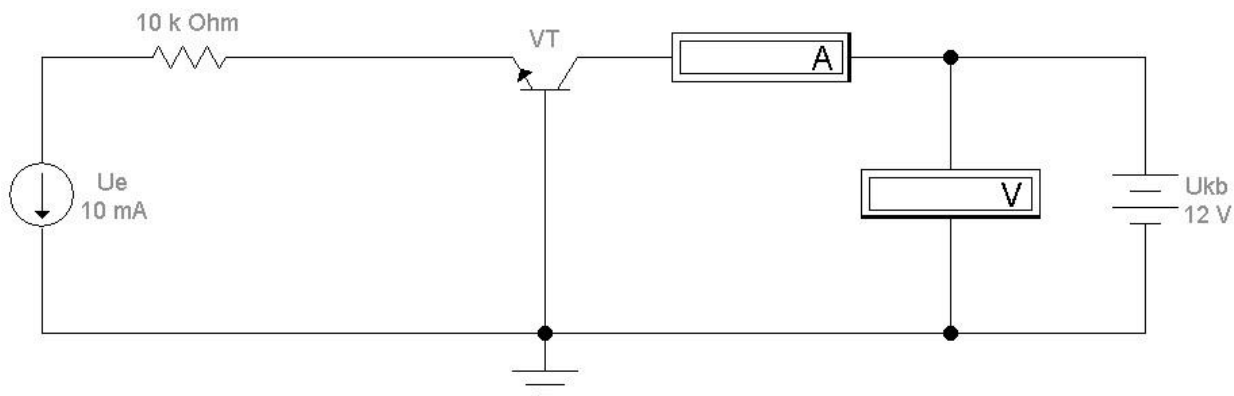


Рис. 4.5. Схема для дослідження вихідної ВАХ
п-р-п-транзистора у схемі із СБ

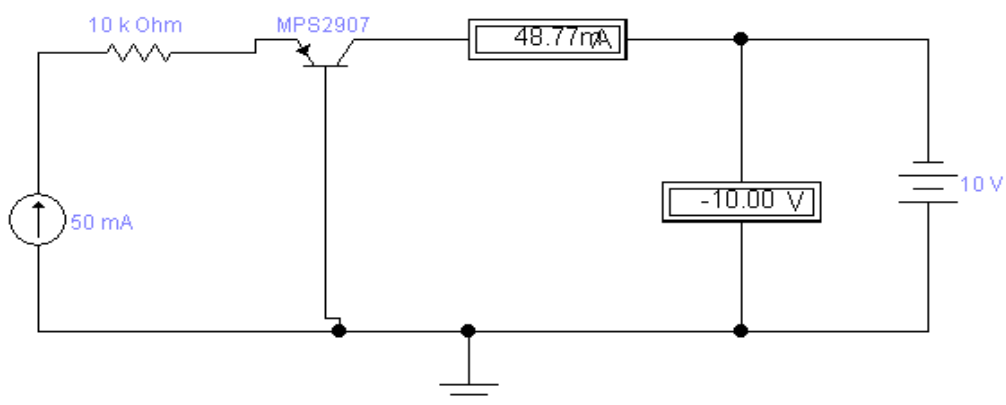


Рис. 4.6. Схема для дослідження вихідної ВАХ
р-п-р-транзистора у схемі із СБ

Таблиця 4.2

Вихідна ВАХ – відповідність струму колектора I_K напрузі колектор-база U_{KB} за фіксованого значення струму емітера

I_E , мА	U_{KB} , В	0	0,2	0,5	1	5	10	15	20
10	I_K , мА								
20	I_K , мА								
30	I_K , мА								
40	I_K , мА								
50	I_K , мА								

Ввімкнути схему. Записати показання приборів у табл. 4.1 і 4.2. За формулою $\beta = \Delta I_k / \Delta I_b$ розрахувати значення коефіцієнта β і порівняти його з коефіцієнтом, який вказано в параметрах транзистора (параметр **Forward current gain coefficient**). Побудувати графіки вхідної ВАХ і сімейство вихідних ВАХ.

Таблиця 4.3

Типи транзисторів

Варіант	Бібліотека	Транзистор	Варіант	Бібліотека	Транзистор
1	Nationl2	2N3858A	16	Zetex	BC856A
2	Nationl3	2N3702	17	2n	2N4401
3	Zetex	BC107BP	18	Zetex	ZTX213
4	Zetex	BCW69	19	Harris	BD239
5	Nationl2	MPS6565	20	Toshiba	MPS2907
6	Toshiba	YTS3906	21	Zetex	ZTX657
7	Zetex	ZTX108	22	Tosh_prw	Q2SA940
8	Tosh_prw	Q2SA1012	23	Bipolar	MPS3904
9	2n	2N2218	24	Zetex	Q2N6727
10	Harris	Q2N6666	25	Zetex	BCV72
11	Nationl2	PN4141	26	Tosh_prw	Q2SB686
12	Harris	BD500	27	2n	2N2222
13	Nationl2	PN4274	28	Harris	TIP30C
14	Toshiba	Q2N3906	29	2n	2N3904
15	Zetex	BFS60	30	Misc	2N3906

Примітка. Парні номери варіанта за списком – транзистори р-п-р-структури, а непарні – п-р-п-структури.

Контрольні запитання і завдання

1. Що являє собою біполярний транзистор? Охарактеризувати його шари (функції бази, емітера і колектора) і переходи.
2. Основні параметри біполярних транзисторів.
3. Перелічити і охарактеризувати режими роботи біполярного транзистора.
4. Що таке h -параметри біполярного транзистора?
5. Які схеми ввімкнення транзисторів ви знаєте? Переваги й недоліки схеми із СБ.
6. Описати схему ввімкнення транзистора зі спільною базою, його параметри і недоліки.
7. Які струми і напруги є вхідними та вихідними під час ввімкнення транзистора за схемою зі спільною базою?
8. Навести статичні вхідні і вихідні ВАХ біполярного транзистора із СБ і пояснити їхню побудову.
9. Порівняльна характеристика коефіцієнтів підсилення для схем із СБ, СК, СЕ.
10. Визначити статичні коефіцієнти підсилення за струмом біполярного транзистора, включеного у схеми із СБ, СК, СЕ, якщо під час зміни струму емітера на 1,6 мА струм колектора збільшився на 1,57 мА.

Зміст звіту

Звіт із лабораторної роботи має містити тему, мету, електричні схеми, що досліджують, із зазначеними параметрами радіоелементів у відповідності з варіантом; дані, отримані експериментальним шляхом (таблиці, вольт-амперні характеристики, скрини схем і т. п.); розрахункові величини; висновки з виконаної роботи.

ЛАБОРАТОРНА РОБОТА 5

ДОСЛІДЖЕННЯ ВОЛЬТ-АМПЕРНИХ ХАРАКТЕРИСТИК БІПОЛЯРНИХ ТРАНЗИСТОРІВ ЗІ СПІЛЬНИМ ЕМІТЕРОМ

Мета роботи

Дослідити вхідну та вихідну характеристики біполярних транзисторів зі спільним емітером, які отримано експериментальним шляхом.

5.1. Методичні вказівки з організації самостійної роботи

Під час підготовки до роботи слід повторити теоретичний матеріал про будову, принцип роботи, параметри і характеристики біполярних транзисторів [1, 2, 3, 5].

Біполярний транзистор – це напівпровідниковий прилад, що складається з трьох областей провідності, які утворюють два р-п-переходи, і призначений для посилення потужності.

У біполярних транзисторах струм визначають рухом носіїв заряду двох типів: електронів і дірок (або основними і неосновними носіями заряду). Звідси їхня назва – біполярні.

В електричне коло транзистор вмикають так, що один із його виводів (електрод) є вхідним, другий – вихідним, а третій – спільним для вхідного і вихідного кіл. Залежно від того, який електрод є спільним, розрізняють три схеми вмикання транзисторів: зі спільною базою (СБ), спільним емітером (СЕ) і спільним колектором (СК). На рис. 5.1 наведена схема для транзистора із СЕ типу р-п-р. Для транзистора n-р-п у схемах вмикання змінюються лише полярності напруги і напрямки струмів. За будь-якої схеми вмикання транзистора (під час роботи в активному режимі)

полярність джерел живлення слід вибрати такою, щоб емітерний перехід був зміщений у прямому напрямку, а колекторний – у зворотному.

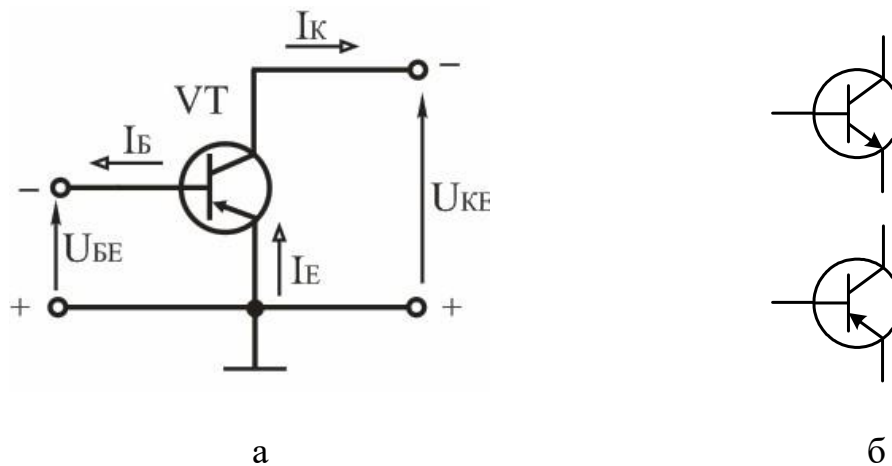


Рис. 5.1. Біполярний транзистор із СЕ:

а – схема вмикання біполярного транзистора із СЕ;

б – умовні позначення біполярних транзисторів зі спільним емітером типів n-p-n (зверху) і p-n-p (знизу)

У схемі зі спільним емітером на рис. 5.1 вхідний сигнал прикладений до виводів емітера і бази, а джерело живлення колектора ввімкнене між виводам емітера і колектора. Отже, емітер є спільним електродом для вхідного і вихідного кіл.

Основною особливістю схеми зі спільним емітером є те, що вхідним струмом у ній є не струм емітера, а малий за величиною струм бази. Вихідним струмом у цій схемі, як і схемі із загальною базою, є струм колектора.

Вхідний опір транзистора у схемі зі спільним емітером значно більше, ніж у схемі зі спільною базою, тому в багатокаскадних схемах він не чинить шунтуючу дію на опір навантаження попереднього каскаду і не впливає на посилення.

Перевагою схеми зі спільним емітером слід також вважати живлення її від одного джерела живлення, оскільки на базу і колектор подано живлячу напругу одного знака. Тому схема зі спільним емітером є найбільш поширеною.

Слід зазначити, проте, що температурна стабільність схеми зі спільним емітером виявляється дещо гіршою, ніж схеми із загальною базою.

Сімейство вольт-амперних характеристик біполярного транзистора із СЕ, що відображають зв'язок між струмами і напругою в транзисторі, подано на рис. 5.2.

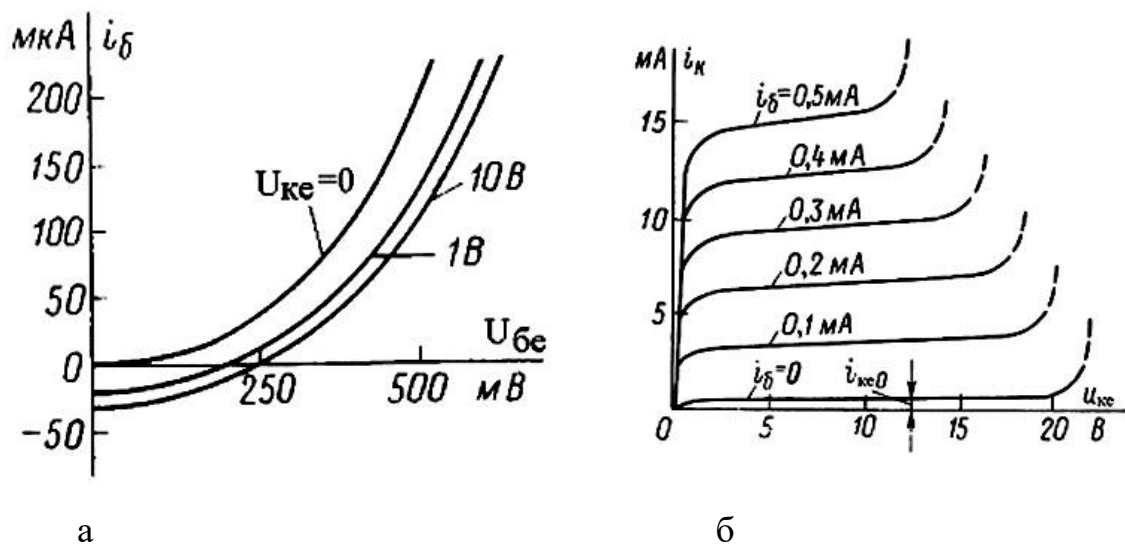


Рис. 5.2. Статичні входні (а) і вихідні (б) характеристики для схеми біполярного транзистора із СЕ:

а – $I_B = f(U_{BE})$ за умови $U_{CE} = \text{const}$; б – $I_C = f(U_{CE})$ за умови $I_B = \text{const}$

В EWB транзистори вибирають у полі компонентів **Транзистори (Transistors)** на панелі компонентів основного вікна програми EWB.

Транзистор для моделювання вибирають з підменю **Models**.

Деякі з основних параметрів біполярних транзисторів в EWB:

Saturation current (IS) – зворотний струм колекторного переходу, А;

Forward current gain coefficient (F) – коефіцієнт посилення струму у схемі із CE;

Base ohmic resistance (RB) – об'ємний опір бази, Ом;

Emitter ohmic resistance (RE) – об'ємний опір емітера, Ом;

Collector ohmic resistance (RC) – об'ємний опір колектора, Ом;

Zero-bias B-E junction capacitance (CE) – ємність емітерного переходу за нульової напруги, Ф;

Zero-bias C-E junction capacitance (CC) – ємність колекторного переходу за нульової напруги, Ф;

B-E junction potential ϕ – контактна різниця потенціалів переходу база-емітер;

B-C junction potential ϕ_c – контактна різниця потенціалів переходу база-колектор, В;

Base-Emitter Leakage Saturation current (ISE) – зворотний струм емітерного переходу;

B-C leakage saturation current (ISC) – зворотний струм колекторного переходу.

5.2. Порядок виконання роботи

У відповідності з отриманим від викладача варіантом (за табл. 5.3) вибрати транзистор із бібліотеки елементів. Зібрати схеми залежно від структури свого транзистора за варіантом (n-p-n або p-n-p). Схеми наведено на рис. 5.3 або 5.4, отримані значення внести в табл. 5.1, і рис. 5.5 або 5.6, отримані значення внести в табл. 5.2.

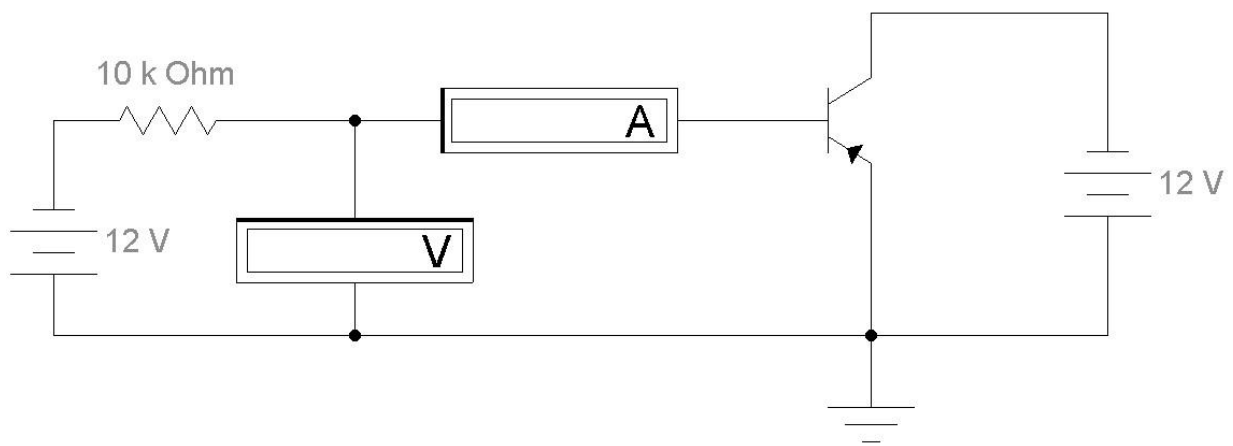


Рис. 5.3. Схема для дослідження входної ВАХ р-п-р-транзистора у схемі із СЕ

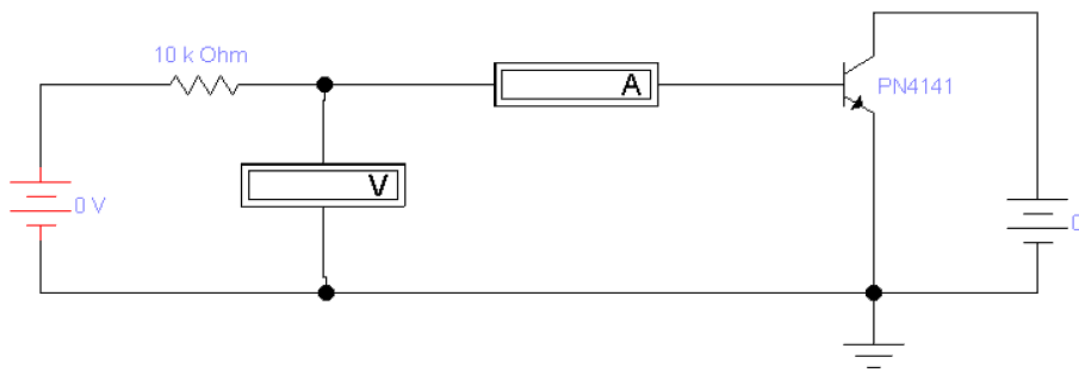


Рис. 5.4. Схема для дослідження входної ВАХ п-р-п-транзистора у схемі із СЕ

Таблиця 5.1

Вхідна ВАХ біполярного транзистора із СЕ – відповідність струму бази I_B напрузі база-емітер U_{BE} за фіксованої напруги колектор-емітер U_{KE}

$U_{KE}, \text{В}$	$U_{BE}, \text{В}$	0	0,4	0,6	0,8	1,0	1,2
0	$I_B, \text{мА}$						
5	$I_B, \text{мА}$						
10	$I_B, \text{мА}$						

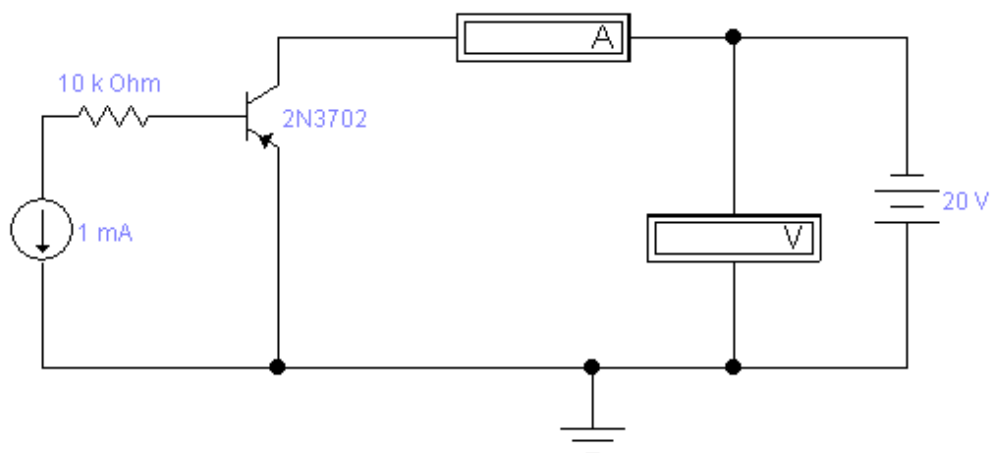


Рис. 5.5. Схема для дослідження вихідної ВАХ р-п-р-транзистора у схемі із СЕ

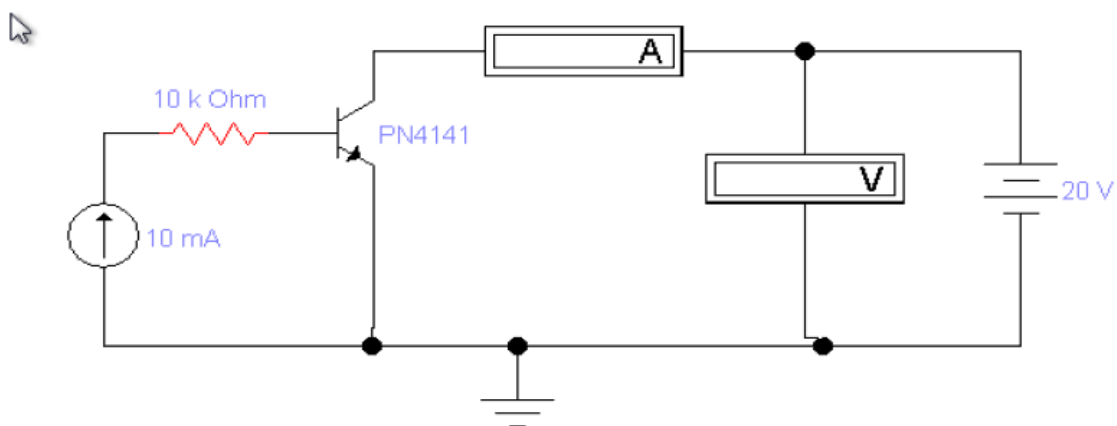


Рис. 5.6. Схема для дослідження вихідної ВАХ n-р-п-транзистора у схемі із СЕ

Таблиця 5.2

Вихідна ВАХ біполярного транзистора із СЕ – відповідність струму колектора I_K напрузі колектор-емітер U_{KE} за фіксованого струму бази

I_B , мА	U_{KE} , В	0	0,2	0,5	1	5	10	15	20
1	I_K , мА								
2	I_K , мА								
4	I_K , мА								
8	I_K , мА								
10	I_K , мА								

Ввімкнути схему. Записати показання приладів. За формулою $\beta = \Delta I_K / \Delta I_B$ розрахувати значення коефіцієнта β і порівняти його з коефіцієнтом, який вказано в параметрах транзистора (параметр **Forward current gain coefficient**).

Таблиця 5.3

Типи транзисторів

Варіант	Бібліотека	Транзистор	Варіант	Бібліотека	Транзистор
1	2n	2N4401	16	Zetex	BC856A
2	Nationl3	2N3702	17	Harris	D40C1
3	Zetex	BC107BP	18	Zetex	ZTX213
4	Zetex	BCW69	19	Nationl2	2N3707
5	Nationl2	MPS6565	20	Nationl3	ST5771-1
6	Nationl3	MPSL51	21	Zetex	ZTX657
7	Harris	BD239	22	Nationl3	TIS93
8	Zetex	FMMTA70	23	Nationl2	2N2923
9	2n	2N2218	24	Zetex	Q2N6727
10	Zetex	BC177AP	25	Zetex	BCV72
11	Nationl2	PN4141	26	Nationl3	MPS3638A
12	Nationl3	TN4036	27	Harris	MJ15001
13	Nationl2	PN4274	28	Zetex	BCX71G
14	Nationl3	PN4354	29	Nationl2	2N3858A
15	Zetex	BFS60	30	Zetex	ZTX796A

Примітка. Парні номери за списком – транзистори р-п-р-структури, а непарні – п-р-п-труктури.

Контрольні запитання і завдання

1. У чому полягає принцип дії біполярного транзистора?
2. Навести формули, що показують співвідношення струмів у біполярному транзисторі.
3. Що таке статичні та динамічні характеристики? Навести і охарактеризувати еквівалентні схеми заміщення?
4. Описати схему ввімкнення транзистора зі спільним емітером, його параметри, переваги та недоліки.
5. Які струми і напруги є вхідними та вихідними під час ввімкнення транзистора за схемою зі спільним емітером?
6. Основні параметри біполярних транзисторів.
7. Дати порівняльну характеристику вхідного і вихідного опорів для схем із СБ, СК, СЕ.
8. Назвати режими роботи біполярного транзистора і пояснити їх.
9. Що таке h -параметри біполярного транзистора? Навести формули та фізичний сенс кожного.
10. Які схеми ввімкнення транзисторів ви знаєте? Пояснити переваги і недоліки схеми із СЕ.
11. Перелічити основні параметри біполярних транзисторів.
12. Навести статичні вхідні і вихідні ВАХ біполярного транзистора із СЕ. Пояснити статичні характеристики біполярних транзисторів і їхню залежність від температури.
13. Чим визначені частотні властивості біполярних транзисторів?
14. Визначити h -параметри для схеми ввімкнення із СЕ, коефіцієнти передачі за струмом α і β , внутрішні фізичні параметри r_b , r_e , r_k , якщо $h_{116} = 40 \text{ Ом}$, $h_{126} = 6 \cdot 10^{-4}$, $h_{216} = 0,97$, $h_{226} = 2 \cdot 10^{-6} \text{ См}$.
15. Визначити струм бази біполярного транзистора, увімкненого за схемою зі спільним емітером, якщо у відкритому стані струм колектора

240 мА, а статичний передатний коефіцієнт за струмом транзистора $h_{21E} = 20-60$ (приймаємо $h_{21E} = 40$).

Зміст звіту

Звіт із лабораторної роботи має містити тему, мету, електричні схеми, що досліджують, із зазначеними параметрами радіоелементів у відповідності з варіантом; дані, отримані експериментальним шляхом (таблиці, вольт-амперні характеристики, скрини схем і т. п.); розрахункові величини; висновки з виконаної роботи.

ЛАБОРАТОРНА РОБОТА 6

ДОСЛІДЖЕННЯ ВОЛЬТ-АМПЕРНИХ ХАРАКТЕРИСТИК ПОЛЬОВИХ ТРАНЗИСТОРІВ ІЗ КЕРУЮЧИМ р-n-ПЕРЕХОДОМ

Мета роботи

Побудувати вольт-амперні характеристики польових транзисторів із керуючим р-n-переходом і вивчити принципів їхньої роботи.

6.1. Методичні вказівки з організації самостійної роботи

Під час підготовки до роботи слід повторити розділи теорії, що стосуються принципів роботи польових транзисторів із керуючим р-n-переходом [1, 2, 3, 5].

Польовий транзистор – напівпровідниковий прилад, підсилювальні властивості якого обумовлені керованим електричним полем потоком основних носіїв заряду, що протікають через провідний канал. Робота польового транзистора заснована на використанні носіїв заряду тільки одного виду. Провідний шар, у якому створюється робочий струм польового транзистора, називають каналом.

Польовий транзистор із керуючим р-n-переходом і каналом n-типу (рис. 6.1).

Пластинка з напівпровідника n-типу має на протилежних кінцях електроди, за допомогою яких вона ввімкнена в коло навантаження. До області з іншим типом електропровідності підключений третій електрод – затвор. Зміна зворотної напруги на затворі призводить до зміни площі поперечного перерізу каналу, а отже, і струму через канал. Електрод, із

якого носії заряду потрапляють у канал, називають витком (В), а електрод, до якого проходять носії з каналу, – стоком (С). Зазвичай випускають кремнієві польові транзистори. Кремній застосовують, тому що струм затвора, тобто зворотний струм p - n -переходу, у багато разів менший, ніж у германію.

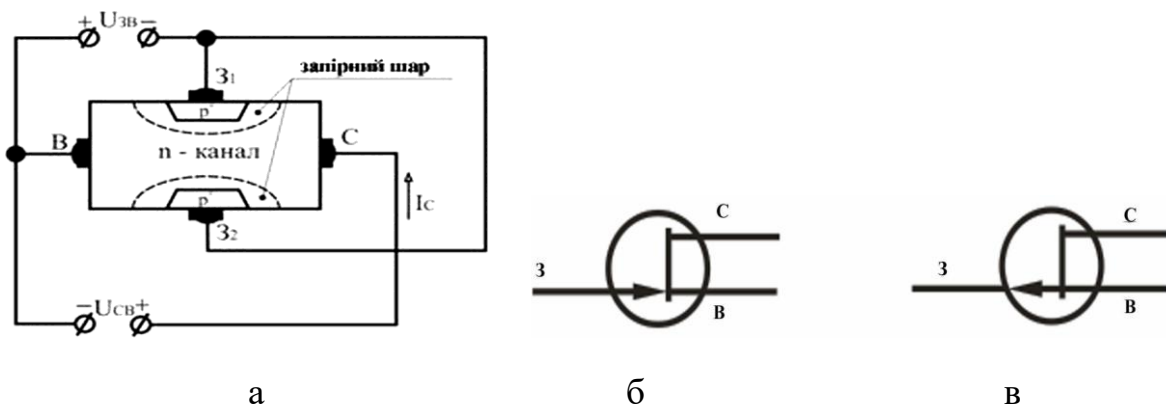


Рис. 6.1. Схема ввімкнення польового транзистора з керуючим p - n -переходом (а) і умовне графічне позначення польового транзистора з керуючим p - n -переходом:

а – канал n -типу; б – канал n -типу; в – канал p -типу

Стокові (вихідні) характеристики польового транзистора з каналом n -типу $I_C = f(U_{CB})$ за умови $U_{ZB} = \text{const}$ і передавальна (вхідна або стоко-затворна) характеристика польового транзистора з каналом n -типу $I_C = f(U_{ZB})$ за умови $U_{CB} = \text{const}$ показані на рис. 6.2.

В EWB польові транзистори вибирають у полі компонентів **Транзистори (Transistors)** на панелі компонентів основного вікна програми Electronics Work Bench. Транзистор для моделювання вибирають із підменю **Models**.

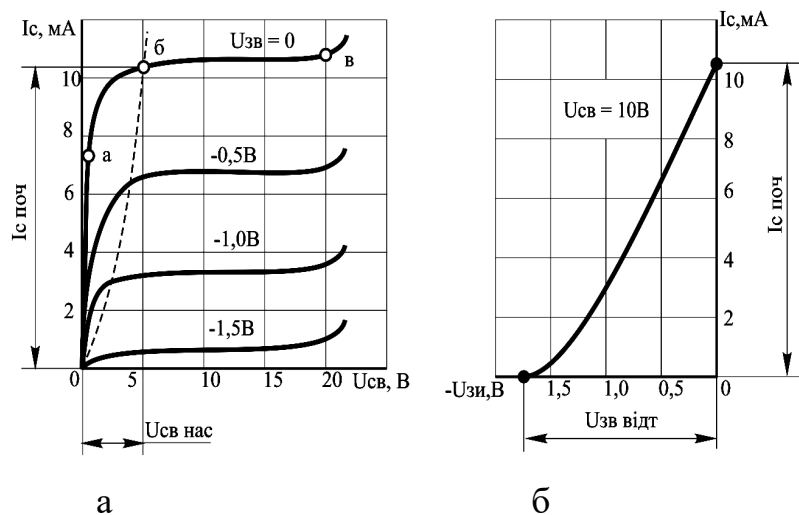


Рис. 6.2. Вольт-амперні характеристики польового транзистора з керуючим p - n -переходом і каналом n -типу: а – стокові (вихідні); б – сток-затворна

Деякі з основних параметрів польових транзисторів в EWB:

Threshold voltage (VTO) – напруга відсічки, В, напруга між затвором і витоком польового транзистора з p - n -переходом або ізольованим затвором, що працюють у режимі збіднення, за якого струм стоку досягає заданої низької напруги. Для транзисторів з ізольованим затвором, що працюють у режимі збагачення, цей параметр називають пороговою напругою;

Drain ohmic resistance (RD) – об'ємний опір області стоку, Ом;

Source ohmic resistance (RS) – об'ємний опір області витоку, Ом;

Gate-junction saturation current (IS) – струм насичення p - n -переходу, А (тільки для польових транзисторів із p - n -переходом);

Zero-bias gate-drain junction capacitance (CGD) – ємність між затвором і стоком за нульового зміщення, Ф;

Zero-bias gate-source junction capacitance (CGS) – ємність між затвором і витоком за нульового зміщення, Ф;

Bulk-threshold parameter (GAMMA) – коефіцієнт впливу потенціалу підкладки на порогову напругу;

Bulk-junction saturation current (IS) – зворотний струм підкладки;

Zero-bias bulk-drain junction capacitance (CBD) – ємність частини переходу сток-підкладка за нульового зсуву, Ф;

Zero-bias bulk-source junction capacitance (CBS) – ємність донної частини переходу виток-підкладка за нульового зсуву, Ф;

Drain and source diffusion sheet resistance (RSH) – питомий опір дифузійних областей витoku і стоку, Ом;

Gate-bulk capacitance C_{gb} (CGB) – ємність між затвором і підкладкою, Ф.

6.2. Порядок виконання роботи

6.2.1. Дослідження стокової (вихідної) характеристики польового транзистора з керуючим р-п-переходом

У відповідності з отриманим від викладача варіантом (табл. 6.3) вибрати транзистор із бібліотеки елементів. Зібрати схеми залежно від структури свого транзистора за варіантом (із каналом n-типу – парні номери, р-типу – непарні номери). Схеми наведено на рис. 6.3 або 6.4.

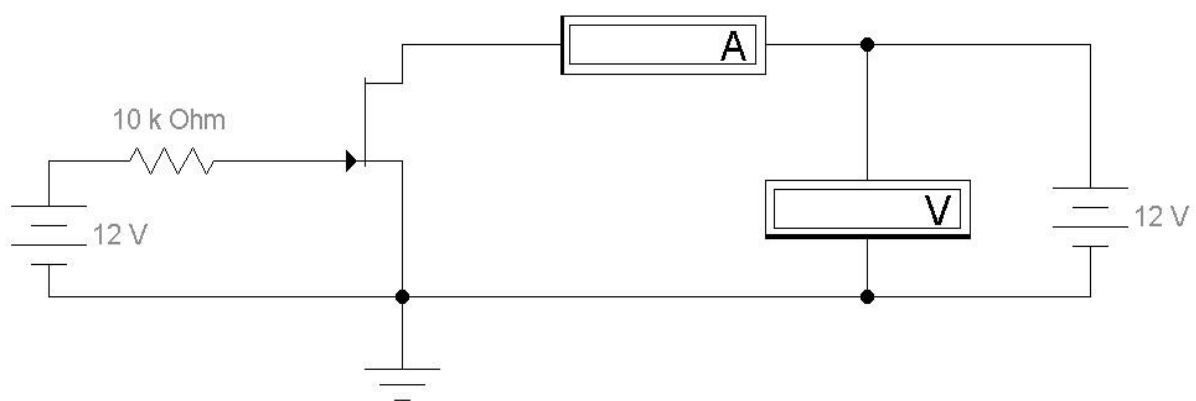


Рис. 6.3. Схема для дослідження ВАХ польового транзистора з керуючим р-п-переходом із каналом n-типу

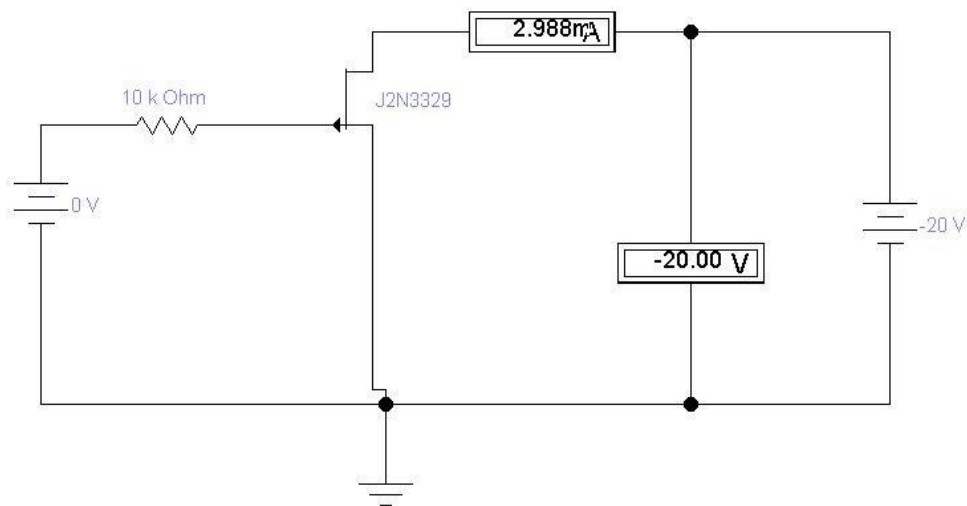


Рис. 6.4. Схема для дослідження ВАХ польового транзистора з керуючим р-п-переходом із каналом р-типу

Скласти таблицю відповідності струму стоку I_C напрузі сток-виток U_{CB} за фіксованих значень напруги затвор-виток, отримані значення занести в табл. 6.1. **УВАГА!** Звернути увагу на діапазон напруг U_{CB} і $U_{зв}$, вони для кожного транзистора індивідуальні (табл. 6.3).

Таблиця 6.1

Стокова (вихідна) ВАХ – відповідність струму стоку I_C напрузі U_{CB} за фіксованого значення напруги затвор-виток $U_{зв}$ для транзистора з каналом n-типу

$U_{зв}, \text{В}$	$U_{CB}, \text{В}$	0	0,5	1	2	4	8
0	$I_C, \text{мА}$						
-0,5	$I_C, \text{мА}$						
-1	$I_C, \text{мА}$						
-1,5	$I_C, \text{мА}$						

Примітка. Для транзисторів із каналом р-типу полярність напруг змінюється на протилежну (табл. 6.3).

За отриманими даними побудувати сімейство стокових (вихідних) характеристик польового транзистора з керуючим п-р-переходом $I_C = f(U_{CB})$ за умови $U_{ЗВ} = \text{const}$.

6.2.2. Дослідження передавальної (вхідної або стоко-затворної) характеристики польового транзистора з керуючим р-п-переходом

Схема для дослідження передавальної (вхідної або стоко-затворної) характеристики польового транзистора з керуючим р-п-переходом така, як і для дослідження вихідної (стокової) ВАХ (рис. 6.3 або 6.4).

Скласти таблицю відповідності струму стоку I_C напрузі затвор-виток $U_{ЗВ}$ за фіксованих значень напруги сток-виток U_{CB} , отримані значення занести в табл. 6.2. **УВАГА!** Звернути увагу на діапазон напруг U_{CB} і $U_{ЗВ}$, вони для кожного транзистора індивідуальні (табл. 6.3).

Таблиця 6.2

Передавальна (вхідна або стоко-затворна) ВАХ – відповідність струму стоку I_C напрузі затвор-виток $U_{ЗВ}$ за фіксованого значення напруги сток-виток U_{CB} для транзистора з каналом п-типу

$U_{CB}, \text{В}$	$U_{ЗВ}, \text{В}$	0	-0,5	-1	-1,5	-2	-2,5	-3
10	$I_C, \text{мА}$							
20	$I_C, \text{мА}$							

Примітка. Для транзисторів із каналом р-типу полярність напруг змінюється на протилежну (табл. 6.3).

За отриманими даними побудувати сімейство передавальних (вхідних або стоко-затворних) характеристик польового транзистора з керуючим п-р-переходом $I_C = f(U_{ЗВ})$ за умови $U_{CB} = \text{const}$.

Таблиця 6.3

Польові транзистори з керуючим р-п-переходом

Варіант	Транзистор	Значення напруги			
		Вихідна характеристика		Передавальна характеристика	
		$U_{ЗВ}(B)$	$U_{СВ}(B)$	$U_{ЗВ}(B)$	$U_{СВ}(B)$
1	2	3	4	5	6
1	Motorola J1RFD9120	0...2.5	0...-10	0...3.0	-10, -20
2	Motorola J300	0...-2.0	0...10	0...-2.5	10, 20
3	Motorola J1RFD9123	0...2.0	0...-10	0...2.5	-10, -20
4	Motorola J304	0...-2.0	0...10	0...-2.5	10, 20
5	Motorola J2N5461	0...2.5	0...-10	0...2.6	-10, -20
6	Motorola J309	0...-2.0	0...10	0...-2.5	10, 20
7	Motorola J2N5462	0...2.0	0...-10	0...2.5	-10, -20
8	Motorola J310	0...-4.0	0...10	0...-4.1	10, 20
9	Motorola MPF970	0...7	0...-10	0...8	-10, -20
10	Motorola MMBF17	0...-1.5	0...10	0...-2.0	10, 20
11	Motorola MPF971	0...3.5	0...-10	0...3.6	-10, -20
12	Motorola BF244B	0...-1.0	0...10	0...-1.5	10, 20
13	Nationl1 J2N5020	0...7.0	0...-10	0...7.15	-10, -20
14	Motorola MMBF4391	0...-4.5	0...10	0...-4.6	10, 20
15	Nationl2 J2N2608	0...1.8	0...-10	0...2.0	-10, -20
16	Motorola MMBF4392	0...-3.0	0...10	0...-3.5	10, 20
17	Nationl1 J2N5462	0...5.0	0...-10	0...5.5	-10, -20
18	Motorola MMBF4416	0...-5.0	0...10	0...-5.5	10, 20
19	Nationl2 J2N5116	0...1.9	0...-10	0...2.0	-10, -20
20	Motorola MMBF4856	0...-3.0	0...10	0...-3.5	10, 20
21	Nationl1 J2N2608	0...2.0	0...-10	0..2.5	-10, -20

1	2	3	4	5	6
22	Motorola MPF3822	0...-2.5	0...10	0...-2.6	10, 20
23	Nationl1 J2N2609	0...2.0	0...-10	0..2.5	-10, -20
24	Motorola MMBF5457	0...-3.0	0...10	0...-3.5	10, 20
25	Nationl1 J2N3329	0...2.5	0...-10	0...2.75	-10, -20
26	Motorola MPF4393	0...-4.0	0...10	0...-4.5	10, 20
27	Nationl1 J2N3330	0...2.5	0...-10	0...3.0	-10, -20
28	Motorola MPF102	0...-2.5	0...10	0...-3.0	10, 20
29	Nationl1 J2N3331	0...5	0...-10	0...5.2	-10, -20
30	Motorola MPF4395	0...-4.0	0...10	0...-4.5	10, 20

Примітка. Парні номери за списком – транзистори з каналом n-типу, непарні – із каналом p-типу.

Контрольні запитання і завдання

1. Навести визначення польового транзистора. Які є різновиди польових транзисторів? Пояснити їхню будову і принцип дії, навести умовні графічні позначення.
2. У чому полягає відмінність між біполярними та польовими транзисторами?
3. Навести ВАХ польового транзистора з p-n-переходом і пояснити принцип його роботи.
4. Назвати принцип дії польових транзисторів, класифікацію та переваги польових транзисторів порівняно з біполярними.
5. Описати принцип дії польових транзисторів із керованим n-p-переходом.

6. Назвати основні параметри і важливі переваги польових транзисторів.

7. Назвати і навести схеми ввімкнення польових транзисторів.

8. Навести схему підсилювального каскаду на польовому транзисторі з керованим р-п-переходом. Пояснити призначення елементів схеми та принцип роботи підсилювального каскаду.

9. Навести передавальні (вхідні або стоко-затворні) характеристики основних видів польових транзисторів і порівняти їх.

10. Навести стокові (вихідні) характеристики основних видів польових транзисторів і порівняти їх.

Зміст звіту

Звіт із лабораторної роботи має містити тему, мету, електричні схеми, що досліджують, із зазначеними параметрами радіоелементів у відповідності з варіантом; дані, отримані експериментальним шляхом (таблиці, вольт-амперні характеристики, скрини схем і т. п.); розрахункові величини; висновки з виконаної роботи.

ЛАБОРАТОРНА РОБОТА 7

ДОСЛІДЖЕННЯ ВОЛЬТ-АМПЕРНИХ ХАРАКТЕРИСТИК МДН-ТРАНЗИСТОРІВ З ІНДУКОВАНИМ КАНАЛОМ

Мета роботи

Побудувати вольт-амперні характеристики МДН-транзисторів з індукованим каналом і вивчити принципи їхньої роботи.

7.1. Методичні вказівки з організації самостійної роботи

МДН-транзистор з індукованим каналом

МДН-транзистори з індукованим каналом не мають спеціально створеного каналу між витокom і стоком, і якщо $U_{зв} = 0$, то вихідний струм $I_c = 0$. Канал індукований за позитивного потенціалу на затворі $U_{зв} > 0$ завдяки припливу електронів із р-підкладки, витокy і стоку.

У транзисторів цього типу (рис. 7.1) під впливом поля затвора електрони переміщатимуться з областей витокy і стоку в напрямку до затвора. Коли напруга на затворі перевищить деяку граничну напругу, концентрація електронів у приповерхневому шарі збільшиться настільки, що в ньому відбудеться інверсія типу електропровідності, тобто утвориться канал n-типу. Стокові (вихідні) і передавальні (вхідні або стоко-затворні) вольт-амперні характеристики польових транзисторів з індукованим каналом показані на рис. 7.2. Подібний транзистор може працювати тільки в режимі збагачення.

Відмітною особливістю МДН-транзисторів з індукованим каналом є відсутність вбудованого каналу, а тому в них стоковий струм I_c дорівнює нулю не лише за нульової або негативної (у випадку р-підкладки) напруги на затворі, але і за малих позитивних напруг, оскільки на шляху між стоком і витокom знаходяться два зустрічно ввімкнених р-п-переходи.

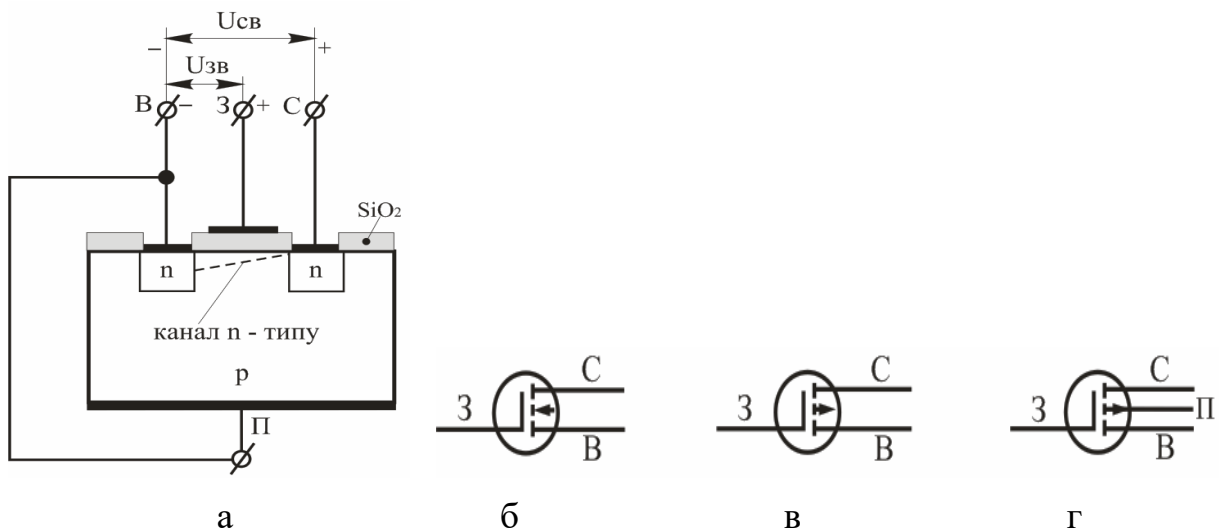


Рис. 7.1. МДН-транзистор з індукованим каналом n-типу:

- а – схема ввімкнення МДН-транзистор з індукованим каналом n-типу;
 б – умовне позначення МДН-транзистора з індукованим каналом n-типу;
 в – умовне позначення МДН-транзистора з індукованим каналом р-типу;
 г – умовне позначення МДН-транзистора з індукованим каналом р-типу і виводом від підложки

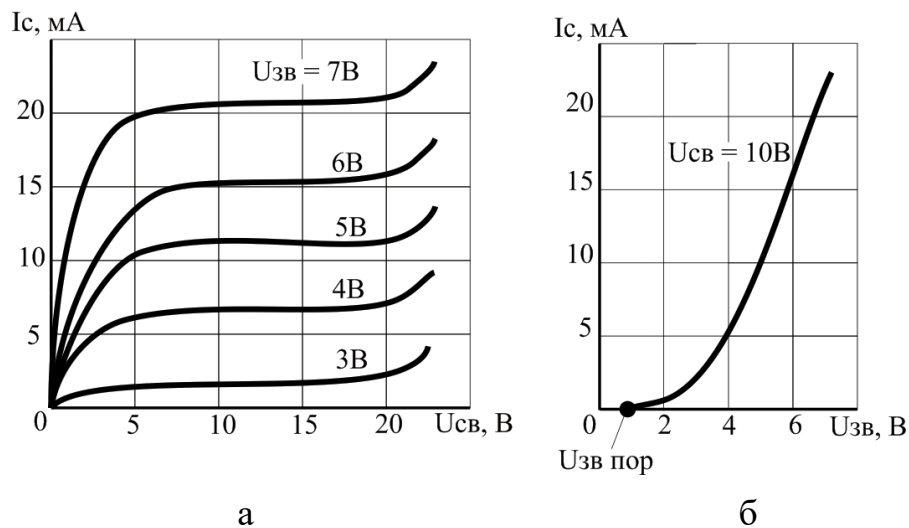


Рис. 7.2. Вольт-амперні характеристики МДН-транзистора з індукованим каналом n-типу: а – сімейство стокових (вихідних) вольт-амперних характеристик МДН-транзистора з індукованим каналом n-типу;
 б – передавальна (вхідна або стоко-затворна) вольт-амперна характеристика МДН-транзистора з індукованим каналом n-типу

В EWB польові транзистори вибирають у полі компонентів **Транзистори (Transistors)** на панелі компонентів основного вікна програми Electronics Work Bench. Транзистор для моделювання вибирають із підменю **Models**.

Деякі з основних параметрів польових транзисторів в EWB:

Threshold voltage (VTO) – напруга відсічки, В, напруга між затвором і витком польового транзистора з р-п-переходом або ізольованим затвором, що працюють у режимі збіднення, за якого струм стоку досягає заданої низької напруги. Для транзисторів з ізольованим затвором, що працюють у режимі збагачення, цей параметр називають пороговою напругою;

Drain ohmic resistance (RD) – об’ємний опір області стоку, Ом;

Source ohmic resistance (RS) – об’ємний опір області витoku, Ом;

Gate-junction saturation current (IS) – струм насичення р-п-переходу, А (тільки для польових транзисторів із р-п-переходом);

Zero-bias gate-drain junction capacitance (CGD) – ємність між затвором і стоком за нульового зміщення, Ф;

Zero-bias gate-source junction capacitance (CGS) – ємність між затвором і витком за нульового зміщення, Ф;

Bulk-threshold parameter (GAMMA) – коефіцієнт впливу потенціалу підкладки на порогову напругу;

Bulk-junction saturation current (IS) – зворотний струм підкладки;

Zero-bias bulk-drain junction capacitance (CBD) – ємність частини переходу сток-підкладка за нульового зсуву, Ф;

Zero-bias bulk-source junction capacitance (CBS) – ємність донної частини переходу виток-підкладка за нульового зсуву, Ф;

Drain and source diffusion sheet resistance (RSH) – питомий опір дифузійних областей витoku і стоку, Ом;

Gate-bulk capacitance Cgb (CGB) – ємність між затвором і підкладкою, Ф.

7.2. Порядок виконання роботи

7.2.1. Дослідження стокової (вихідної) вольт-амперної характеристики МДН-транзистора з індукованим каналом

У відповідності з отриманим від викладача варіантом (табл. 7.3) вибрати транзистор із бібліотеки елементів. Зібрати схеми залежно від структури свого транзистора за варіантом (із каналом n-типу – парні номери, р-типу – непарні номери). Схеми наведено на рис. 7.3 або 7.4.

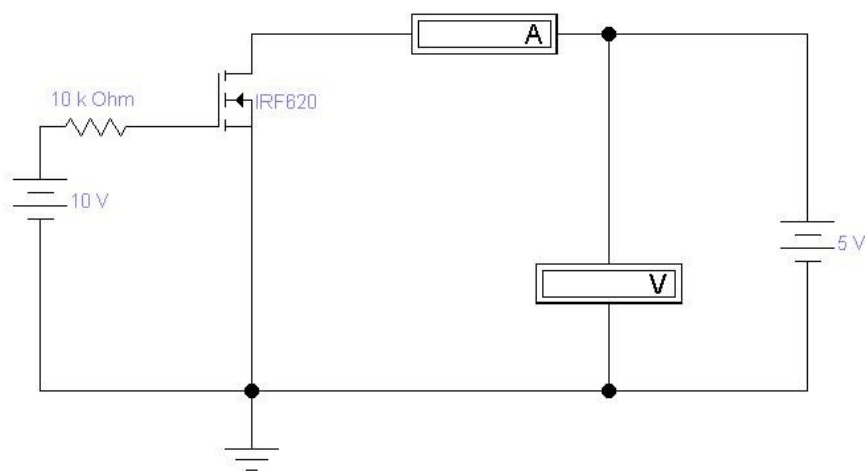


Рис. 7.3. Схема для дослідження ВАХ МДН-транзистора з індукованим каналом n-типу

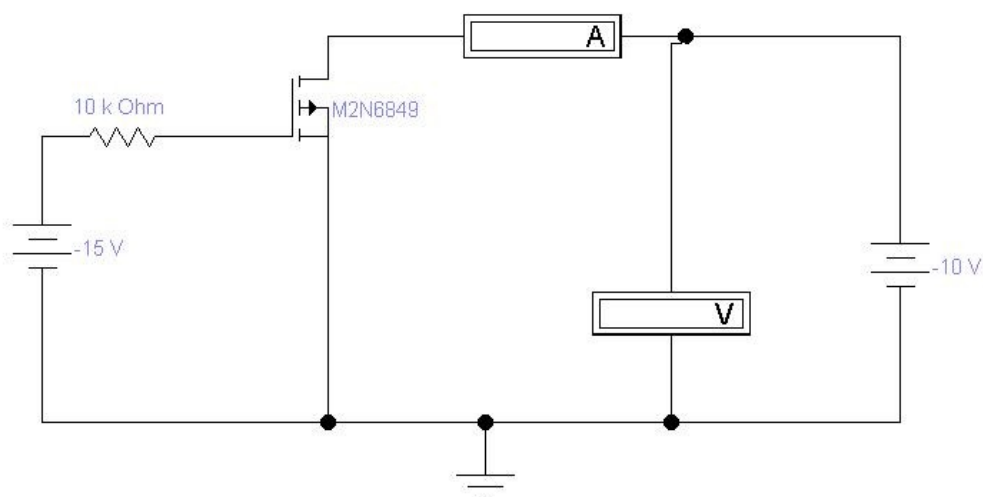


Рис. 7.4. Схема для дослідження ВАХ МДН-транзистора з індукованим каналом p-типу

Скласти таблицю відповідності струму стоку I_C напрузі сток-виток U_{CB} за фіксованих значень напруги затвор-виток, отримані значення занести в табл. 7.1. **УВАГА!** Звернути увагу на діапазон напруг U_{CB} і $U_{ЗВ}$, вони для кожного транзистора індивідуальні (табл. 7.3).

Таблиця 7.1

Стокова (вихідна) ВАХ – відповідність струму стоку I_C напрузі U_{CB} за фіксованого значення напруги затвор-виток $U_{ЗВ}$ для МДН-транзистора з індукованим каналом n-типу

$U_{ЗВ}, В$	$U_{CB}, В$	0	1	2	3	4	6	8	12
5	$I_C, мА$								
10	$I_C, мА$								
15	$I_C, мА$								

Примітка. Для транзисторів із каналом р-типу полярність напруг змінюється на протилежну (табл. 7.3).

За отриманими даними побудувати сімейство стокових (вихідних) характеристик МДН-транзистора з індукованим каналом $I_C = f(U_{CB})$ за умови $U_{ЗВ} = \text{const}$.

7.2.2. Дослідження передавальної (вхідної або стоко-затворної) характеристики МДН-транзистора з індукованим каналом

Схема для дослідження передавальної (вхідної або стоко-затворної) характеристики МДН-транзистора з індукованим каналом така, як і для дослідження вихідної (стокової) ВАХ (рис. 7.3 або 7.4).

Скласти таблицю відповідності струму стоку I_C напрузі затвор-виток $U_{ЗВ}$ за фіксованих значень напруги сток-виток U_{CB} , отримані значення занести в табл. 7.2. **УВАГА!** Звернути увагу на діапазон напруг U_{CB} і $U_{ЗВ}$, вони для кожного транзистора індивідуальні (табл. 7.3).

Таблиця 7.2

Передавальна (вхідна або стоко-затворна) ВАХ – відповідність струму стоку I_C напрузі затвор-виток $U_{ЗВ}$ за фіксованого значення напруги стоку-виток $U_{СВ}$ для транзистора з каналом n-типу

$U_{СВ} = 10 \text{ В}$	$U_{ЗВ}, \text{ В}$	0	2,5	5	7,5	10	12,5	15
	$I_C, \text{ мА}$							
$U_{СВ} = 20 \text{ В}$	$U_{ЗВ}, \text{ В}$	0	2,5	5	7,5	10	12,5	15
	$I_C, \text{ мА}$							

Примітка. Для транзисторів із каналом р-типу полярність напруг змінюється на протилежну (табл. 7.3).

За отриманими даними побудувати сімейство передавальних (вхідних або стоко-затворних) характеристик МДН-транзистора з індукованим каналом $I_C = f(U_{ЗВ})$ за умови $U_{СВ} = \text{const}$.

Таблиця 7.3

МДН-транзистори з індукованим каналом

Варіант	Транзистор	Значення напруги			
		Вихідна характеристика		Передавальна характеристика	
		$U_{ЗВ}(\text{В})$	$U_{СВ}(\text{В})$	$U_{ЗВ}(\text{В})$	$U_{СВ}(\text{В})$
1	2	3	4	5	6
1	hariis IRF9130	-5,-10,-15	0...-30	0...-15	-10,-20
2	intrntl2 IRF510	5,10,15	0...30	0...15	10,20
3	hariis IRF9140	-5,-10,-15	0...-30	0...-15	-10,-20
4	intrntl2 IRF520	5,10,15	0...30	0...15	10,20
5	hariis IRF9240	-5,-10,-15	0...-30	0...-15	-10,-20
6	intrntl2 IRF520n	5,10,15	0...30	0...15	10,20
7	hariis IRF9511	-5,-10,-15	0...-30	0...-15	-10,-20

Продовження табл. 7.3

1	2	3	4	5	6
8	intrntl2 IRF530	5,10,15	0...30	0...15	10,20
9	hariis IRF9621	-5,-10,-15	0...-60	0...-15	-10,-20
10	intrntl2 IRF530n	5,10,15	0...30	0...15	10,20
11	hariis M2N6851	-5,-10,-15	0...-20	0...-15	-10,-20
12	intrntl2 IRF540	5,10,15	0...30	0...15	10,20
13	internat IRF9510	-5,-10,-15	0...-30	0...-15	-10,-20
14	intrntl2 IRF540n	5,10,15	0...30	0...15	10,20
15	internat IRF9520	-5,-10,-15	0...-30	0...-15	-10,-20
16	intrntl1 IRF120	5,10,15	0...30	0...15	10,20
17	internat IRF9620	-5,-10,-15	0...-20	0...-15	-10,-20
18	intrntl1 IRF360	5,10,15	0...30	0...15	10,20
19	internat IRF9640	-10,-15,-20	0...-30	0...-15	-10,-20
20	intrntl1 IRF620	5,10,15	0...30	0...15	10,20
21	internat IRFP9240	-5,-10,-15	0...-20	0...-15	-10,-20
22	intrntl1 IRF710	5,10,15	0...30	0...15	10,20
23	internat IRFD9110	-5,-10,-15	0...-30	0...-15	-10,-20
24	intrntl1 IRF820	5,10,15	0...30	0...15	10,20
25	hariis M2N6849	-5,-10,-15	0...-60	0...-15	-10,-20
26	intrntl1 IRFP150	5,10,15	0...30	0...15	10,20
27	hariis IRFP9140	-5,-10,-15	0...-60	0...-15	-10,-20
28	intrntl1 IRFP350	5,10,15	0...30	0...15	10,20
29	hariis M2N6804	-5,-10,-15	0...-60	0...-15	-10,-20
30	intrntl1 IRFR220	5,10,15	0...30	0...15	10,20

Примітка. Парні номери за списком – транзистори з каналом п-типу, непарні – із каналом р-типу.

Контрольні запитання і завдання

1. Побудова і принцип роботи МДН-транзистора з індукованим каналом.
2. Що таке «режим збагачення і режим збідніння» у МДН-транзисторів?
3. Який із режимів роботи застосовано в МДН-транзисторах з індукованим каналом і чому?
4. Що така порогова напруга і напруга відсічення?
5. Яку роль відіграє підложка в МДН-транзисторах?
6. У чому перевага польових транзисторів порівняно з біполярними?
7. У чому відмінність МДН-транзисторів із вбудованим каналом та індукованим каналом?
8. Навести ВАХ МДН-транзистора з індукованим каналом і пояснити його роботу.
9. Назвати основні параметри і важливі переваги польових транзисторів.
10. У чому особливість МДН-(МОН-)транзисторів?
11. Пояснити особливості режимів роботи польового МДН-транзистора з вбудованим каналом і МДН-транзистора з індукованим каналом. У чому різниця?
12. Навести схему підсилювального каскаду на польовому МДН-транзисторі з індукованим каналом. Пояснити призначення елементів схеми та принцип роботи підсилювального каскаду.

Зміст звіту

Звіт із лабораторної роботи має містити тему, мету, електричні схеми, що досліджують, із зазначеними параметрами радіоелементів у відповідності з варіантом; дані, отримані експериментальним шляхом (таблиці, вольт-амперні характеристики, скріни схем і т. п.); розрахункові величини; висновки з виконаної роботи.

ЛАБОРАТОРНА РОБОТА 8

ДОСЛІДЖЕННЯ ТРАНЗИСТОРНИХ КЛЮЧІВ

Мета роботи

Дослідити режими роботи ключа на біполярному транзисторі і ключа на КМДН-транзисторах.

8.1. Методичні вказівки з організації самостійної роботи

Транзисторні ключі – елементи схемотехніки, які здійснюють різні комутації під впливом сигналів керування: вмикання/вимикання пасивних і підсилювальних елементів, джерел живлення і т.д. [1, 3, 5]. У статичному режимі ключ знаходиться в одному з двох станів: замкнутому (включеному) або розімкнутому (виключеному). Транзисторні ключі є одним з найпоширеніших вузлів комп'ютерної електроніки, оскільки на їх основі створюються вузли цифрової схемотехніки. Під час підготовки до лабораторної роботи необхідно повторити теоретичний матеріал, пов'язаний з схемотехнікою ключів на біполярних транзисторах, КМДН-транзисторах, перехідними процесами при перемиканні ключа.

Біполярний транзистор у ключовому каскаді (рис. 8.1) може знаходитися в трьох режимах.

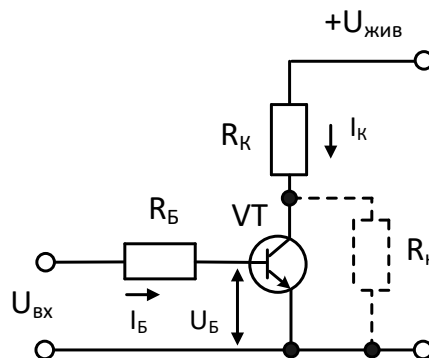


Рис. 8.1. Типова схема ключа на біполярному транзисторі

Активний режим. Емітерний перехід зміщено у прямому напрямку, колекторний перехід зміщено у зворотному напрямку

$$I_K = \beta \cdot I_B + I_{K0} \cdot (1 + \beta). \quad (8.1)$$

Режим насичення. Емітерний і колекторний переходи транзистора зміщено у прямому напрямку. Умова переходу транзистора в режим насичення

$$I_B \geq I_{B \text{ нас}} = U_{\text{жив}} / \beta R_K. \quad (8.2)$$

Режим відсічення. Емітерний і колекторний переходи транзистора зміщено в зворотному напрямку

$$U_{\text{вих}} = U_{KE} = U_{\text{жив}} - I_{K0} \cdot R_K. \quad (8.3)$$

Струм бази транзистора дорівнює струму зворотно-зміщеного колекторного переходу $I_B = -I_{K0}$. Умова режиму відсічення для n-p-n транзистора: $U_{BE} < 0$, для p-n-p транзистора: $U_{BE} > 0$.

Особливістю даного ключа є те, що при виконанні умови (8.4)

$$U_{\text{жив}} \leq |U_{\text{пор1}}| + |U_{\text{пор2}}|, \quad (8.4)$$

як у сталому, так і в перехідному режимах відсутні моменти, коли одночасно протікають струми стоку обох транзисторів. Внаслідок цього енергія, яка відбирається ключем від джерела живлення, витрачається виключно на перезаряд вихідної ємності (ємності навантаження) ключа. Отже, ця потужність зведена до мінімально можливої.

КМДН- ключ виконано на комплементарній парі МДН-транзисторів, тобто на транзисторах з каналами протилежного типу провідності (рис. 8.2).

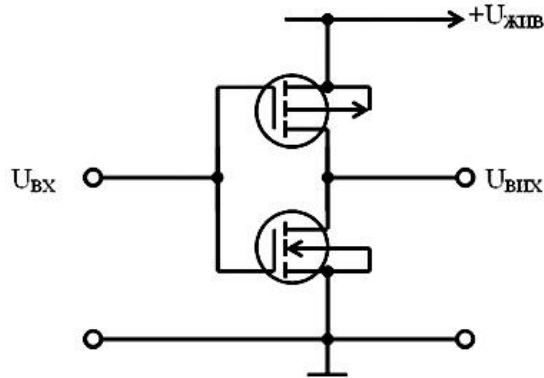


Рис. 8.2. Схема ключа на КМОН-транзисторах

Значення високого і низького рівнів вихідної напруги визначаються співвідношенням опору каналів відкритого транзистора $r_{\text{ВІДКР}}$ і закритого $r_{\text{ЗАКР}}$. Оскільки $r_{\text{ЗАКР}}$ більше $r_{\text{ВІДКР}}$ в десятки тисяч разів і більше, то вихідна напруга високого рівня практично не відрізняється від напруги живлення (р-канальний – транзистор відкритий, n-канальний закритий), а напруга низького рівня (р-канальний транзистор закритий, n-канальний – відкритий) – від нуля.

8.2. Порядок виконання роботи

8.2.1. Дослідження ключа на біполярному транзисторі

Відповідно до отриманого від викладача варіанта (табл. 8.1) вибрати транзистор з бібліотеки елементів.

Дослідження динамічних параметрів ключа

Зібрати схему, яку наведено на рис. 8.3. Параметри функціонального генератора (форма імпульсів – прямокутні): Frequency – 100 kHz, Duty

cycle – 50 %, Amplitude – 2,5 В, Offset – “+2,5В” для n-p-n транзистору або “-2,5В” для р-n-p транзистору.

Настройки осцилографа: розгортка – 0.10 мкс/д (Y/T), X position=0.00, Чутливість по каналу А – 2 В/д (Y position=0.00), режим DC. Чутливість по каналу В – 2В/д (Y position=-3.00), режим DC. Синхронізувати у режимі AUTO, переднім фронтом імпульсу.

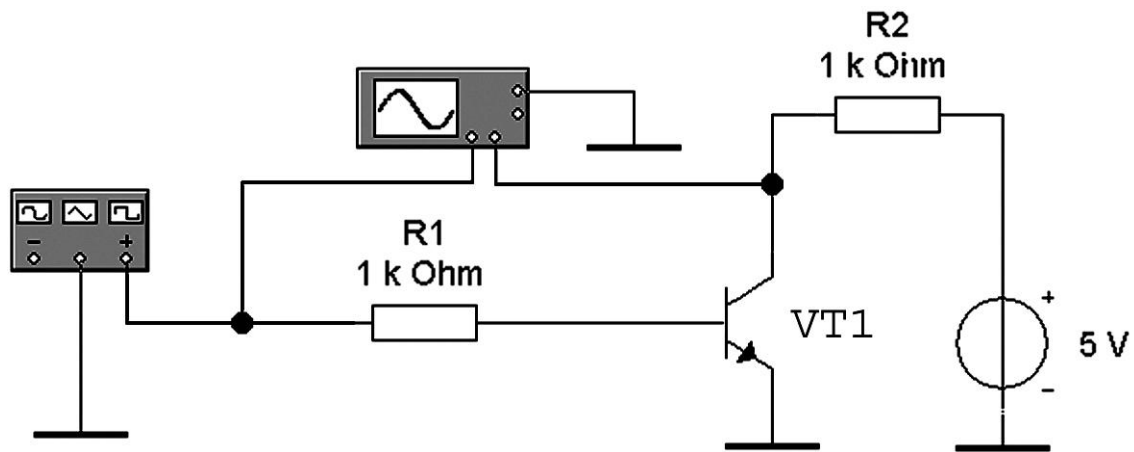


Рис. 8.3. Схема для дослідження ключа на біполярному транзисторі

Включити схему. Отримавши осцилограми (як показано на рис. 8.4), припинити процес моделювання.

Побудувати осцилограми вхідного і вихідного сигналів ключа і виміряти такі динамічні параметри ключа:

- $t_{зат}$ – час затримки включення;
- $t_{ф}$ – час формування фронту колекторного струму;
- $t_{роз}$ – час розсмоктування надмірного заряду в області бази;
- $t_{сп}$ – час формування спаду колекторного струму.

Дослідження передавальної характеристики ключа

В схемі на рис. 8.3 встановити форму імпульсів: «трикутні». Включити режим моделювання. Побудувати передавальну характеристику

$U_{\text{вих}}=f(U_{\text{вх}})$ ключа при $0 < U_{\text{вх}} < U_{\text{жив}}$. Визначити значення вхідної напруги, які відповідають межі високого та низького значень вихідної напруги.

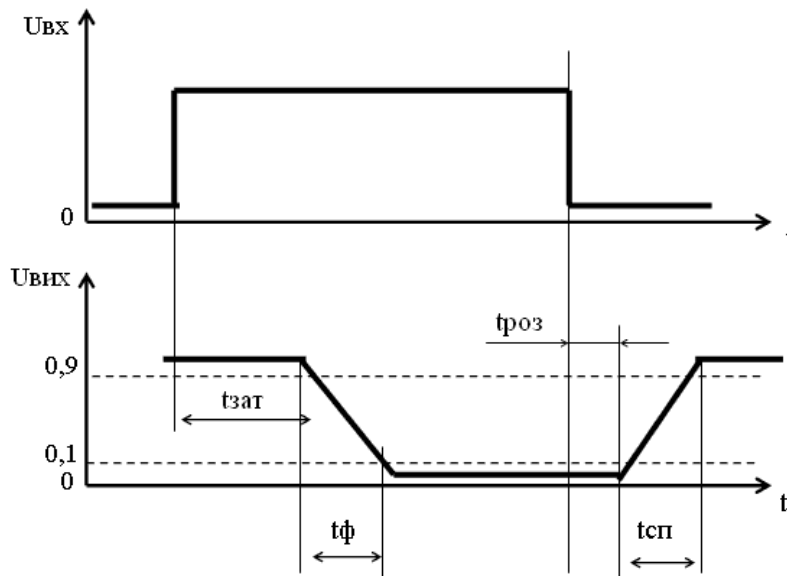


Рис. 8.4. Форма вхідного і вихідного сигналів ключа на біполярному транзисторі

8.2.2. Дослідження ключа на біполярному транзисторі з діодом Шоткі

Зібрати схему, показану на рис. 8.5, використати діод Шоткі FQ із бібліотеки **int_shot** (параметри функціонального генератора, значення опору резисторів, напруга джерела живлення – як в пункті 8.3.1).

Включити режим моделювання. Побудувати осцилограми вхідного і вихідного сигналів. Виміряти динамічні параметри ключа аналогічно пункті 8.3.1. Порівняти результати досліджень з результатами пункті 8.3.1.

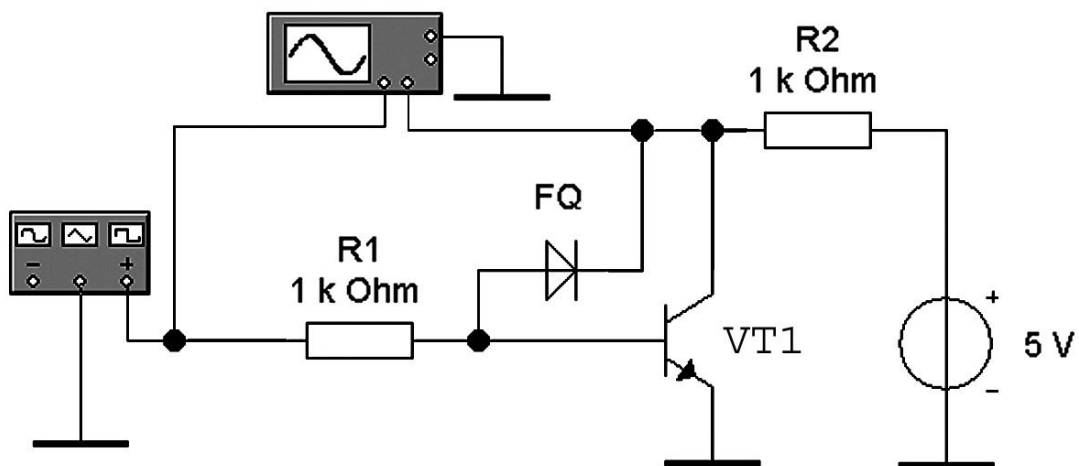


Рис. 8.5. Схема для дослідження ключа на біполярному транзисторі з діодом Шоткі

8.2.3. Дослідження КМДН-ключа

Відповідно до отриманого від викладача варіанта (таблиця 8.2) вибрати транзистори із бібліотеки елементів і напругу живлення.

Дослідження динамічних параметрів ключа

Скласти схему, яку показано на рис. 8.6. Параметри функціонального генератора (форма імпульсів – прямокутні): Frequency – 200 kHz, Duty cycle – 50%, Amplitude – 10 V, Offset – 10V. Налаштування осцилографа: розгортка – 0.5 мкс/д (Y/T), X position=0.00, Чутливість по каналу А – 10 В/д (Y position=0.00), режим DC. Чутливість по каналу В – 10В/д (Y position=-2.40), режим DC. Налаштувати синхронізацію у режимі AUTO, з переднім фронтом імпульсу.

Включити режим моделювання, отримавши осцилограми сигналів вимкнути режим моделювання. Побудувати осцилограми вхідного і вихідного сигналів і провести вимірювання тривалості етапів перемикання: часу формування фронту і часу формування спаду.

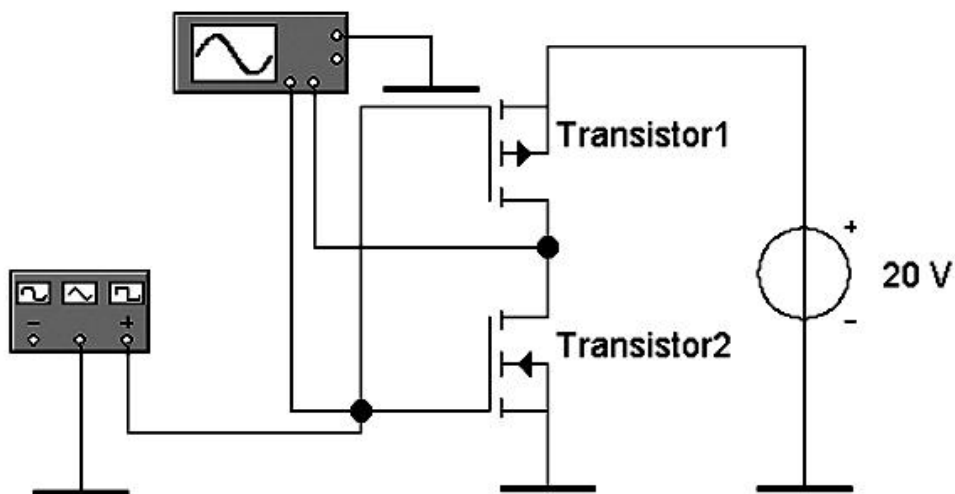


Рис. 8.6. Схема для дослідження КМОН-ключа за умови $U_{\text{жив}} = 20 \text{ В}$

Дослідження передавальної характеристики ключа

У схемі на рис. 8.6 встановити форму імпульсів: «трикутні». Включити режим моделювання. За допомогою візирних ліній, побудувати передавальну характеристику $U_{\text{вих}} = f(U_{\text{вх}})$ ключа при $0 < U_{\text{вх}} < U_{\text{жив}}$. Визначити значення вхідної напруги, які відповідають границям високого та низького значень вихідної напруги.

Таблиця 8.1

Варіанти завдань для дослідження ключа на біполярному транзисторі

Варіант	Бібліотека	Транзистор	$U_{\text{жив}}, \text{В}$
1	2	3	4
1	2n	2N2218	5
2	2n	2N2222	10
3	2n	2N2222A	15
4	2n	2N4401	5
5	bipolar	MPS3904	10
6	ewba	QNL	15
7	harris	BD239	5

Продовження табл. 8.1

1	2	3	4
8	harris	BD239A	10
9	harris	BD239B	15
10	harris	BD239C	5
11	harris	BD241	10
12	harris	BD241A	15
13	harris	BD243	5
14	harris	BD501B	10
15	harris	BD550	15
16	harris	BD643	5
17	harris	BD645	10
18	harris	BD647	15
19	zetex	BC846B	10
20	zetex	BCW72	8
21	motorol1	BC107	15
22	motorol1	BC140-10	5
23	motorol2	BC237	10
24	motorol3	BFS17	15
25	motorol3	MMBR571	5
26	nationl1	D40D1	10
27	nationl1	MPQ100	15
28	philips1	BC140	5
29	philips2	JC546	10
30	siemens	T89	15

Таблиця 8.2

Варіанти завдань для дослідження КМДН-ключа

Варіант	Бібліотека	Транзистор 1	Бібліотека	Транзистор 2	U _{жив} , В
1	2	3	4	5	6
1	zetex	ZVP4424A	national	NDB4045B	5
2	zetex	ZVP4424A	zetex	ZVN4310	10
3	zetex	ZVP4424A	zetex	ZVN4306	15
4	zetex	ZVP4424A	zetex	ZPV4210	5
5	zetex	ZVP4424A	zetex	ZPV4106	10
6	zetex	ZVP4424A	zetex	ZVN3310	15
7	zetex	ZVP4424A	zetex	ZVN3306F	5
8	zetex	ZVP4424A	zetex	ZVN3306	10
9	zetex	ZVP4424A	zetex	ZVN2106G	15
10	zetex	ZVP4424A	zetex	ZVN2106	5
11	zetex	ZVP4424A	zetex	ZVN0124	10
12	zetex	ZVP4424A	zetex	VN10LF	15
13	zetex	ZVP4424A	zetex	BS170	5
14	philips	BSP204	zetex	2N7002	10
15	philips	BSP204	zetex	2N7000	15
16	philips	BSP204	philips	BSS123	5
17	philips	BSP204	toshiba	M2DK1488	10
18	philips	BSP204	toshiba	BSN10	15
19	philips	BSP204	toshiba	BSN10A	5
20	philips	BSP204	toshiba	BSN20	10
21	philips	BSP204	toshiba	BSS100	15
22	philips	BSP204	toshiba	BSS123	5
23	philips	BSP204	national	NDB4050	10
24	philips	BSP204	national	NDB405A	15
25	philips	BSP204	national	NDB405AEL	5

1	2	3	4	5	6
26	philips	BSP204	national	NDB405B	10
27	philips	BSP204	national	NDC631N	15
28	philips	BSP204	national	NDH831N	5
29	philips	BSP204	national	NDP4050	10
30	philips	BSP204	national	NDP7060	15

Контрольні запитання і завдання

1. Які параметри характеризують динамічні властивості транзисторних ключів?

2. Доведіть, чому потужність, що розсіюється в транзисторі, який знаходиться в режимі пасивного замикання, більше потужності в режимі глибокого відсічення?

3. У чому причина виникнення перехідних процесів при перемиканні ключа на біполярному транзисторі?

4. Які можна виділити стадії включення ключа на біполярному транзисторі?

5. Як впливає час життя неосновних носіїв в області бази на тривалості фронту і спаду колекторного струму біполярного транзистора?

6. Які фази виключення ключа на біполярному транзисторі можна виділити?

Зміст звіту

Звіт з лабораторної роботи має містити: досліджувані електричні схеми ключів з вказівкою параметрів радіоелементів відповідно до отриманого варіанта; дані, отримані експериментальним шляхом; висновки з виконаної роботи.

ЛАБОРАТОРНА РОБОТА 9

ДОСЛІДЖЕННЯ ЦИФРОВИХ КОМБІНАЦІЙНИХ ПРИСТРОЇВ ІЗ ДВІЙКОВИМИ ВХІДНИМИ КОДАМИ

Мета роботи

Ознайомитися із середовищем Electronics Workbench і вивчити основні можливості і правила роботи в ньому.

9.1. Методичні вказівки з організації самостійної роботи

Під час викладення матеріалу розглядатимемо тільки позитивну логіку, за якої логічній одиниці відповідає висока напруга (або Н), а логічному нулю – низька напруга (або L).

Логічними елементами (ЛЕ) називають функціональні пристрої, за допомогою яких реалізовані елементарні логічні функції.

ЛЕ працюють із двійковим кодуванням інформації, для якого характерні два рівні напруги двійкової змінної. Високий рівень напруги позначають цифрою 1 або літерою Н. Низький рівень напруги позначають цифрою 0 або літерою L.

Залежно від рівня напруги, за якого сприймають або виробляють інформацію, розрізняють прямі та інверсні входи і виходи логічних елементів.

Прямим вважають такий вхід (вихід), на якому двійкова змінна має значення 1, коли рівень напруги на цьому вході (виході) відповідає стану, прийнятому за 1.

Якщо двійкова змінна на вході (виході) має значення 1 за рівня напруги на ньому, що відповідає стану, прийнятому за 0, такий вхід (вихід) називають інверсним.

Кожен ЛЕ перетворює послідовність вхідних сигналів у послідовність вихідних сигналів або сигнал. Спосіб перетворення найчастіше описано:

- логічним виразом;
- у вигляді таблиці (таблиці істинності), яка відображує значення вихідного сигналу (сигналів), що відповідає конкретному набору значень вхідних сигналів;
- часових діаграм, тобто графіків залежності в часі значень вихідного сигналу (сигналів) від значень вхідних сигналів.

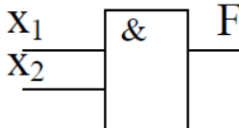
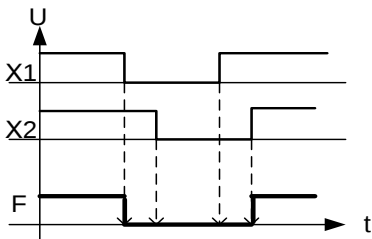
Найпростіші логічні елементи

Логічний елемент І реалізує операцію логічного множення (кон'юнкції): $F = X1 * X2$ або $F = X1 \wedge X2$. На виході ЛЕ І сигнал 1 з'явиться тільки тоді, коли на всіх його входах присутні сигнали 1.

Умовно-графічне позначення (УГП), таблиця істинності та діаграма роботи ЛЕ І наведені в табл. 9.1.

Таблиця 9.1

Умовно-графічне позначення, таблиця істинності та діаграма роботи ЛЕ І

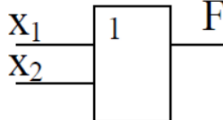
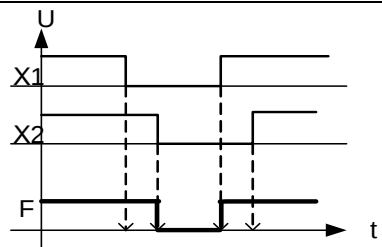
Логічний вираз	УГП	Таблиця істинності	Діаграма															
$F = X1 * X2$ або $F = X1 \wedge X2$		<table><tr><th>X1</th><th>X2</th><th>F</th></tr><tr><td>0</td><td>0</td><td>0</td></tr><tr><td>0</td><td>1</td><td>0</td></tr><tr><td>1</td><td>0</td><td>0</td></tr><tr><td>1</td><td>1</td><td>1</td></tr></table>	X1	X2	F	0	0	0	0	1	0	1	0	0	1	1	1	
X1	X2	F																
0	0	0																
0	1	0																
1	0	0																
1	1	1																

Логічний елемент АБО реалізує операцію логічного додавання (диз'юнкції): $F = X1 + X2$ або $F = X1 \vee X2$. На ЛЕ АБО сигнал 1 з'явиться тільки тоді, коли хоча б на одному з його входів присутній сигнал 1.

Умовно-графічне позначення (УГП), таблиця істинності, діаграма роботи ЛЕ АБО наведені в табл. 9.2.

Таблиця 9.2

Умовно-графічне позначення, таблиця істинності
та діаграма роботи ЛЕ АБО

Логічний вираз	УГП	Таблиця істинності	Діаграма															
$F = X1 + X2$ або $F = X1 \vee X2$		<table><tr><th>X1</th><th>X2</th><th>F</th></tr><tr><td>0</td><td>0</td><td>0</td></tr><tr><td>0</td><td>1</td><td>1</td></tr><tr><td>1</td><td>0</td><td>1</td></tr><tr><td>1</td><td>1</td><td>1</td></tr></table>	X1	X2	F	0	0	0	0	1	1	1	0	1	1	1	1	
X1	X2	F																
0	0	0																
0	1	1																
1	0	1																
1	1	1																

Логічний елемент НЕ реалізує функцію логічного заперечення (інверсії). Стан виходу ЛЕ НЕ завжди протилежний стану входу. Умовно-графічне позначення (УГП), таблиця істинності та діаграма роботи ЛЕ НЕ наведені в табл. 9.3.

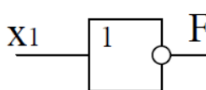
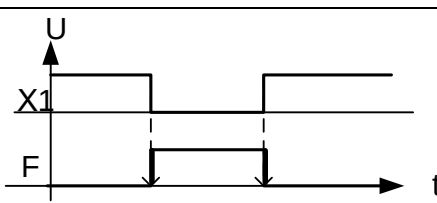
ЛЕ І, АБО, НЕ призначені для виконання трьох основних операцій цифрової логіки над дискретними сигналами. За допомогою цих ЛЕ можна реалізувати логічні операції будь-якої складності. Інакше ці елементи називають основними.

Логічний елемент І-НЕ є комбінацією ЛЕ І та ЛЕ НЕ. Отримати логічну функцію І-НЕ можна за допомогою двох логічних функцій

булевого базису І та заперечення НЕ. Функція І-НЕ має назву «штрих Шеффера». На виході ЛЕ І-НЕ сигнал рівня 0 буде тільки в тому разі, коли на обох його входах присутній сигнал рівня 1. Умовно-графічне позначення, таблицю істинності та діаграму роботи ЛЕ І-НЕ подано в табл. 9.4.

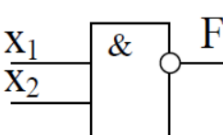
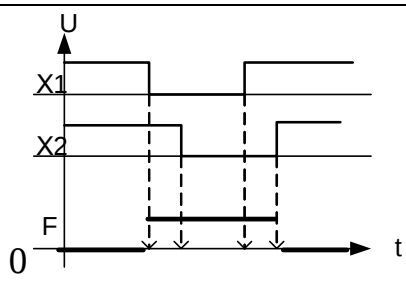
Таблиця 9.3

Умовно-графічне позначення, таблиця істинності
та діаграма роботи ЛЕ НЕ

Логічний вираз	УГП	Таблиця істинності	Діаграма						
$F = \overline{X1}$		<table><tr><th>X1</th><th>F</th></tr><tr><td>0</td><td>1</td></tr><tr><td>1</td><td>0</td></tr></table>	X1	F	0	1	1	0	
X1	F								
0	1								
1	0								

Таблиця 9.4

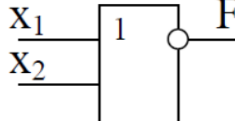
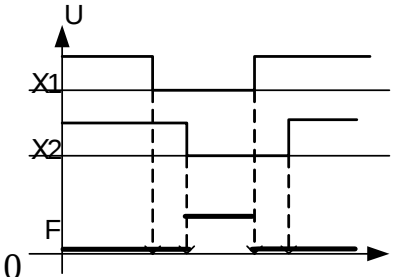
Умовно-графічне позначення, таблиця істинності
та діаграма роботи ЛЕ І-НЕ

Логічний вираз	УГП	Таблиця істинності	Діаграма															
$F = \overline{X1 * X2}$		<table><tr><th>X1</th><th>X2</th><th>F</th></tr><tr><td>0</td><td>0</td><td>1</td></tr><tr><td>0</td><td>1</td><td>1</td></tr><tr><td>1</td><td>0</td><td>1</td></tr><tr><td>1</td><td>1</td><td>0</td></tr></table>	X1	X2	F	0	0	1	0	1	1	1	0	1	1	1	0	
X1	X2	F																
0	0	1																
0	1	1																
1	0	1																
1	1	0																

Логічний елемент АБО-НЕ є комбінацією ЛЕ АБО і ЛЕ НЕ. Аналогічно можна отримати логічну функцію АБО-НЕ за допомогою двох логічних функцій булевого базису АБО та заперечення НЕ. Функція АБО-НЕ має назву «стрілки Пірса». На виході ЛЕ АБО-НЕ сигнал рівня 1 буде тільки в тому разі, коли на обох його входах присутній сигнал рівня 0. Умовно-графічне позначення (УГП), таблицю істинності та діаграму роботи ЛЕ АБО-НЕ подано в табл. 9.5.

Таблиця 9.5

Умовно-графічне позначення, таблиця істинності
та діаграма роботи ЛЕ АБО-НЕ

Логічний вираз	УГП	Таблиця істинності	Діаграма															
$F = \overline{X1 + X2}$		<table><tr><th>X1</th><th>X2</th><th>F</th></tr><tr><td>0</td><td>0</td><td>1</td></tr><tr><td>0</td><td>1</td><td>0</td></tr><tr><td>1</td><td>0</td><td>0</td></tr><tr><td>1</td><td>1</td><td>0</td></tr></table>	X1	X2	F	0	0	1	0	1	0	1	0	0	1	1	0	
X1	X2	F																
0	0	1																
0	1	0																
1	0	0																
1	1	0																

9.2. Порядок виконання роботи

1. Записати у відповідні стовпчики таблиці результатів (табл. 9.6) значення вхідних логічних сигналів *A*, *B*, *C*, *D*, *E* відповідно до варіанта, заданого в табл. 9.8.

Таблиця 9.6

Таблиця результатів

<i>N</i>	<i>A</i>	<i>B</i>	<i>C</i>	<i>D</i>	<i>E</i>	<i>Y</i> ₁	<i>Y</i> ₂
1							
..	..	..	..	..	..	..	..

2. Розрахувати значення вихідного логічного сигналу Y_1 відповідно до варіанта цифрової схеми, що задана в табл. 9.8, і записати в таблицю результатів (табл. 9.6).

3. Реалізувати відповідний варіант цифрової схеми в середовищі Electronics Workbench.

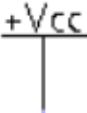
4. Зафіксувати значення вихідного логічного сигналу Y_2 цифрового пристрою, використовуючи **Red Prob** (*Світло індикатор*). Для подавання на вхід A, B, C, D, E логічного сигналу «1» використовувати **Voltage Source** (*Джерело постійної напруги +5 вольт*), а логічного сигналу «0» – **Ground** (*Заземлення*), і для активування кожного сигналу **Switch** (*Перемикач*).

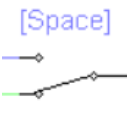
5. Підготувати новий файл для роботи – новий документ у форматі *.ewb. Для цього необхідно використати меню: **File/New** і **File/Save as**. Виконуючи операцію збереження **Save as**, необхідно вказати ім'я файлу і каталог для збереження схеми.

6. Перемістити елементи (табл. 9.7) відповідно до варіанта для побудови заданої схеми на робочу область Electronics Workbench. Для цього необхідно вибрати розділ на панелі інструментів (**Sources, Basic, Logic Gates, Indicators**), що містить логічні елементи і, не відпускаючи кнопки, перенести на монтажний стіл у потрібне місце схеми. Правою кнопкою маніпулятора викликати контекстне меню елемента, що дає швидкий доступ до найпростіших операцій над положенням елемента, таких як обертання (**Rotate**), повертання (**Flip**), копіювання/вирізання (**Copy/Cut**), вставлення (**Paste**).

Таблиця 9.7

Використовувані елементи схеми

Но- мер	Позна- чення	Назва і призначення елементів
1	2	3
1		Джерело постійної напруги +5 вольт (Sources – Voltage Source). За допомогою джерела на вхід тригерів логічних елементів подається логічна одиниця, $U = 1$

1	2	3
2		Перемикач (Basic – Switch). Перемикають натисненням на клавішу, вказану в дужках над цим елементом
3		Світлоіндикатор (<i>Indicators – Red Prob</i>). З подаванням логічної одиниці світлодіод загоряється червоним кольором
4		Заземлення (<i>Sources – Ground</i>). На вхід тригерів і логічних елементів подається логічний нуль, $U = 0$
5		Логічний елемент «І» (<i>Logic gates – 2-Input AND gate</i>). Реалізує функцію логічного множення. Рівень логічної одиниці на його виході з'являється в разі, коли на один І на інший вхід подається рівень логічної одиниці
6		Логічний елемент «АБО» (<i>Logic gates – 2-Input OR gate</i>). Реалізує функцію логічного додавання. Рівень логічної одиниці на його виході з'являється в разі, коли на один АБО на інший вхід подається рівень логічної одиниці
7		Логічний елемент «НЕ» (<i>Logic gates – 2-Input NOT gate</i>). Елемент логічне НЕ, або інвертор, змінює перебування вхідного сигналу на протилежне. Рівень логічної одиниці з'являється на його виході, коли на вході НЕ одиниця, і навпаки
8		Логічний елемент «АБО-НЕ» (<i>Logic gates – 2-Input NOR gate</i>). Реалізує функцію логічного додавання з подальшою інверсією результату
9		Логічний елемент «І-НЕ» (<i>Logic gates – 2-Input NAND gate</i>). Реалізує функцію логічного множення з подальшою інверсією результату
10		Логічний елемент «АБО-ВИКЛЮЧНЕ» (<i>Logic gates – 2- Input XOR gate</i>). Двійкове число на виході елемента, що виключає АБО є молодшим розрядом суми двійкових чисел на його входах

7. Розташувати елементи на монтажному столі для одержання цифрової схеми, як показано на рис. 9.1, і з'єднати контакти елементів. Для з'єднання двох контактів необхідно натиснути на одному із контактів лівою кнопкою миші і, не відпускаючи клавішу, довести курсор до другого контакту. З появою точки контакту біля виводу іншого елемента відпустити кнопку маніпулятора. У разі потреби додаткові вузли додають за допомогою елемента **Conector (Basic)**. Для цього перетягують елемент із панелі на місце провідника, де потрібне розгалуження. Кожен з'єднувач має лише чотири точки підключення – справа, зверху, зліва і знизу.

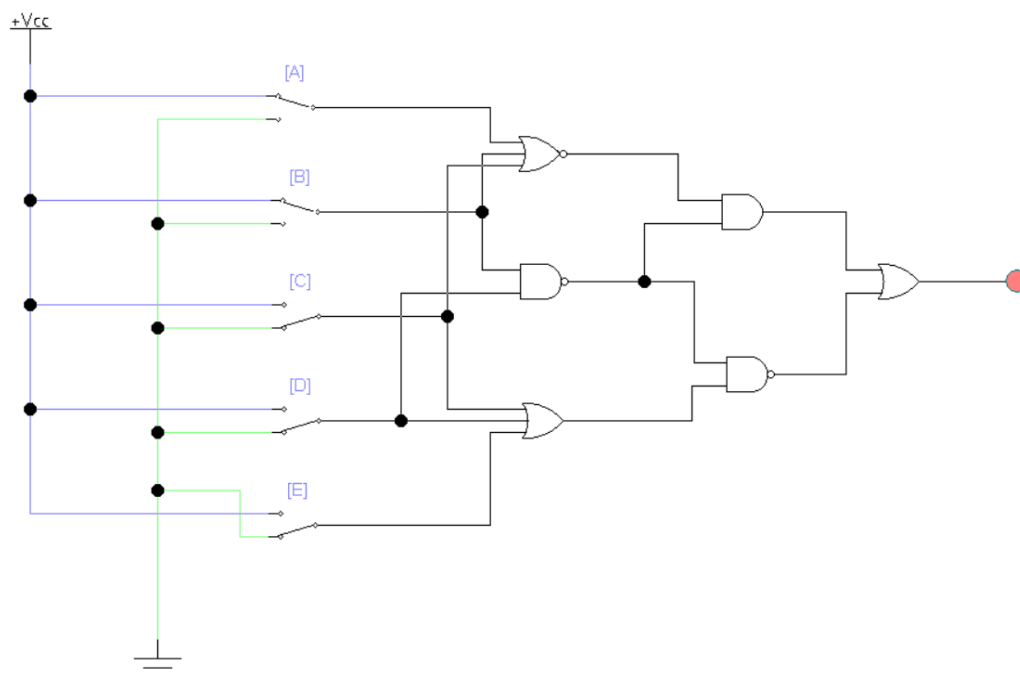


Рис. 9.1. Приклад виконання цифрової схеми в Electronics Workbench

8. Провідникам задати лінії різного кольору у вікні властивостей. Якщо цим провідником до контрольної точки підключено вхід віртуального логічного аналізатора, то цим же кольором буде забарвлена відповідна осцилограма на екрані приладу. Для вирівнювання ліній зв'язку і уточнення взаємного позиціонування елементів виділені об'єкти

переміщують за допомогою миші методом перетягування або за допомогою клавіш керування курсором.

9. Запустити процес моделювання, використовуючи кнопку ввімкнення живлення на панелі інструментів. Якщо зі збиранням схеми допущена помилка (замикання елемента живлення накоротко, відсутність нульового потенціалу у схемі), то буде видано відповідне попередження.

10. Заповнити таблицю результатів значеннями вихідного логічного сигналу Y_2 з використанням світлового індикатора.

11. Оформити звіт про виконану роботу, що містить задану схему і таблицю результатів.

Таблиця 9.8

Вихідні дані для індивідуального завдання

Варіант 1						
<i>N</i>	<i>A</i>	<i>B</i>	<i>C</i>	<i>D</i>	<i>E</i>	<i>Y</i>
1	1	0	1	1	0	
2	1	0	0	0	1	
3	0	0	0	1	0	
4	1	0	0	1	0	
5	0	0	1	0	0	
6	1	0	1	0	1	
7	0	0	1	1	0	
8	1	0	1	1	1	

Варіант 2						
<i>N</i>	<i>A</i>	<i>B</i>	<i>C</i>	<i>D</i>	<i>E</i>	<i>Y</i>
1	1	0	0	0	0	
2	1	1	0	0	1	
3	1	0	0	1	0	
4	1	1	0	1	1	
5	1	0	1	0	0	
6	1	1	1	0	1	
7	1	0	1	1	0	
8	1	1	1	1	1	

Варіант 3						
<i>N</i>	<i>A</i>	<i>B</i>	<i>C</i>	<i>D</i>	<i>E</i>	<i>Y</i>
1	0	1	0	1	0	
2	0	1	0	1	1	
3	0	1	1	0	0	
4	0	1	1	0	1	
5	0	1	1	1	0	
6	0	1	1	1	1	
7	1	0	0	0	0	
8	1	0	0	0	1	

Варіант 4						
N	*A*	*B*	*C*	*D*	*E*	*Y*
1	1	1	0	0	0	
2	1	1	0	0	1	
3	1	1	0	1	0	
4	1	1	0	1	1	
5	1	1	1	0	0	
6	1	1	1	0	1	
7	1	1	1	1	0	
8	1	1	1	1	1	
Варіант 5						
N	*A*	*B*	*C*	*D*	*E*	*Y*
1	1	1	0	0	0	
2	1	1	0	0	1	
3	1	1	0	1	0	
4	1	1	0	1	1	
5	1	1	1	0	0	
6	1	1	1	0	1	
7	1	1	1	1	0	
8	1	1	1	1	1	
Варіант 6						
N	*A*	*B*	*C*	*D*	*E*	*Y*
1	0	0	0	0	0	
2	0	0	0	0	1	
3	0	0	0	1	0	
4	0	0	0	1	1	
5	0	0	1	0	0	
6	0	0	1	0	1	
7	0	0	1	1	0	
8	0	0	1	1	1	

Варіант 7								
<i>N</i>	<i>A</i>	<i>B</i>	<i>C</i>	<i>D</i>	<i>E</i>	<i>Y</i>		
1	1	1	0	0	0			
2	1	1	0	0	1			
3	1	1	0	1	0			
4	1	1	0	1	1			
5	1	1	1	0	0			
6	1	1	1	0	1			
7	1	1	1	1	0			
8	1	1	1	1	1			

Варіант 8								
<i>N</i>	<i>A</i>	<i>B</i>	<i>C</i>	<i>D</i>	<i>E</i>	<i>Y</i>		
1	1	1	0	0	0			
2	1	1	0	0	1			
3	1	1	0	1	0			
4	1	1	0	1	1			
5	1	1	1	0	0			
6	1	1	1	0	1			
7	1	1	1	1	0			
8	1	1	1	1	1			

Варіант 9								
<i>N</i>	<i>A</i>	<i>B</i>	<i>C</i>	<i>D</i>	<i>E</i>	<i>Y</i>		
1	0	1	0	1	0			
2	0	1	0	1	1			
3	0	1	1	0	0			
4	0	1	1	0	1			
5	0	1	1	1	0			
6	0	1	1	1	1			
7	1	0	0	0	0			
8	1	0	0	0	1			

Варіант 10								
<i>N</i>	<i>A</i>	<i>B</i>	<i>C</i>	<i>D</i>	<i>E</i>	<i>Y</i>		
1	1	1	0	0	0			
2	1	1	0	0	1			
3	1	1	0	1	0			
4	1	1	0	1	1			
5	1	1	1	0	0			
6	1	1	1	0	1			
7	1	1	1	1	0			
8	1	1	1	1	1			

Варіант 11						
<i>N</i>	<i>A</i>	<i>B</i>	<i>C</i>	<i>D</i>	<i>E</i>	<i>Y</i>
1	0	0	0	0	0	
2	0	0	0	0	1	
3	0	0	0	1	0	
4	0	0	0	1	1	
5	0	0	1	0	0	
6	0	0	1	0	1	
7	0	0	1	1	0	
8	0	0	1	1	1	

Варіант 12						
<i>N</i>	<i>A</i>	<i>B</i>	<i>C</i>	<i>D</i>	<i>E</i>	<i>Y</i>
1	1	1	0	0	0	
2	1	1	0	0	1	
3	1	1	0	1	0	
4	1	1	0	1	1	
5	1	1	1	0	0	
6	1	1	1	0	1	
7	1	1	1	1	0	
8	1	1	1	1	1	

Варіант 13						
<i>N</i>	<i>A</i>	<i>B</i>	<i>C</i>	<i>D</i>	<i>E</i>	<i>Y</i>
1	0	0	0	0	0	
2	0	0	0	0	1	
3	0	0	0	1	0	
4	0	0	0	1	1	
5	0	0	1	0	0	
6	0	0	1	0	1	
7	0	0	1	1	0	
8	0	0	1	1	1	

Варіант 14						
N	A	B	C	D	E	Y
1	0	1	0	1	0	
2	0	1	0	1	1	
3	0	1	1	0	0	
4	0	1	1	0	1	
5	0	1	1	1	0	
6	0	1	1	1	1	
7	1	0	0	0	0	
8	1	0	0	0	1	

Варіант 15						
N	A	B	C	D	E	Y
1	0	1	0	1	0	
2	0	1	0	1	1	
3	0	1	1	0	0	
4	0	1	1	0	1	
5	0	1	1	1	0	
6	0	1	1	1	1	
7	1	0	0	0	0	
8	1	0	0	0	1	

Контрольні запитання і завдання

1. Реалізувати схему «виключне АБО» у базисі «штрих Шеффера».
2. Реалізувати елемент «сума за модулем 2» у базисі «стрілка Пірса».
3. Реалізувати елемент «штрих Шеффера» на елементах «стрілка Пірса».
4. Реалізувати елемент «стрілка Пірса» на елементах «штрих Шеффера».
5. Записати вираз функції трьох змінних, яка набуває істинних значень за умови, що будь-яка пара змінних одночасно має істинні значення.

6. Реалізувати логічну схему з непарною кількістю входів m , яка да змогу розв'язати задачу голосуванням більшістю. Розв'язати задачу для $m = 3; 5$.

7. Побудувати таблиці істинності для таких функцій трьох змінних: 1) сума за модулем два; 2) нерівність усіх аргументів один одному, тобто вони не співпадають; 3) ВИКЛ. АБО (АБО - альтернатива, тобто один і тільки один для всіх); 4) диз'юнкція.

8. Побудувати на елементах АБО та АБО-НЕ однотактний пристрій, який реалізує такий алгоритм роботи. На вхід подано п'ятирозрядний двійковий код (x_1, x_2, x_3, x_4, x_5). На виході маємо 1, якщо кількість одиниць у коді дорівнює 4 чи 5. В інших випадках на виході маємо 0.

9. Побудувати на елементах АБО та АБО-НЕ однотактний пристрій, який реалізує такий алгоритм роботи. На вхід подано п'ятирозрядний двійковий код (x_1, x_2, x_3, x_4, x_5). На виході маємо 1, якщо кількість одиниць у коді дорівнює 3. В інших випадках на виході маємо 0.

Зміст звіту

Звіт із лабораторної роботи має містити тему, мету, комбінаційні схеми, що досліджують, із зазначеними параметрами радіоелементів у відповідності з варіантом; дані, отримані експериментальним шляхом (таблиці, скрини схем і т. п.); висновки з виконаної роботи.

ЛАБОРАТОРНА РОБОТА 10

ДОСЛІДЖЕННЯ ЦИФРОВИХ КОМБІНАЦІЙНИХ ПРИСТРОЇВ ІЗ ЛОГІЧНИМИ ВХІДНИМИ СИГНАЛАМИ

Мета роботи

Навчитися аналізувати функціонування цифрової схеми, підключати до схеми та налаштовувати параметри приладів для спостереження логічних величин – логічного аналізатора. Закріпити вміння створювати цифрову схему у програмі Electronics Workbench.

10.1. Методичні вказівки з організації самостійної роботи

Генератор сигналів (*Word Generator*) використовують для задавання цифрових послідовностей. На схему виводять зменшене зображення генератора слів. На шістнадцять виходів у нижній частині генератора паралельно подані біти слова, які генерують. На вихід тактового сигналу подано послідовність тактових імпульсів із заданою частотою. Вхід синхронізації використовують для подавання синхронізуючого сигналу від зовнішнього джерела. Для синхронізації роботи цифрової схеми з генератором сигналів встановлена частота імпульсів в межах від герц до мегагерц у вікні *Frequency*.

Подвійним натисканням маніпулятора відкривається вікно параметрів генератора слів (рис. 10.1). Ліва частина генератора містить 1023 слова адреси. Виділенням відокремлюють слово, активне в цей момент. Значення такого слова відображено в шістнадцятковій системі числення зліва, у двійковій системі числення вікно *Binary*, міжнародній системі кодів – вікно *ASCII*. Вводять слова в лівій або нижній (вікно *Binary*) частині вікна генератора. Маніпулятором виділяють потрібний біт, а вводять значення з клавіатури.

Для подальшого використання встановленого набору слів необхідно зберегти шаблон – кнопка «**Pattern...**», вибрати в новому **Save** і ввести ім'я. Шаблон зберігається у вигляді файлу з розширенням *.dp. Для повторного використання шаблону потрібно натиснути кнопку **Load**. Очищують ліву частину генератора сигналів / заповнення нулями натисканням на кнопку **Clear Buffer**.

Генератор сигналів може працювати в трьох режимах:

- покроковий – кнопка **Step** (генератор зупиняється кожний раз після подавання чергового слова);
- циклічний – кнопка **Burst** (на вихід генератора однократно послідовно поступають усі слова);
- неперервний – кнопка **Cycle** (усі слова циклічно передаються на вихід генератора протягом необхідного часу). Для того щоб перервати роботу в неперервному режимі, необхідно ще раз натиснути кнопку **Cycle** (або **CTRL+T**).

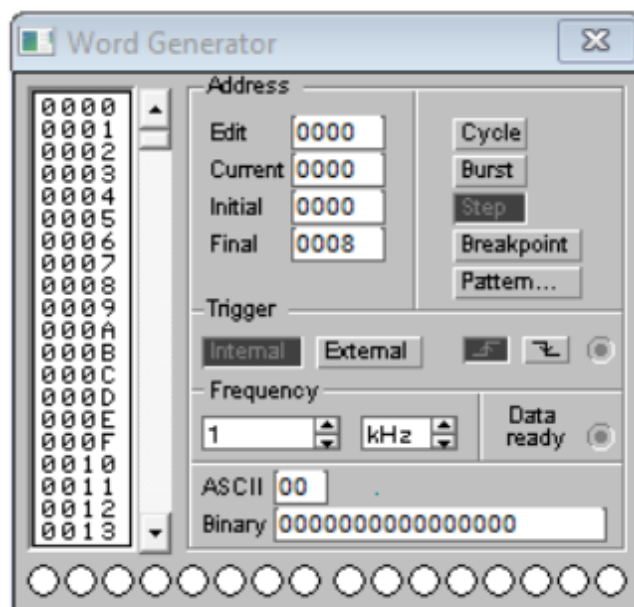


Рис. 10.1. Генератор сигналів

Панель керування **Trigger** визначає момент початку роботи генератора сигналів. Момент запуску може бути заданий по додатному або

від'ємному фронтах імпульсу синхронізації. У режимі **External** (зовнішня синхронізація) передавання сигналів на вихід генератора сигналів синхронізовано за допомогою імпульсів, поданих на вхід запуску. З надходженням кожного імпульсу на вихід генератора видається одне слово. У режимі **Internal** (внутрішня синхронізація) генератор виконує внутрішню синхронізацію передавання слів на вихід.

Логічний аналізатор (Logic Analyzer). На схему виведено зменшене зображення логічного аналізатора. Подвійним натисканням миші на зменшеному зображенні відкривається розширене зображення логічного аналізатора, яке показано на рис. 10.2. Праве нижнє затискання **External** використовують для передавання синхронізуючих імпульсів генератора сигналів. Логічний аналізатор підключено до досліджуваної схеми за допомогою виводів у його лівій частині, максимально їх може бути шістнадцять сигналів. Часові діаграми сигналів на екрані 16-канального логічного аналізатора зображено у вигляді прямокутних імпульсів. Круглі вікна в лівій частині аналізатора показують поточний стан входів аналізатора. Кожне вікно відповідає одному з його входів.

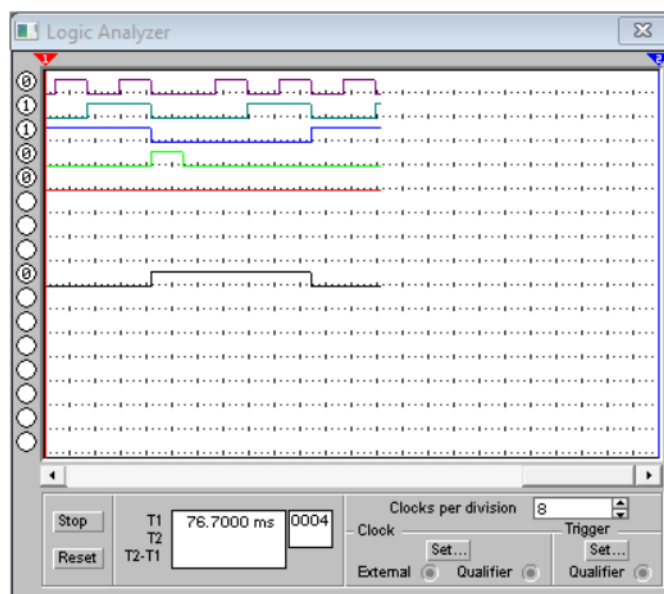


Рис. 10.2. Розширене зображення логічного аналізатора

Рівні сигналів, поданих у поточний момент на вхід аналізатора, на екрані зображені справа. Правий крайній вхід аналізатора відповідає середній часовій діаграмі на екрані аналізатора. Очищення екрана логічного аналізатора здійснюється натисканням на клавішу **Reset**. Часовий масштаб по горизонтальній осі встановлений у полі **Time base**.

10.2. Порядок виконання роботи

1. Запустити Electronics Workbench і підготувати новий файл для роботи. Для цього необхідно використати меню **File/New** і **File/Save as**. Виконуючи операцію збереження **Save as**, необхідно вказати ім'я файлу і каталог для збереження схеми.

2. Перенести необхідні елементи для побудови заданої схеми на монтажний стіл Electronics Workbench. Для цього необхідно вибрати такі розділи на панелі інструментів: **Sources**, **Basic**, **Logic Gates**, **Instruments**. Генератор слів (**Word Generator**) і логічний аналізатор (**Logic Analyzer**) знаходяться на вкладці **Instruments**.

3. Установити необхідні номінали і властивості кожному елементу на монтажному столі з використанням діалогового вікна властивостей елемента, у розділі **Value** встановлюють необхідні значення параметрів, а розділі **Label** задають позиційні позначення елемента. Кількість входів логічних елементів схем можна встановити в межах від двох до восьми, але вихід може бути тільки один. Для видалення провідника, елемента або приладу з монтажного столу необхідно виділити його і натиснути на клавішу **Del** на клавіатурі.

4. Розташувати зліва від схеми генератор сигналів (**Word Generator**). Підключити лінії зв'язку починаючи з крайнього правого елемента. З'єднати контакти елементів, як показано на рис. 10.3, відповідно до

варіанта (табл. 10.1). Два входи та вихід приєднати до логічного аналізатора (*Logic Analyzer*). Задати такий режим роботи:

- початкову адресу (*Initial*) встановити 0000, а кінцеву (*Final*) – 0008;
- режим зміни адрес – покроковий (*Step*);
- перші вісім адрес генератора слів у двійковій системі числення вікно *Binary* значеннями справа наліво E, D, C, B, A (щоб кожне значення відповідало лінії підключення).

5. Розташувати логічний аналізатор (*Logic Analyzer*) на робочому столі справа від схеми. Перший вивід внизу елемента з'єднати з виходом *Data Ready* генератора слів. Підключити лінії зв'язку починаючи з верхньої контрольної точки. Осцилограми на екрані приладу будуть забарвлені кольором провідника, підключеного на вхід віртуального логічного аналізатора, як показано на рис. 10.2 та 10.3. Задати такий режим роботи:

- синхронізувати логічний аналізатор сигналом *Data Ready* генератора слів, для чого з'єднати вихід цього сигналу зі входом *Clock Internal* логічного аналізатора;
- на вкладці *Set...* у розділі *Logic Analyzer* встановити *Pre-trigger samples* , що дорівнює 100, а *Post-trigger samples* – дорівнює 1000;
- встановити опцію *Clocks per divisions*, що дорівнює 8;
- встановити внутрішню синхронізацію логічного аналізатора від генератора слів, для чого на вкладці *Set...* у розділі *Clock mode* встановити режим *Internal*.

6. Запустити процес моделювання, використовуючи меню *Logic Analyzer* чи кнопку ввімкнення живлення на панелі інструментів.

7. Зробити висновки. Оформити звіт про виконану роботу. Навести у звіті результати моделювання – схему логічного аналізатора.

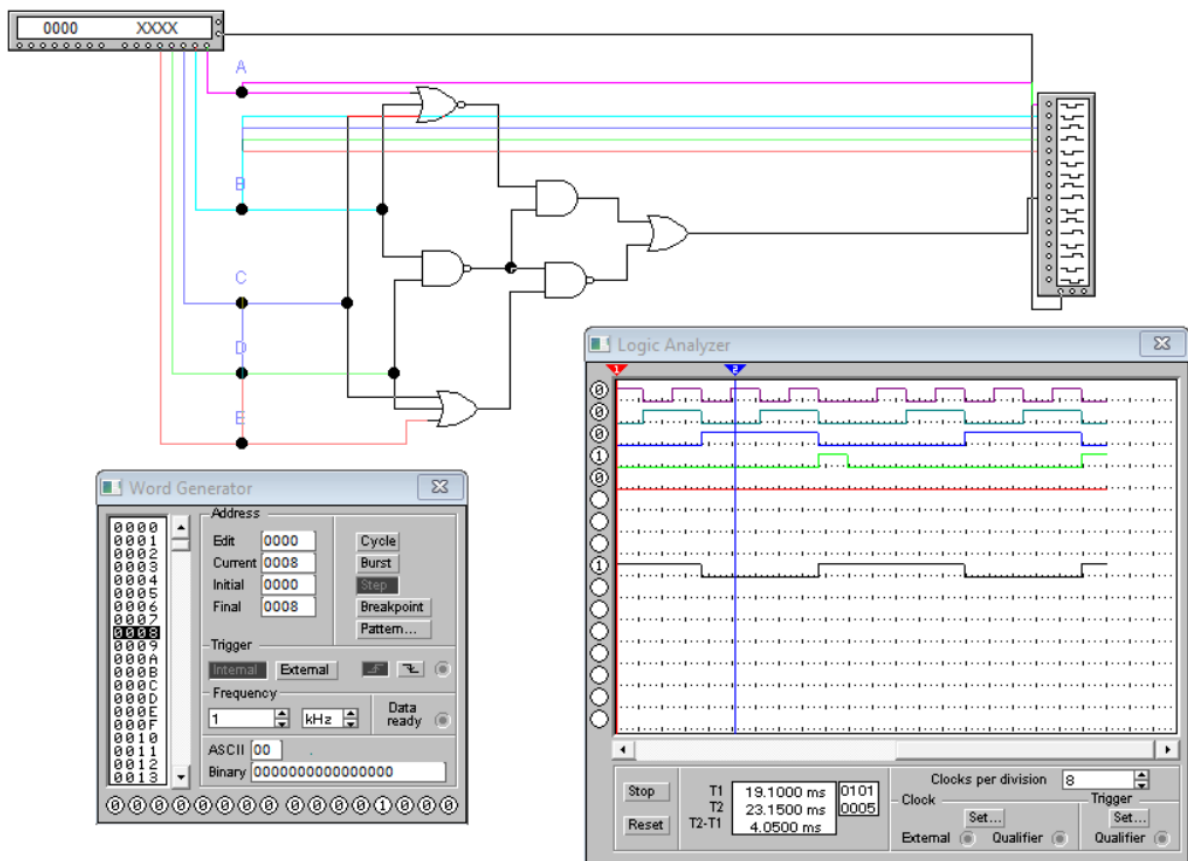
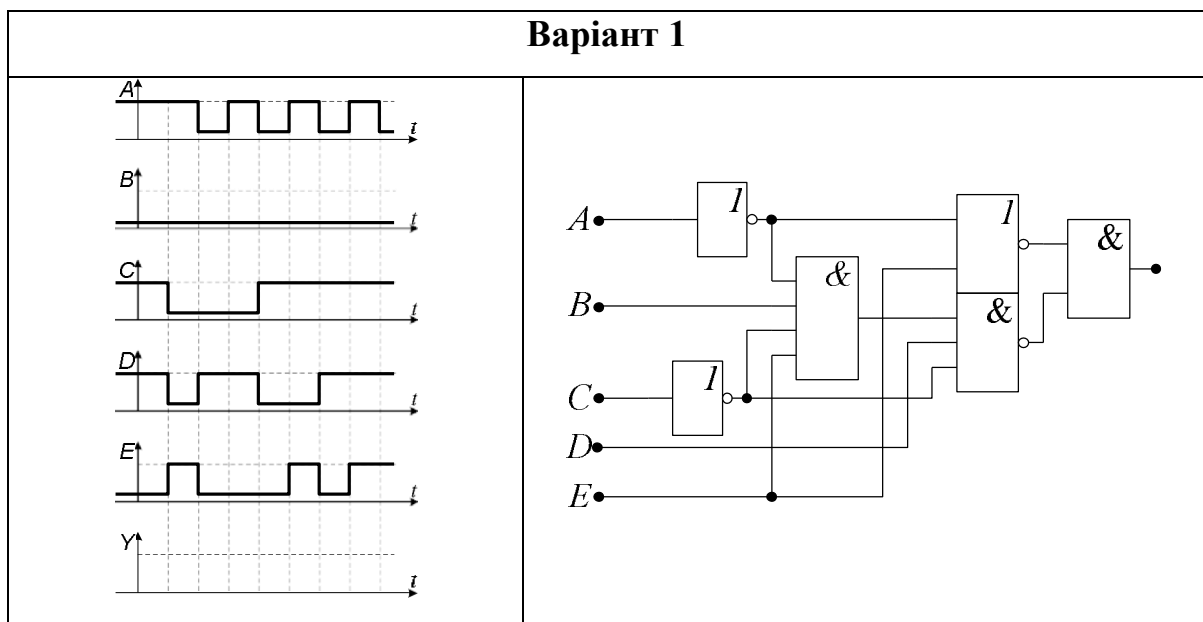
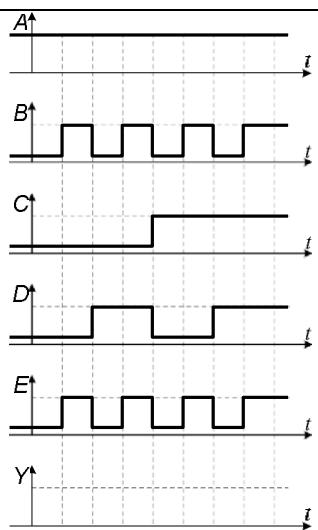
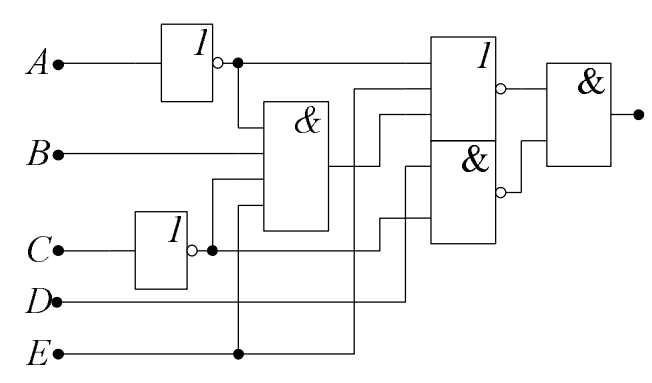
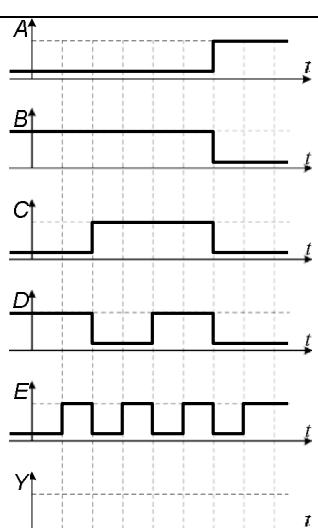
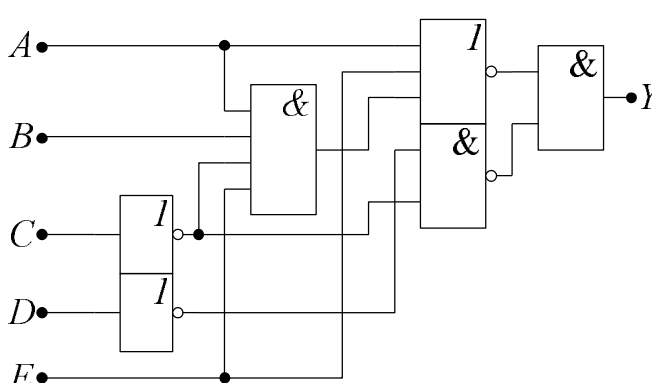
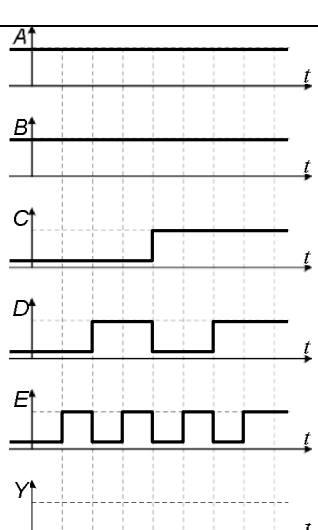
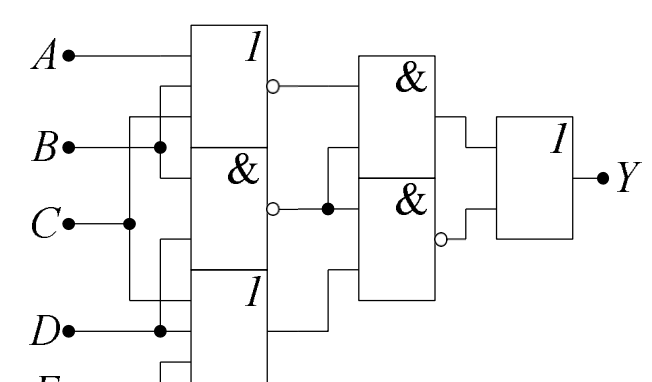


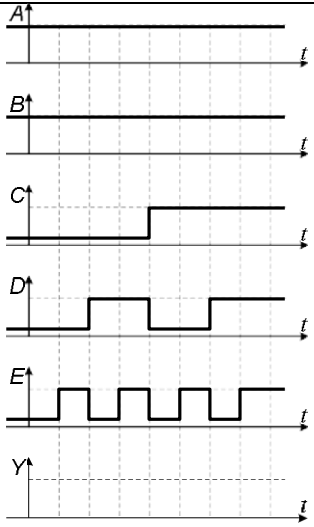
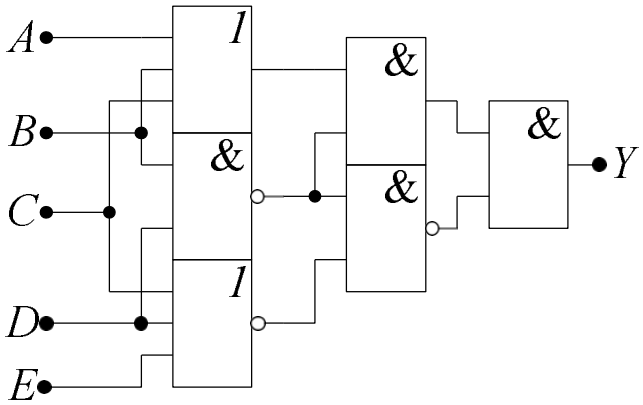
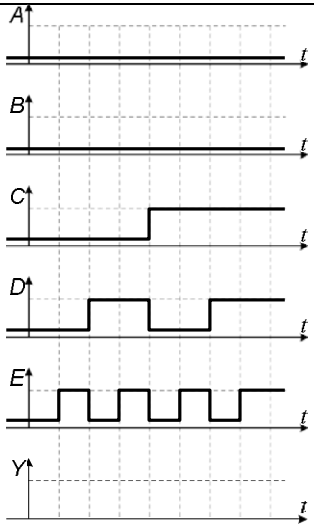
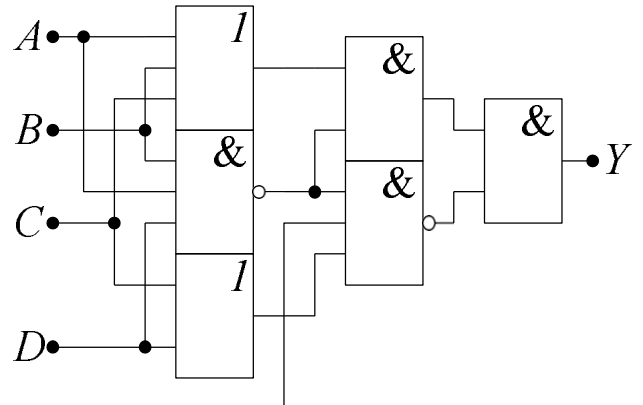
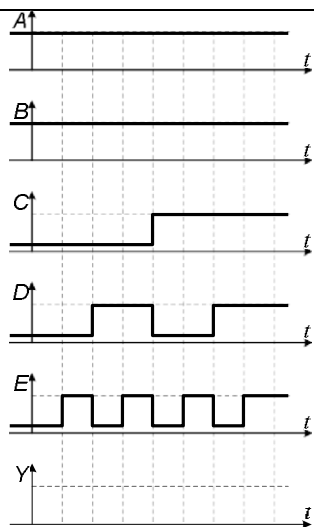
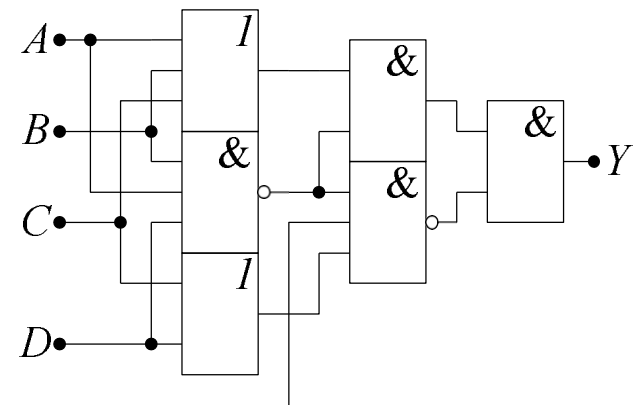
Рис. 10.3. Приклад цифрової схеми

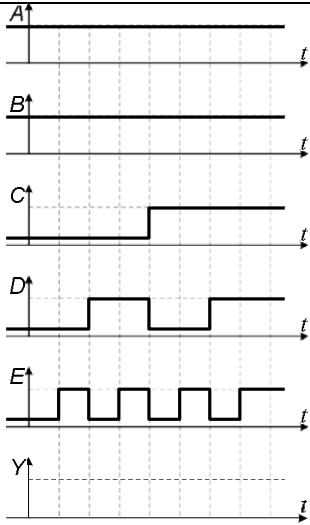
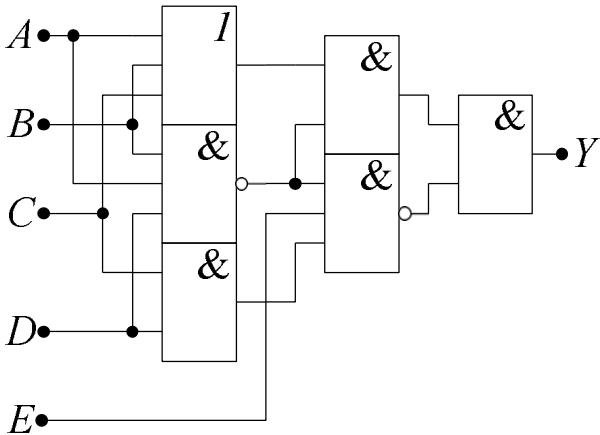
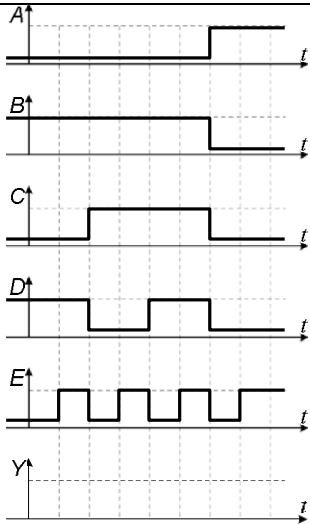
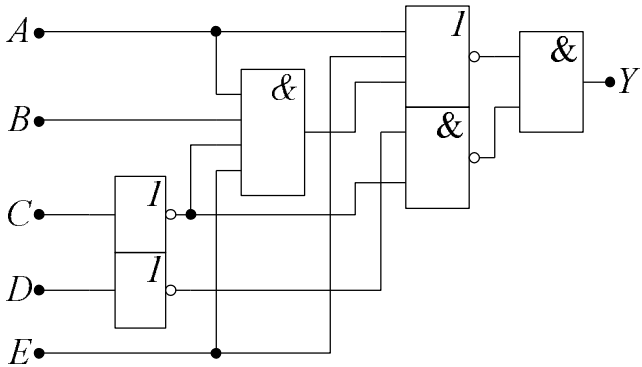
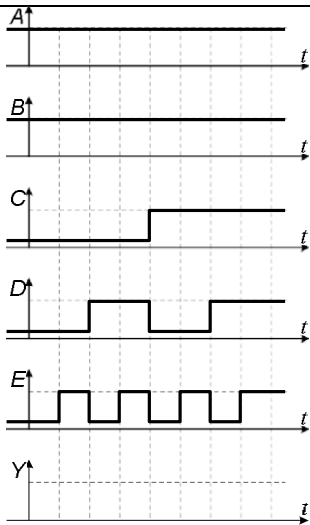
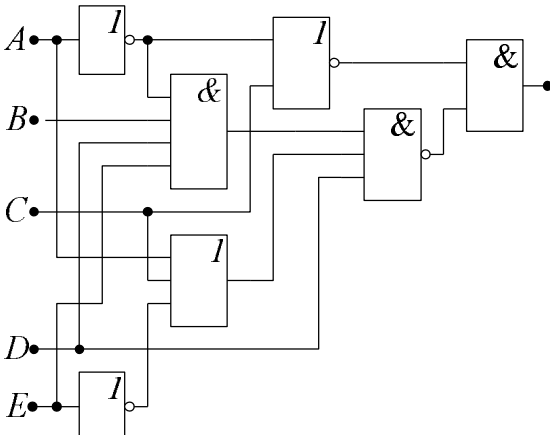
Таблиця 10.1

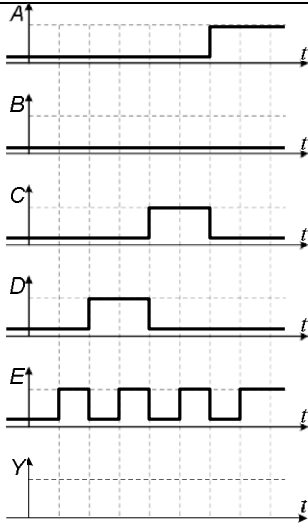
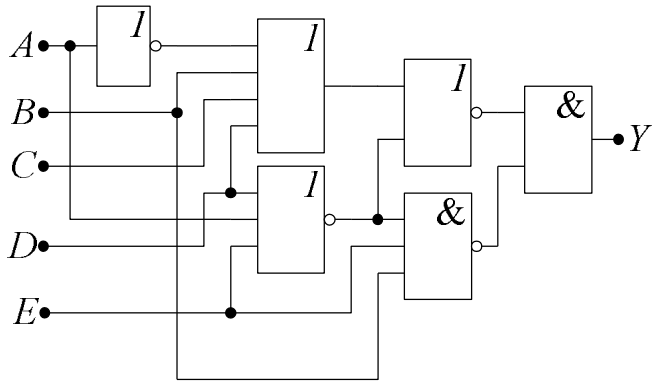
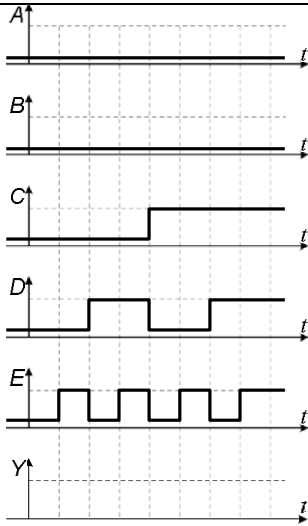
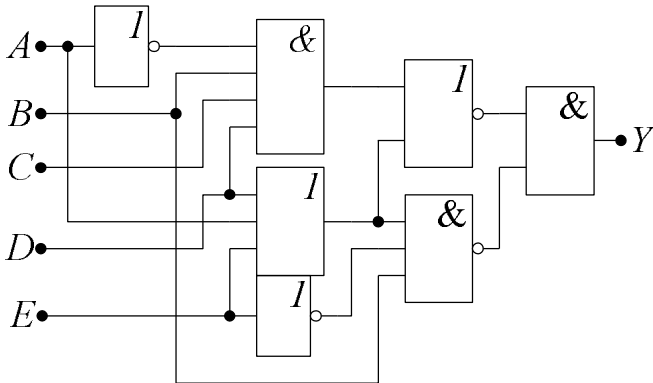
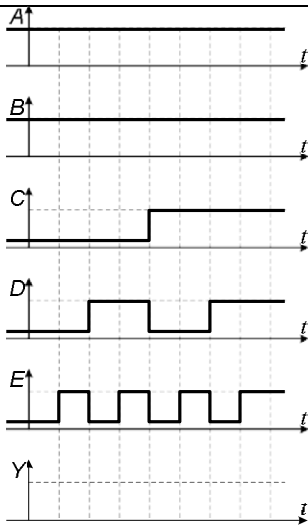
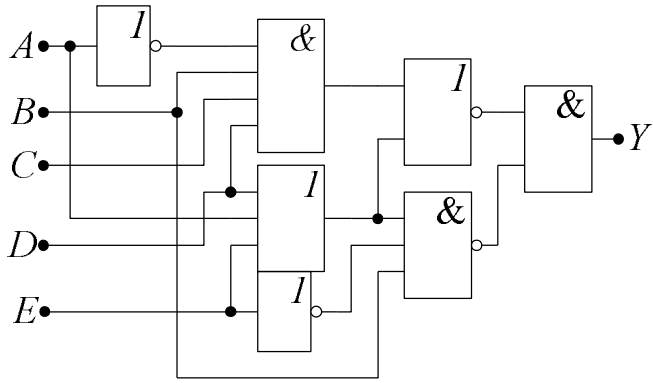
Вихідні дані для індивідуального завдання

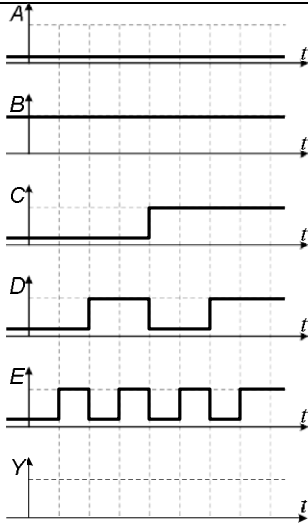
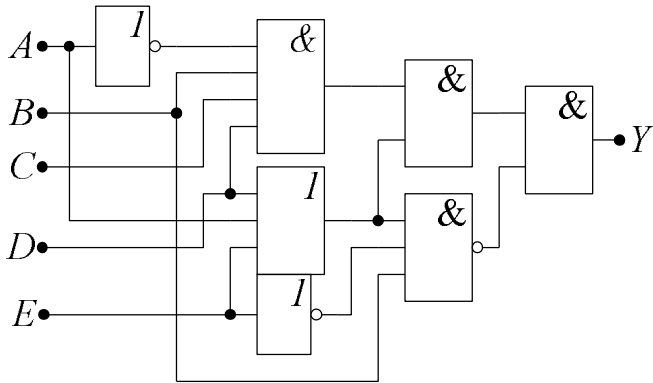
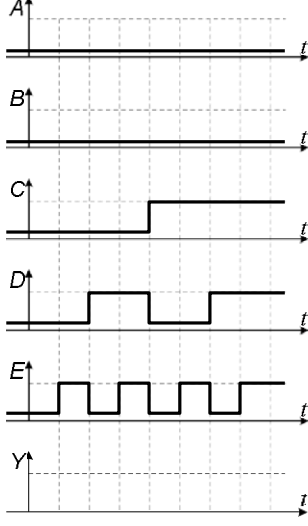
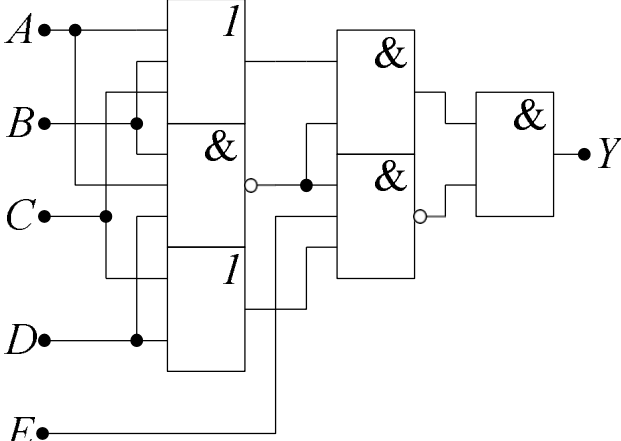


Варіант 2	
	
Варіант 3	
	
Варіант 4	
	

Варіант 5	
	
Варіант 6	
	
Варіант 7	
	

Варіант 8	
	
Варіант 9	
	
Варіант 10	
	

Варіант 11	
 Timing diagram for Variant 11. Signals A, B, C, D, E are shown over time t. A and B are high. C is high for a short duration. D is high for a short duration. E is a periodic square wave. The output Y is shown below the input signals.	 Logic circuit for Variant 11. Inputs A, B, C, D, E are connected to a network of logic gates. The circuit includes three inverters (labeled 'I') and two AND gates (labeled '&'). The output Y is the result of the logic operations.
Варіант 12	
 Timing diagram for Variant 12. Signals A, B, C, D, E are shown over time t. A and B are high. C is high for a short duration. D is high for a short duration. E is a periodic square wave. The output Y is shown below the input signals.	 Logic circuit for Variant 12. Inputs A, B, C, D, E are connected to a network of logic gates. The circuit includes three inverters (labeled 'I') and two AND gates (labeled '&'). The output Y is the result of the logic operations.
Варіант 13	
 Timing diagram for Variant 13. Signals A, B, C, D, E are shown over time t. A and B are high. C is high for a short duration. D is high for a short duration. E is a periodic square wave. The output Y is shown below the input signals.	 Logic circuit for Variant 13. Inputs A, B, C, D, E are connected to a network of logic gates. The circuit includes three inverters (labeled 'I') and two AND gates (labeled '&'). The output Y is the result of the logic operations.

Варіант 14	
	
Варіант 15	
	

Контрольні запитання і завдання

1. Що таке такт? Який сигнал відповідає логічній одиниці, а який – нулю?
2. Перелічити відомі елементарні логічні елементи і їхні позначення.
3. Яке призначення логічного аналізатора?
4. Охарактеризувати роботу *Word Generator*.

5. Які типи сигналів може аналізувати логічний аналізатор? Навести приклади.

6. Що таке логічна таблиця істинності? Як її будують для різних логічних елементів?

7. Який існує порядок виконання логічних операцій під час перетворення логічних функцій?

8. Як перевірити правильність перетворення логічних функцій у булеві за допомогою таблиць істинності?

9. Яка послідовність операцій перетворення логічних функцій у булеві функції?

10. Використовуючи елементи АБО-НІ, реалізувати функцію

$$y = x_1 \cdot (\overline{x_1} + \overline{x_2}) \cdot (x_2 + \overline{x_3} \cdot x_4).$$

11. Використовуючи елементи ВИКЛ. АБО, розробити схему пристрою для вмикання (вимикання) освітлення в приміщенні з трьома входами, біля кожного з яких має бути розміщений вимикач.

Зміст звіту

Звіт із лабораторної роботи має містити тему, мету, комбінаційні схеми, що досліджують, із зазначеними параметрами радіоелементів у відповідності з варіантом; дані, отримані експериментальним шляхом (таблиці, скрини схем і т. п.); висновки з виконаної роботи.

ЛАБОРАТОРНА РОБОТА 11

СИНТЕЗ І ДОСЛІДЖЕННЯ РОБОТИ ТРИГЕРНИХ ПРИСТРОЇВ

Мета роботи

Вивчити питання, що стосуються синтезу та принципу дії тригерів різних типів: асинхронних, синхронних, «Master-Slave», із установчими входами; основних схем ввімкнення тригерів.

11.1. Методичні вказівки з організації самостійної роботи

Класифікація тригерів. Основні параметри тригерів

Тригером називають пристрій, що має два стійкі стани («0» або «1»), він здатний під дією вхідного сигналу стрибком переходити з одного стійкого стану в інший.

Тригер – це найпростіший автомат із пам'яттю і здатністю зберігати 1 біт інформації («0» або «1»).

Тригери мають два виходи: прямий (Q) та інверсний ($\overline{Q}$). Якщо тригер перебуває у стані «1», то на виході Q буде сигнал «1», а на виході $\overline{Q}$ буде сигнал «0». Якщо тригер перебуває у стані «0», його вихід Q дорівнює «0», а вихід $\overline{Q}$ дорівнює «1».

За способом запису інформації тригери поділяють на асинхронні та синхронні.

В асинхронних тригерів запис інформації відбувається під впливом інформаційних сигналів. Такі тригери мають лише інформаційні входи. Умовно-графічне позначення такого тригера подано на рис. 11.1.

Недоліком асинхронних тригерів, який обмежує їх використання у швидкодіючих пристроях, є незахищеність перед небезпечними

змаганнями (гонками) сигналів, сутність яких полягає в тому, що сигнали, які подають на інформаційні входи тригера, проходять по різних колах, через різну кількість логічних елементів. Через це можливі часові зміщення сигналів, величини яких можуть змінюватись у широких межах. Це може призвести до запису в тригери хибної інформації. Синхронізація дає змогу цей недолік ліквідувати. До того ж синхронізація може підвищити завадостійкість тригера, адже значно зменшується інтервал часу доступу до його інформаційного входу (входів).

Синхронний тригер змінює свій стан лише в строго визначені (тактові) моменти часу, відповідні дії активного сигналу на його синхронізуючому вході C . Слід зазначити, що тактовий сигнал є керуючим імпульсом, адже вважають, що до його приходу зміна сигналів на інформаційних входах має бути завершена.

Синхронні тригери бувають зі статичним, динамічним керуванням записом і двоступеневим.

Синхронні тригери зі статичним керуванням записом приймають інформаційні сигнали весь час, поки діє імпульс синхронізації (рис. 11.2). Отже, перемикання тригера під час дії імпульсу синхронізації може бути багаторазовим. У таких тригерів вхід C – статичний. Характерним для статичних тригерів є те, що в активному стані тактового входу (наявність одиничного рівня потенціалу) вони поведуть себе як асинхронні. Ця властивість у багатьох випадках є суттєвим недоліком синхронних тригерів зі статичним тактовим входом, адже може призводити до порушень у роботі за наявності завад. Цей недолік усунений у тригерах із динамічним тактовим входом, а також у тригерах із двоступеневим керуванням.

Синхронні тригери з динамічним керуванням записом приймають ті інформаційні сигнали, які були на інформаційних входах на момент приходу синхроімпульсу. У таких тригерів вхід C – динамічний (рис. 11.3).

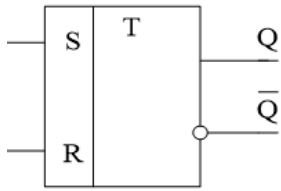


Рис. 11.1.
Асинхронний тригер

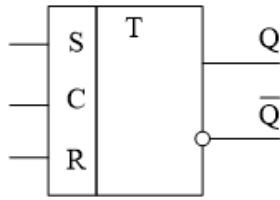


Рис. 11.2. Синхронний
тригер зі статичним
керуванням

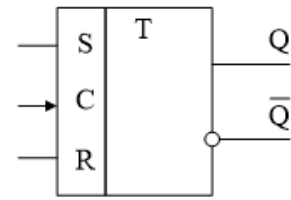


Рис. 11.3. Синхронний
тригер із динамічним
керуванням

Синхронні двоступеневі тригери мають два елементи пам'яті, які з'єднані послідовно (рис. 11.4). Запис інформації в них відбувається послідовно, у неспівпадаючі моменти часу. Таку послідовність тригерів називають *MS*-структурою (Master-Slave) або просто *MS*-тригерами. На умовних позначеннях *MS*-тригери позначають двома літерами *TT*.

Функціональні властивості схеми задано першим тригером, а другий переважно – звичайний синхронний *RS*-тригер. Двоступеневий тригер може бути керованим не тільки двома, а і одним синхроімпульсом.

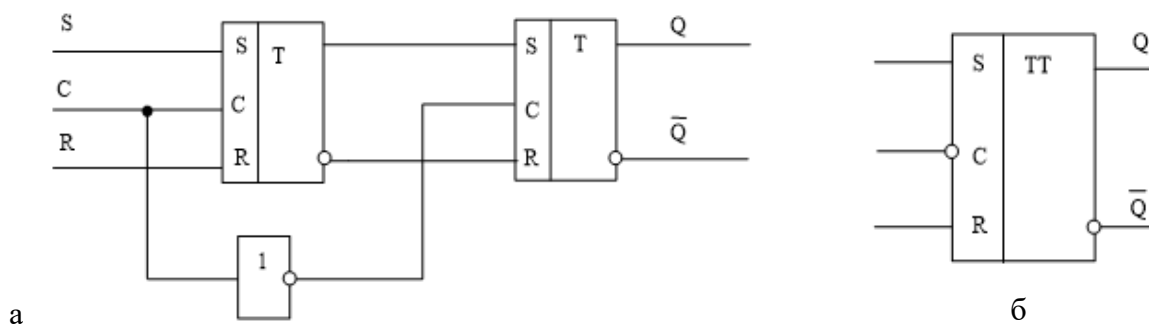


Рис. 11.4. Синхронний двоступеневий тригер:

а – структура двоступеневого тригера; б – умовно-графічне позначення двоступеневого тригера

Прийнято такі позначення входів тригерів:

- *S* – роздільний вхід установлення тригера в одиничний стан прямого виходу *Q* ;

- R – роздільний вхід скидання тригера в нульовий стан прямого виходу Q ;
- J – вхід установлення універсального тригера в одиничний стан прямого виходу Q ;
- K – вхід скидання універсального тригера в нульовий стан прямого виходу Q ;
- C – вхід синхронізації. Умовні позначення потенціальних і динамічних входів синхронізації наведено на рис. 11.5;

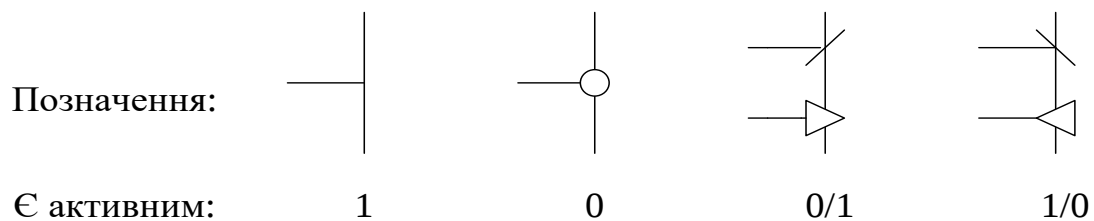


Рис. 11.5. Умовні позначення входу синхронізації

- D – інформаційний вхід перемикання тригера в стан, відповідний логічному рівню на цьому вході (рис. 11.6, а);
- T – лічильний (рахунковий) вхід (рис. 11.6, б).



Рис. 11.6. Умовні позначення D -тригера (а) і T -тригера (б)

Окрім цих основних входів, деякі тригери можуть бути забезпечені входом V . Вхід V блокує роботу тригера, і він скільки завгодно довго може зберігати раніше записану в нього інформацію.

Параметри тригера

Для всіх тригерів характерні такі параметри:

$K_{роз}$ – коефіцієнт розгалуження, що показує здатність навантаження тригера, тобто позначає кількість елементів, які паралельно приєднані до виходу тригера і на які подано вихідний сигнал тригера.

$K_{об}$ – коефіцієнт об'єднання по входу, який позначає максимальну кількість вхідних сигналів, які можна подати на вхід тригера.

t_i – найменша тривалість вхідного сигналу (імпульсу), у якому відбувається надійне перемикання тригера.

$t_{зм}$ – час затримки між моментом подавання вхідного сигналу та появою вихідного сигналу.

t_0 – час дозволу, який характеризує найменший інтервал між моментами подавання двох вхідних сигналів із тривалістю t_i , що викликає перемикання тригера.

Асинхронні тригери. Асинхронний RS-тригер

Основу тригерів складають найпростіші запам'ятовувальні комірки, які отримують з'єднанням двох потенціальних елементів І-НЕ (АБО-НЕ). Вони є найпростішими асинхронними RS-тригерами. На рис. 11.7 для кожного тригера наведена функціональна схема, умовне позначення, таблиця функціонування і характеристичне рівняння.

Активне значення на S -вході тригера діє в такий спосіб, щоб установити тригер (прямий вихід Q) в одиничний стан. Активне значення на R -вході встановлює тригер (прямий вихід Q) у нульовий стан. За пасивних значень сигналів на R - і S -входах тригер зберігає попередній стан за рахунок зворотних зв'язків. Коли ж на обох входах присутнє активне значення сигналу (що відповідає одночасному установленню тригера в 1 і

0), таку комбінацію називають забороненою, яка призводить до невизначеного стану тригера (у таблицях вона позначена зірочкою).

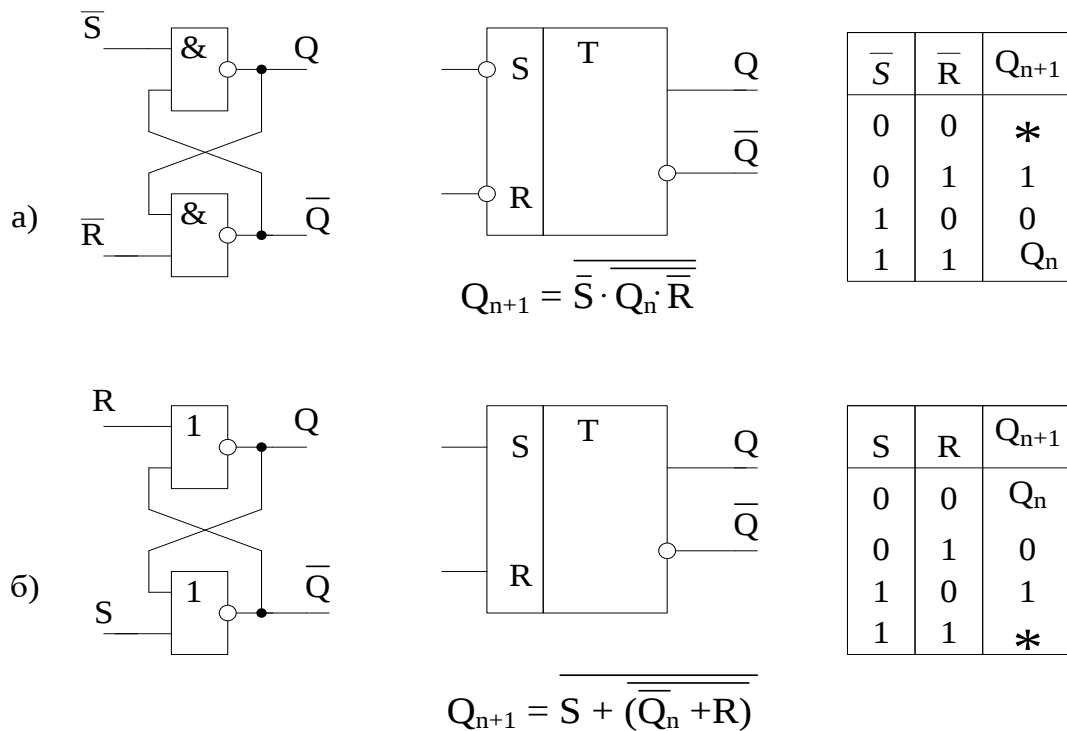


Рис. 11.7. Асинхронний RS-тригер:

а – на елементах І-НЕ; б – елементах АБО-НЕ

Для тригера на елементах І-НЕ активними є нульові значення вхідних сигналів. У цьому випадку на схемі R і S зображені з інверсією, а у функціональному позначенні на входах зображують кружечки. Такі входи називають інверсними.

Для тригера на елементах АБО-НЕ активними є одиничні значення вхідних сигналів. Такі входи називають прямими, вхідні змінні для них записують без інверсії і кружечки в позначенні не ставлять.

Асинхронний JK-тригер

Умовно-графічне позначення асинхронного JK-тригера, його схема та діаграма роботи наведені на рис. 11.8.

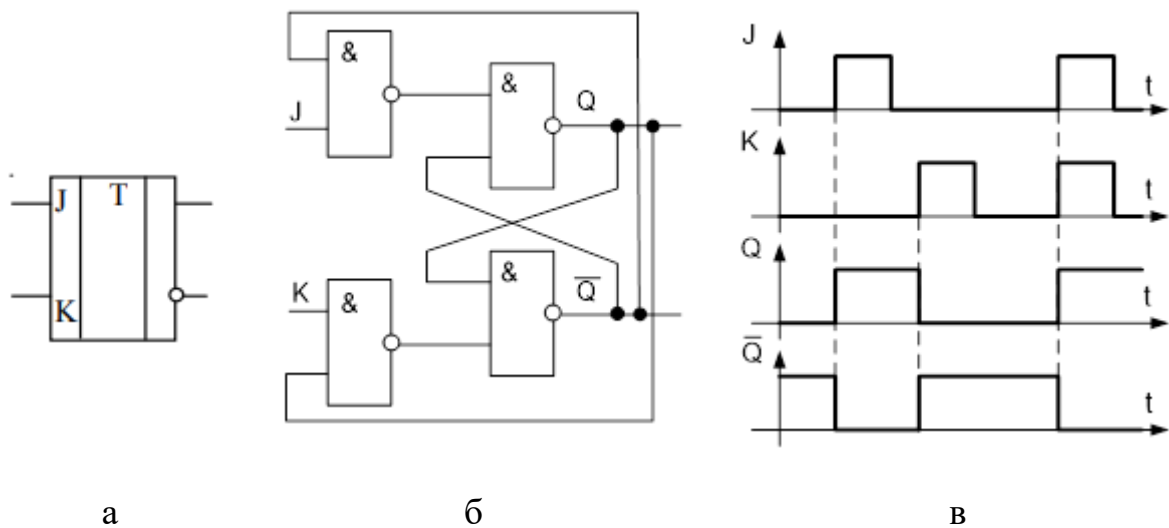


Рис. 11.8. Умовно-графічне позначення JK -тригера (а),
схема (б), діаграма роботи (в)

Цей тригер подібно до асинхронного RS -тригера має два інформаційні входи J , K і перемикається згідно з таблицею істинності RS -тригера з прямими входами. У схемі тригера $J \equiv S$, а $K \equiv R$, але на відміну від RS -тригера не має невизначеного стану. Роботу асинхронного JK -тригера можна описати таблицею істинності, яка наведена в табл. 11.1.

Виключення невизначеного стану в JK -тригері забезпечує його перемикання з комбінацією сигналів $J = K = 1$ у стан, інверсний тому, який він мав до надходження цієї комбінації сигналів через інтервали часу, що дорівнюють тривалості затримки перемикання тригера, інакше кажучи, тригер працює в рахунковому режимі. На виході JK -тригера має місце паразитна генерація, частота якої дорівнює $f = 1/(8t_{\text{зп}})$. Отже, завдяки паразитній генерації асинхронні JK -тригери можна використовувати лише для керування імпульсами, тривалість яких задовольняє певну умову. У цьому випадку для запобігання паразитної генерації після перемикання тригера сигналами $J = K = 1$ у стан, інверсний попередньому, його треба перевести у стан зберігання інформації сигналами $J = 0$, $K = 0$. Це накладає обмеження на тривалість імпульсних сигналів високого рівня напруги на інформаційних входах JK -тригера.

Жорсткі часові співвідношення, накладені на тривалість керуючих імпульсних сигналів в асинхронних *JK*-тригерах, ускладнюють схеми на їх основі. Тому асинхронні *JK*-тригери в інтегральному виконанні не випускають. До складу серій інтегральних мікросхем входять лише синхронні *JK*-тригери, для яких знайдені схемотехнічні реалізації, що дають змогу подолати паразитну генерацію.

Таблиця 11.1

Таблиця істинності асинхронного *JK*-тригера

J	K	Q^t	Q^{t+1}	Примітка
0	0	0	0	Зберігання «0» (сигнали на входах неактивні)
0	1	0	0	Встановлення у стан «0» (тригер перебував у стані «0», встановлений у стан «0» активним входом $K = 1$)
1	0	0	1	Встановлення у стан «1» (тригер перебував у стані «0», встановлений у стан «1» активним входом $J = 1$)
1	1	0	1	Рахунковий режим, тригер переходить зі стану «0» у стан «1»
0	0	1	1	Зберігання «1» (сигнали на входах неактивні)
0	1	1	0	Встановлення у стан «0» (тригер перебував у стані «1», встановлений у стан «0» активним входом $K = 1$)
1	0	1	1	Встановлення у стан «1» (тригер перебував у стані «1», встановлений у стан «1» активним входом $J = 1$)
1	1	1	0	Рахунковий режим, тригер переходить зі стану «1» до «0»

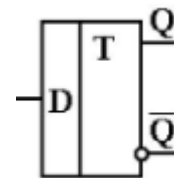
Асинхронний D -тригер

Асинхронний D -тригер має один інформаційний вхід D і повторює з перемиканням на виході Q логічний сигнал, що діє на вході D . Таблиця істинності асинхронного D -тригера наведена на рис. 11.9, а, а його умовне позначення – на рис. 11.9, б.

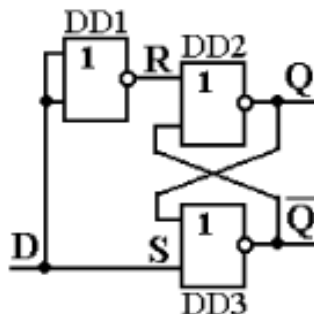
Відсутність невизначеного стану в D -тригері є його позитивною якістю порівняно з RS -тригером, оскільки з використанням D -тригерів у цифрових схемах виключено порушення логіки їхньої роботи завдяки виникненню невизначеного стану.

D_n	Q_{n+1}
0	0
1	1

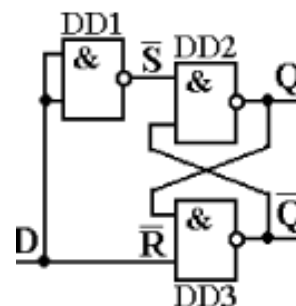
а



б



в



г

Рис. 11.9. Таблиця істинності (а) асинхронний D -тригера, умовно-графічне позначення (б), схеми в базисах АБО-НЕ та І-НЕ відповідно (в, г)

Використання у схемах пристрою керування асинхронного D -тригера (рис. 11.9, в, г) інверторів $DD1$ виключає одночасне надходження на входи RS -тригерів $DD2$, $DD3$ не тільки активних, але й

пасивних сигналів, за яких забезпечено стан зберігання інформації RS -тригера. Тому асинхронний D -тригер, як випливає з його таблиці істинності (рис. 11.9, а), не має стану зберігання інформації. Це не дає змогу використовувати асинхронний D -тригер як елемент пам'яті для побудови запам'ятовуючих пристроїв.

Асинхронний T -тригер

T -тригер має один інформаційний вхід, за наявності на якому керуючого сигналу (логічної «1» для T -тригера зі статичним керуванням) перемикається у стан, інверсний попередньому, а за відсутності такого сигналу (наявності логічного «0») зберігає попередній стан. Умовно-графічне позначення асинхронного T -тригера, його схема та діаграма роботи подані на рис. 11.10.

Роботу асинхронного T -тригера можна описати таблицею істинності, яка наведена в табл. 11.2.

З таблиці істинності випливає, що T -тригер – єдиний із вище розглянутих тригерів, поточний стан якого визначено не інформацією на вході, а його станом на попередньому такті.

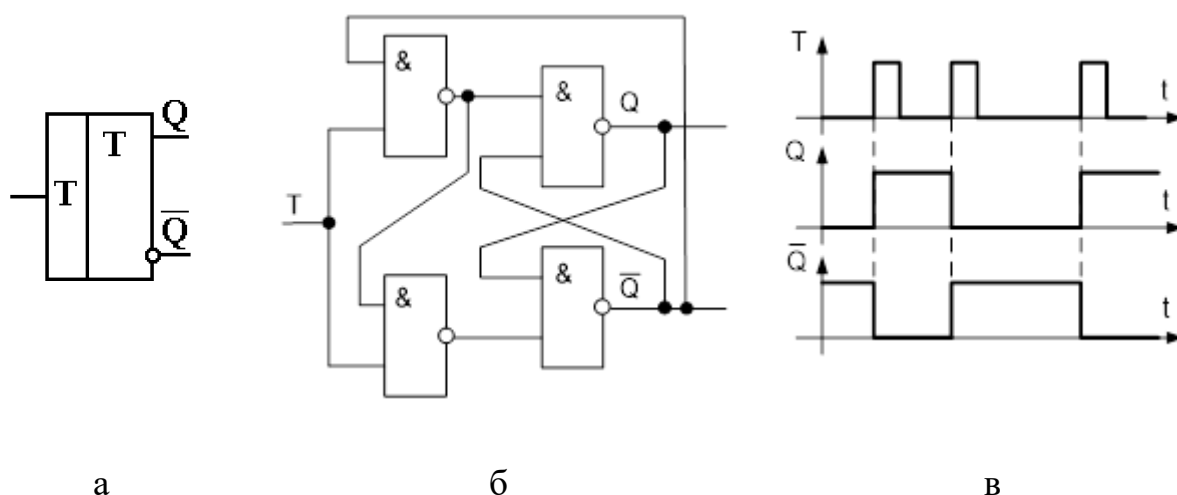


Рис. 11.10. Умовно-графічне позначення T -тригера (а), схема (б), діаграма роботи (в)

Таблиця істинності асинхронного T -тригера

T^t	Q^t	Q^{t+1}
0	0	0
1	0	1
0	1	1
1	1	0

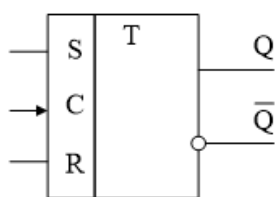
Синхронні тригери. Синхронний RS -тригер

Синхронний RS -тригер, окрім інформаційних входів R і S , має вхід синхронізації C . Умовно-графічне позначення синхронного RS -тригера, його схема, таблиця істинності та діаграма роботи подані на рис. 11.11. Як видно з таблиці істинності, за відсутності на вході синхронізації керуючого сигналу ($C = 0$), незалежно від стану входів R і S , тригер знаходиться у стані зберігання інформації. За наявності на вході синхронізації керуючого сигналу ($C = 1$) тригер перемикається згідно з таблицею істинності асинхронного RS -тригера.

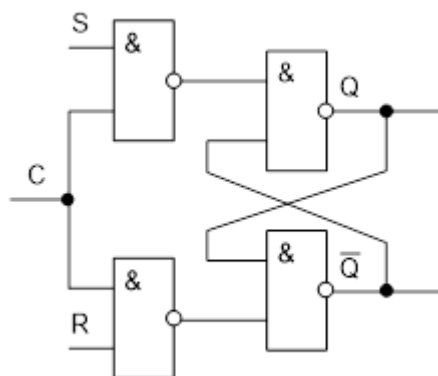
RS -тригер є переважно лише елементом пам'яті для різних типів тригерних систем. Головна ж роль у формуванні властивостей системи належить схемі керування, яка перетворює вхідні сигнали $x_0 \dots x_n$, $C_0 \dots C_n$ у сигнали керування елементом пам'яті.

Синхронний JK -тригер

Окрім входів J і K , такий тригер має вхід синхронізації C , за наявності на якому керуючого сигналу перемикається як асинхронний JK -тригер, а за його відсутності знаходиться у стані зберігання інформації. Умовно-графічне позначення синхронного JK -тригера з прямим статичним керуванням, його схема та таблиця істинності подані на рис. 11.12.



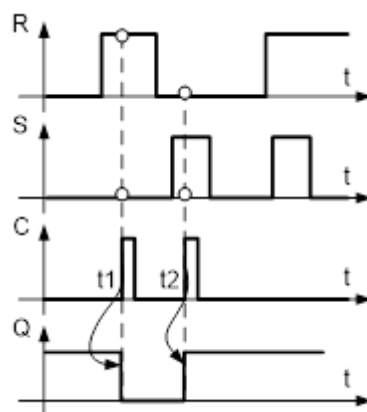
а



б

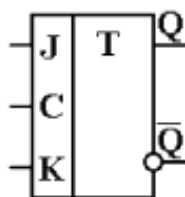
C_n	S_n	R_n	Q_{n+1}
0	$\times$	$\times$	Q_n
1	0	0	Q_n
1	0	1	0
1	1	0	1
1	1	1	-

в

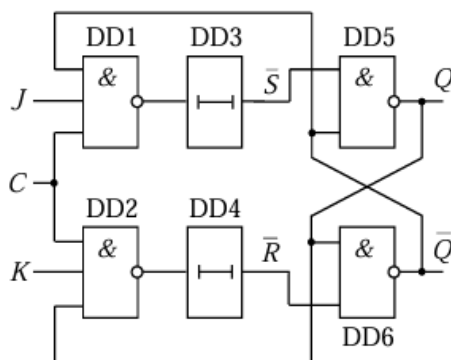


г

Рис. 11.11. Умовно-графічне позначення синхронного RS -тригера (а),
схема (б), таблиця істинності (в), діаграма роботи (г)



а



б

C_n	J_n	K_n	Q_{n+1}
0	$\times$	$\times$	Q_n
1	0	0	Q_n
1	0	1	0
1	1	0	1
1	1	1	$\bar{Q}_n$

в

Рис. 11.12. Умовно-графічне позначення синхронного JK -тригера (а),
схема (б), таблиця істинності (в)

У комп'ютерній електроніці *JK*-тригери зі статичним керуванням не використовують через їхню підвищену чутливість до завад і паразитну генерацію, що виникає за наявності на входах сигналів $C = 1$, $J = 1$, $K = 1$. Використовують синхронні *JK*-тригери з динамічним керуванням, які створюють за двоступеневою схемою або з внутрішніми затримками, що дають змогу подолати паразитну генерацію.

Синхронний *D*-тригер

Синхронний *D*-тригер, окрім інформаційного входу *D*, має вхід синхронізації *C*, сигнали на якому або дозволяють запис інформації в тригер, або переводять його в режим зберігання інформації.

Умовно-графічне позначення *D*-тригера, його схема та діаграма роботи подані на рис. 11.13.

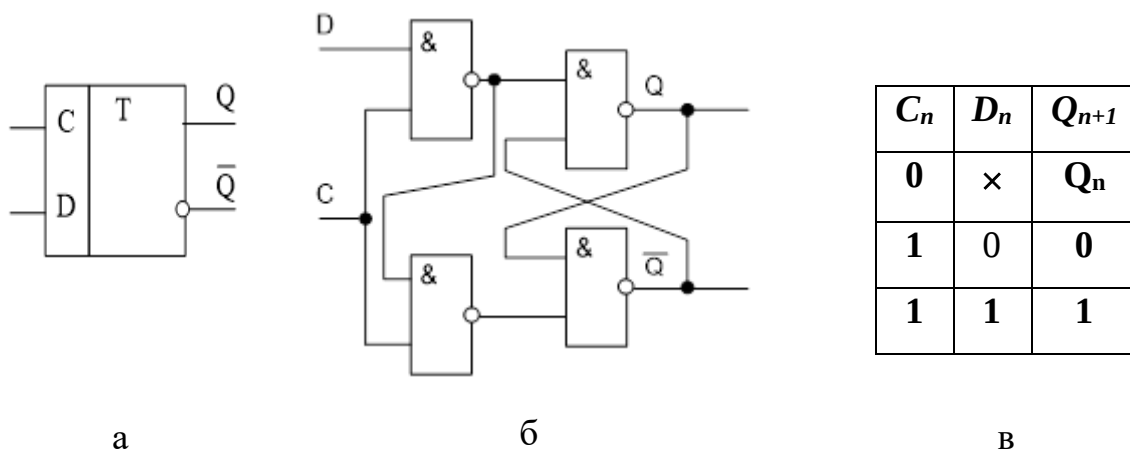


Рис. 11.13. Умовно-графічне позначення *D*-тригера (а), схема (б), таблиця істинності (в)

D-тригер (тригер затримки) є найпоширенішим тригером. Він має один інформаційний вхід *D* (вхід даних) та один тактовий вхід *C*.

Недоліком синхронних тригерів зі статичним керуванням порівняно з тригерами, які мають динамічне керування, є більша чутливість до завад. Тому до складу серій цифрових мікросхем звичайно входять синхронні *D*-тригери з динамічним керуванням.

D-тригер з установчими входами

Окрім синхронних тригерів із потенціальними тактовими входами, існують тригери з динамічними тактовими входами, які реагують на зміну (фронт) сигналу на тактовому вході. Одним із прикладів такого тригера є тригер, побудований за схемою трьох тригерів, показаний на рис. 11.14. Це синхронний *D*-тригер із додатковими установчими *RS*-входами, які є потенціальними та інверсними. Як видно зі схеми, коли *RS*-входи активні, стан тригера за сигналом на *D*-вході змінитися не може. За сигналом на *D*-вході тригер змінює свій стан у момент зміни сигналу на *C*-вході з 0 на 1. У цьому випадку кажуть, що тригер реагує на передній фронт сигналу. Коли на тактовому *C*-вході присутній потенціал (1 або 0), зі зміною сигналу на *D*-вході стан тригера змінитися не може (якщо *RS*-входи пасивні).

Умовно-графічне позначення *D*-тригера з установчими входами, його схема та діаграма роботи подані на рис. 11.14.

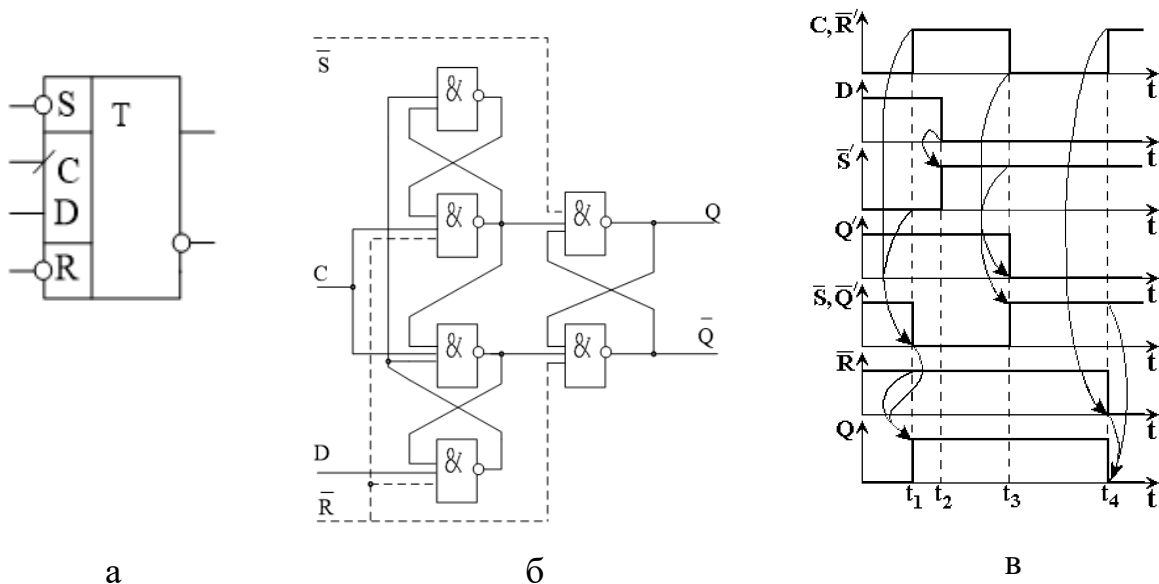


Рис. 11.14. Умовно-графічне позначення *D*-тригера з установчими входами $\bar{R}\bar{S}$ (а), схема (б), діаграма роботи (в)

11.2. Порядок виконання роботи

Під час виконання лабораторної роботи провести такі експерименти в програмі Electronic Workbench.

1. Дослідження *RS*-тригера з прямими входами (на елементах АБО-НЕ). Зібрати схему, зображену на рис. 11.15. Для подавання на вхід логічної одиниці перевести ключ на живлення, для подавання на вхід логічного нуля перевести ключ на «землю».

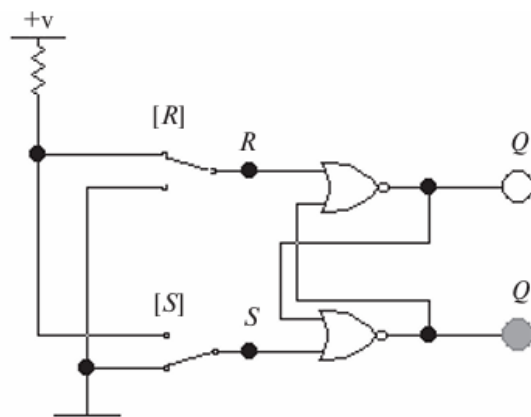


Рис. 11.15. *RS*-тригер із прямими входами

Послідовно подавати на схему такі сигнали:

$$S = 0, R = 1;$$

$$S = 0, R = 0;$$

$$S = 1, R = 0;$$

$$S = 0, R = 0.$$

Переконайтеся в тому, що, якщо $S = 0, R = 1$, тригер установлений у стан $Q = 0$; з переходом до $S = 0, R = 0$ тригер зберігає попередній стан виходу $Q = 0$; якщо $S = 1, R = 0$, тригер установлений у стан $Q = 1$; з переходом до $S = 0, R = 0$ тригер зберігає попередній стан виходу $Q = 1$.

За результатами експерименту заповнити таблицю істинності і навести часові діаграми роботи тригера для всіх можливих комбінацій.

2. Дослідження $\overline{R}\overline{S}$ -тригера з інверсними входами (на елементах І-НЕ). Зібрати схему, зображену на рис. 11.16.

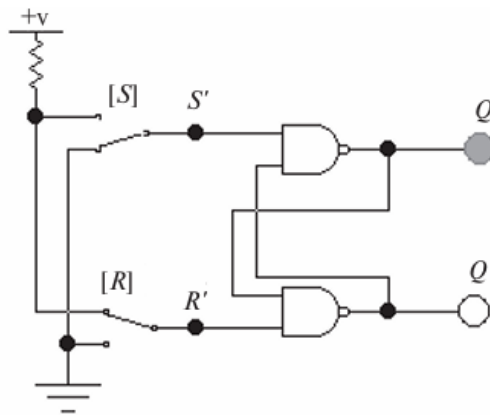


Рис. 11.16. $\overline{R}\overline{S}$ -тригер з інверсними входами

Послідовно подавати на схему такі сигнали:

$$S' = 1, R' = 0;$$

$$S' = 1, R' = 1;$$

$$S' = 0, R' = 1;$$

$$S' = 1, R' = 1.$$

Переконайтеся в тому, що, якщо $S' = 0, R' = 1$, тригер установлений у стан, за яким вихід $Q = 1$; з переходом до $S' = R' = 1$ тригер зберігає попереднє значення виходу $Q = 1$; якщо $S' = 1, R' = 0$, тригер установлений у стан, за яким $Q = 0$; з переходом до $S' = 1, R' = 1$ попереднє значення виходу $Q = 0$ зберігається.

За результатами експерименту заповнити таблицю істинності і навести часові діаграми роботи тригера для всіх можливих комбінацій.

3. Дослідження JK-тригера.

3.1. Зібрати схему, яка наведена на рис. 11.17. Увімкнути схему. Переконайтеся в тому, що, якщо $R' = 1, S' = 0$, тригер установлений в 1 ($Q = 1, Q' = 0$), незалежно від стану інших входів. Якщо $R' = 0, S' = 1$,

тригер установлений в 0 ($Q = 0, Q' = 1$) незалежно від стану інших входів. Зробити висновок, які входи в цього тригера пріоритетні.

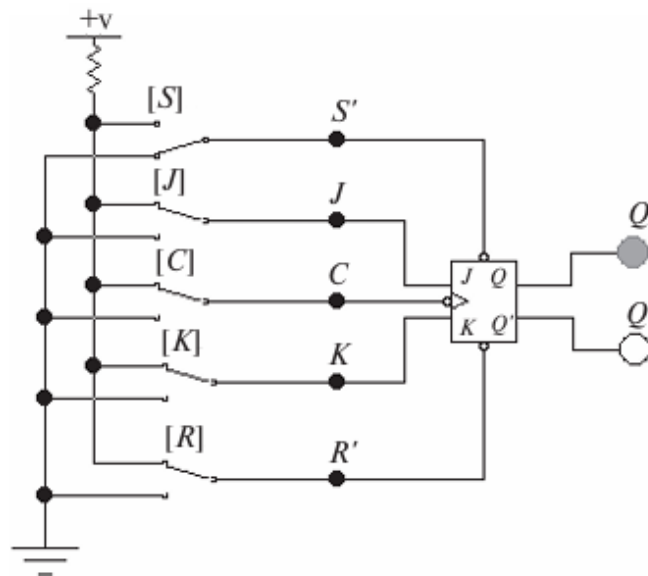


Рис. 11.17. JK -тригер

Установити $S' = R' = 1$. За результатами експерименту заповнити наведену нижче таблицю істинності тригера (табл. 11.3) для всіх можливих комбінацій Q_n, J, K у разі подавання на вхід C негативних перепадів (переходів ключа C від 1 до 0). Для встановлення початкового стану тригера $Q_n = 1$ використовувати короткочасне подавання сигналу $S' = 0$, а сигналу $R' = 0$ для отримання $Q_n = 0$.

Таблица 11.3

Таблица істинності тригера

Q_n	J	K	C	Q_{n+1}
0	0	0	⌋	
0	0	1	⌋	
0	1	0	⌋	
0	1	1	⌋	
1	0	0	⌋	
1	0	1	⌋	
1	1	0	⌋	
1	1	1	⌋	

3.2. Зібрати схему за рис. 11.18 і дослідити *JK*-тригер за допомогою генератора слів із каталогу *Instruments*. Для цього підключити його до входів тригера, а до виходів – світлодіодні індикатори. Тактовий вхід тригера з'єднати з виходом синхронізації генератора.

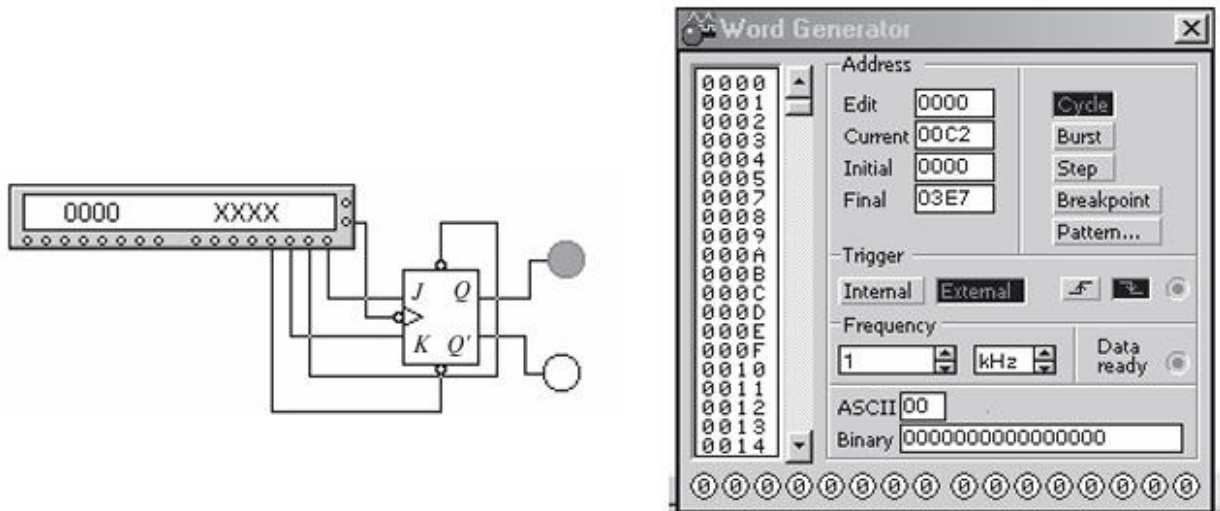


Рис. 11.18. Схема для дослідження *JK*-тригера

Для зняття таблиці істинності за допомогою генератора слів буфер його екрана заповнений кодовими комбінаціями, починаючи з 0 і далі зі збільшенням на 1 у кожній наступній комірці. Використано покроковий режим генератора. Скласти таблицю істинності для *JK*-тригера і порівняти її з даними, отриманими в п. 3.1.

Для попереднього встановлення генератора слів необхідно натиснути кнопку **Pattern** (набір установок, зразків). З'явиться меню (рис. 11.19), у якому зазначено: **Clear buffer** – стерти вміст усіх клітинок (вміст буфера екрана); **Open** – завантажити кодові комбінації (з файлу з розширенням .dp, якщо він попередньо створений); **Save** – записати всі набрані на екрані комбінації до файлу; **Up counter** – заповнити буфер екрана кодовими комбінаціями, починаючи з 0 у нульовій комірці і далі з додаванням одиниці в кожній наступній комірці; **Down counter** – заповнити буфер

екрана кодовими комбінаціями, починаючи з *FFFF* у нульовій комірці і далі зі зменшенням на 1 у кожній наступній комірці; **Shift right** – заповнити кожні чотири комірки комбінаціями 1-2-4-8 зі зміщенням їх у наступних чотирьох комірках праворуч; **Shift left** – те саме, але зі зміщенням ліворуч.

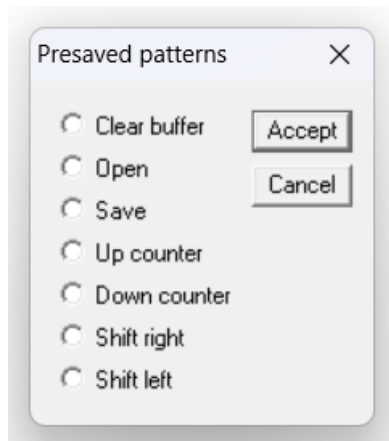


Рис. 11.19. Меню кнопки **Pattern**

3.3. Зібрати схему *JK*-тригера для отримання діаграми станів (рис. 11.20). Результати дослідження занести до звіту з лабораторної роботи.

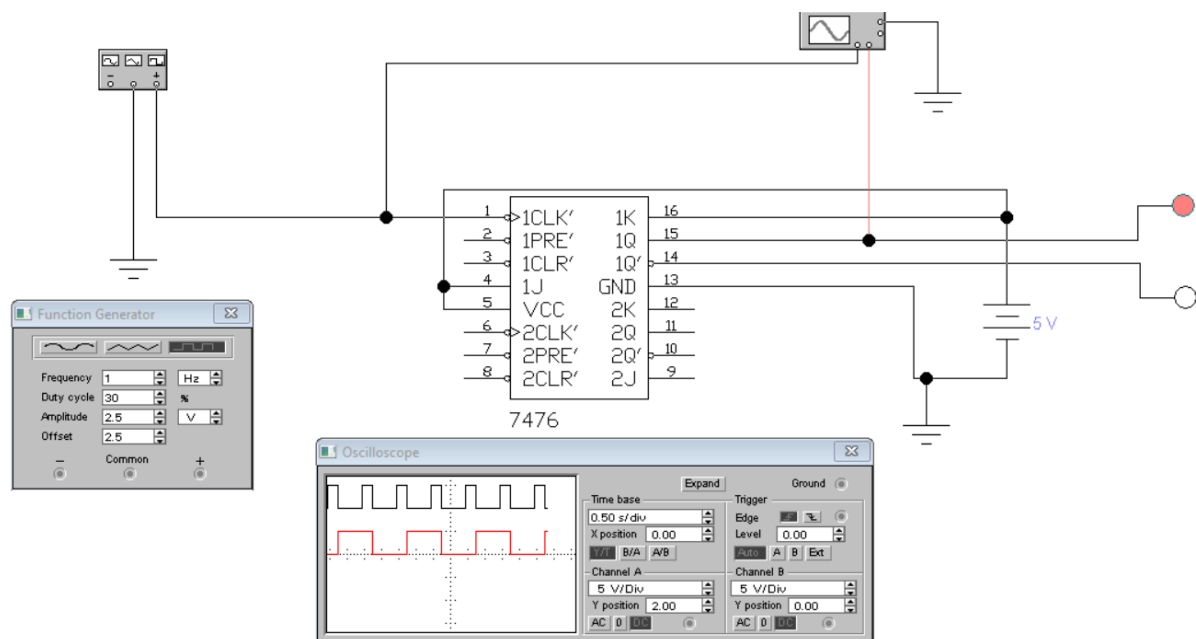


Рис. 11.20. Дослідження синхронного *JK*-тригера – динаміка

3.4. Зібрати схему двоступеневого JK -тригера за рис. 11.21. Скласти таблицю істинності та навести діаграми роботи тригера.

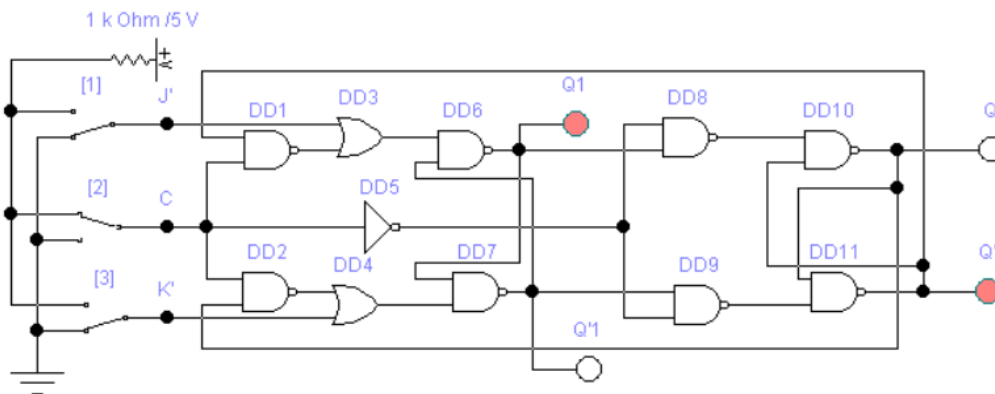


Рис. 11.21. Схема двоступеневого JK -тригера

4. Дослідження T -тригера (на основі JK -тригера в лічильному режимі). Зібрати схему за рис. 11.22. У схемі використано інвертор, який вибирають із каталогу **Logic Gates** натисканням кнопки **Schmitt-Triggered Inverter**.

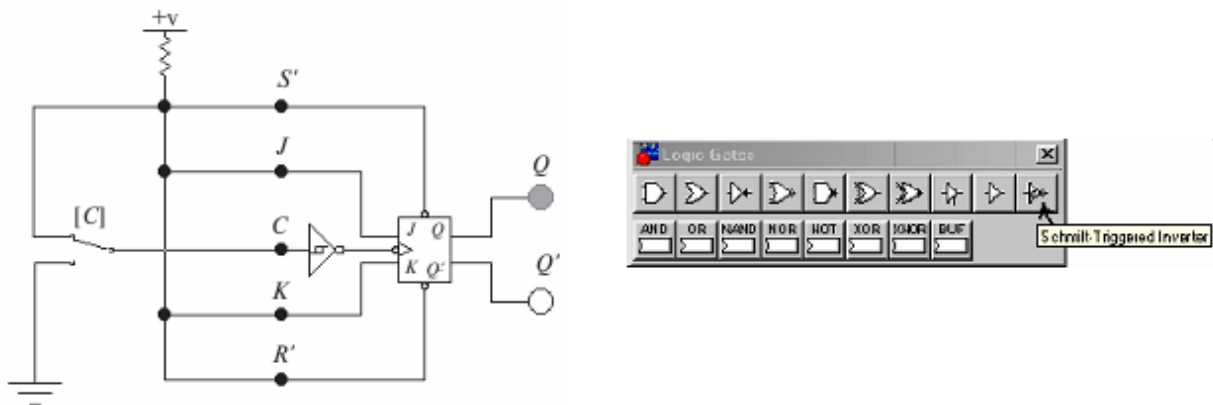


Рис. 11.22. JK -тригер у лічильному режимі (T -тригер)

4.1. Увімкнути схему. Змінюючи відповідним ключем стан входу C , заповнити таблицю істинності T -тригера.

4.2. Навести діаграми роботи тригера в лічильному режимі ($C(t)$, $Q(t)$).

5. Дослідження *D*-тригера. Зібрати схему за рис. 11.23. *D*-тригер можна знайти в каталозі **Digital**, натиснувши на кнопку *D Flip-Flop*.

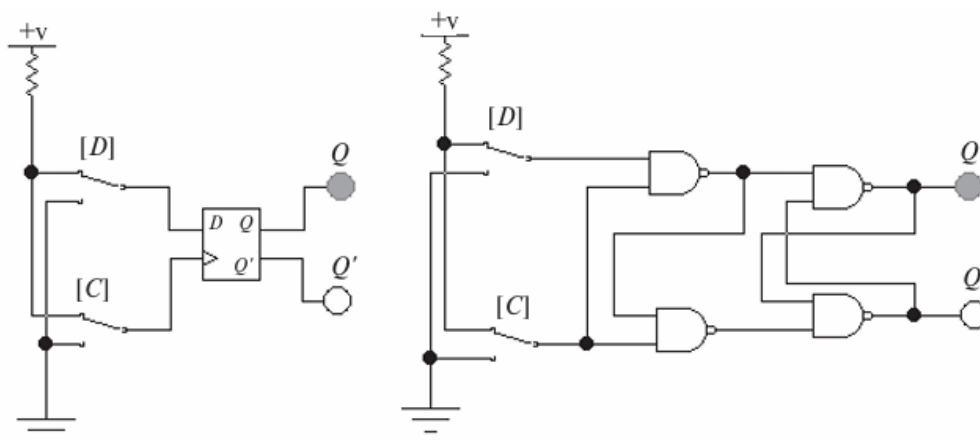


Рис. 11.23. *D*-тригер

5.1. Увімкнути схему. Переконатися в тому, що:

- якщо $C = 1$, $D = 0$, то тригер установлений в 0 ($Q = 0$, $Q' = 1$);
- якщо $C = 1$, $D = 1$, то тригер установлений в 1 ($Q = 1$, $Q' = 0$).

5.2. Перевірити всі комбінації входів C і D за вихідного стану $Q = 1$ і $Q = 0$. Заповнити таблицю істинності *D*-тригера.

5.3. Навести часові діаграми роботи тригера для всіх можливих комбінацій $Q(t)$, $D(t)$.

Індивідуальні завдання

Завдання 1. Тригери зі статичним керуванням. Навести умовно-графічне позначення тригера, що має входи керування, згідно з варіантом за табл. 11.4. Побудувати таблицю станів, реалізувати за допомогою будь-якого типу базових або універсальних елементів (можна використати будь-яку кількість елементів із будь-якою кількістю входів). За допомогою Electronics Workbench переконатися, що отримана схема виконує свої функції. Дослідження краще за все проводити, якщо на входи подавати «1»

і «0» за допомогою перемикачів, а з виходу отриманої схеми подати сигнали до логічного аналізатора.

Таблиця 11.4

Вихідні дані до індивідуального завдання 1

Варіант	Параметр			
	Вхід <i>R</i>	Вхід <i>S</i>	Вхід <i>C</i>	Вхід <i>D</i>
1	і	п	-	-
2	п	і	-	-
3	і	і	і	-
4	і	п	і	-
5	п	і	і	-
6	п	п	і	-
7	і	і	п	-
8	п	і	п	п
9	і	п	п	п
10	і	і	п	п
11	п	п	і	п
12	п	і	і	п
13	і	п	і	п
14	і	і	і	п
15	п	п	п	п

Примітка. *R* – вхід скидання; *S* – вхід встановлення; *C* – вхід синхронізації; *D* – інформаційний вхід; «і» – інверсний; «п» – прямий; «-» – відсутній.

Завдання 2. Тригери з динамічним керуванням. Навести умовно-графічне позначення тригера, що має входи керування, згідно з варіантом за табл. 11.5. Побудувати таблицю станів, реалізувати за допомогою будь-

якого типу базових або універсальних елементів (можна використати будь-яку кількість елементів із будь-якою кількістю входів). За допомогою Electronics Workbench переконатися, що отримана схема виконує свої функції. Дослідження краще за все проводити, якщо на входи подавати «1» і «0» за допомогою перемикачів, а з виходу отриманої схеми подати сигнали до логічного аналізатора.

Таблиця 11.5

Вихідні дані до індивідуального завдання 2

Варіант	Параметр				
	Вхід R (асинхронний)	Вхід C	Входи R і S (синхронні)	Вхід D	Входи J і K
1	п	ф	-	-	п
2	п	с	-	-	п
3	і	ф	-	-	п
4	і	ф	-	-	п
5	п	ф	-	п	-
6	п	с	-	п	-
7	і	ф	-	п	-
8	і	с	-	п	-
9	-	ф	п	-	-
10	-	с	п	-	-
11	п	ф	-	-	п
12	і	с	-	п	-
13	п	с	-	п	-
14	і	ф	-	-	п
15	п	ф	-	п	-

Примітка. R – вхід скидання; S – вхід скидання; C – вхід синхронізації; D – інформаційний вхід; J і K – входи дозволу переходів $0 \rightarrow 1$ і $1 \rightarrow 0$ відповідно; «і» – інверсний; «п» – прямий; «-» – відсутній; «ф» – прямий динамічний; «с» – інверсний динамічний.

Контрольні запитання і завдання

1. Чи можна в RS -тригерах поміняти місцями входи R - і S -? Проаналізувати мікросхему з RS -тригерами ($KP1533TP2$ ($2S279$)); пояснити, що зміниться в роботі мікросхеми.

2. На рис. 11.24 наведено часові діаграми сигналів, що подані на входи S - і R - RS -тригера, виготовленого на ЛЕ 2 АБО-НІ. Побудувати часову діаграму сигналу на прямому виході тригера.

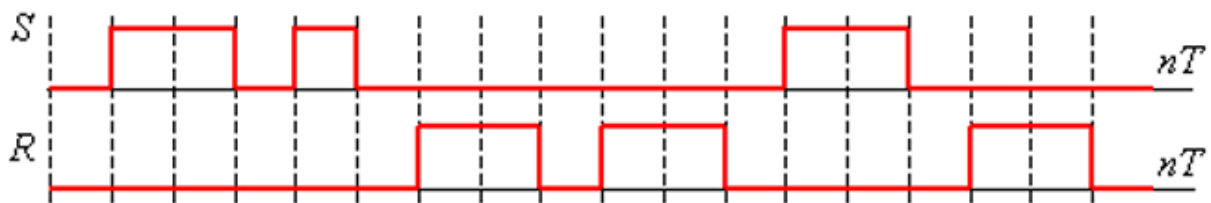


Рис. 11.24. Часові діаграми сигналів

3. Розробити синхронний двовходовий тригер, що функціонує відповідно до табл. 11.6, на базі універсального JK -тригера.

Таблиця 11.6

Таблиця істинності синхронного двовходового тригера

X_1	X_0	Q_{n+1}
0	0	0
0	1	Q_n
1	0	$\overline{Q}$
1	1	0

Зміст звіту

Звіт із лабораторної роботи має містити тему, мету, комбінаційні схеми, що досліджують, із зазначеними параметрами радіоелементів у відповідності з варіантом; дані, отримані експериментальним шляхом (таблиці, скрини схем і т. п.); висновки з виконаної роботи.

ЛАБОРАТОРНА РОБОТА 12

ДОСЛІДЖЕННЯ КОМБІНАЦІЙНИХ СХЕМ ІЗ ВИКОРИСТАННЯМ СИНХРОННОГО *RS*-ТРИГЕРА

Мета роботи

Закріпити теоретичні знання і сформувати практичні вміння і навички реалізації комбінаційних схем із використанням *RS*-тригера.

12.1. Методичні вказівки з організації самостійної роботи

Тригер – це базовий цифровий послідовнісний пристрій, який містить один елемент пам'яті та може зберігати одну одиницю інформації (біт). Він має два стабільні стани, перехід між якими здійснюється під впливом вхідних сигналів. Стабільність станів забезпечена зворотними зв'язками. У послідовній схемі кожна змінна, яка потребує зберігання, подана як окремий тригер, а загальний стан схеми визначено станами всіх тригерів. Якщо на виході тригера логічна «1», то його вважають встановленим, а якщо «0» – скинутим. Тригер має кілька входів, сигнали яких разом із поточним станом визначають його наступний стан. Тип тригера залежить від функцій його вхідних ліній. Види тригерів включають *RS*, *MS*, *D*, *JK* та *T*.

Базовим елементом усіх тригерних систем є асинхронний *RS*-тригер. Це найелементарніший автомат із пам'яттю. Він побудований на двох елементах АБО-НЕ (рис. 12.1, а) або І-НЕ (рис. 12.1, б). У першому випадку матимемо *RS*-тригер із прямими входами, у другому – з інверсними входами.

Для усунення змагань і спотворень вихідного сигналу застосовують синхронні *RS*-тригери. На рис. 12.2 наведено схему синхронного

RS-тригера та його умовно-графічне позначення. Синхронізацію здійснюють увімкненням на вході асинхронного *RS*-тригера додаткових елементів І-НЕ, на які подають вхідні сигнали *R* і *S* і стробуючий сигнал *C*. Завдяки інвертуванню вхідних сигналів *R* і *S* на вхідних елементах І-НЕ сигнали *R* і *S* у тригері є прямими.

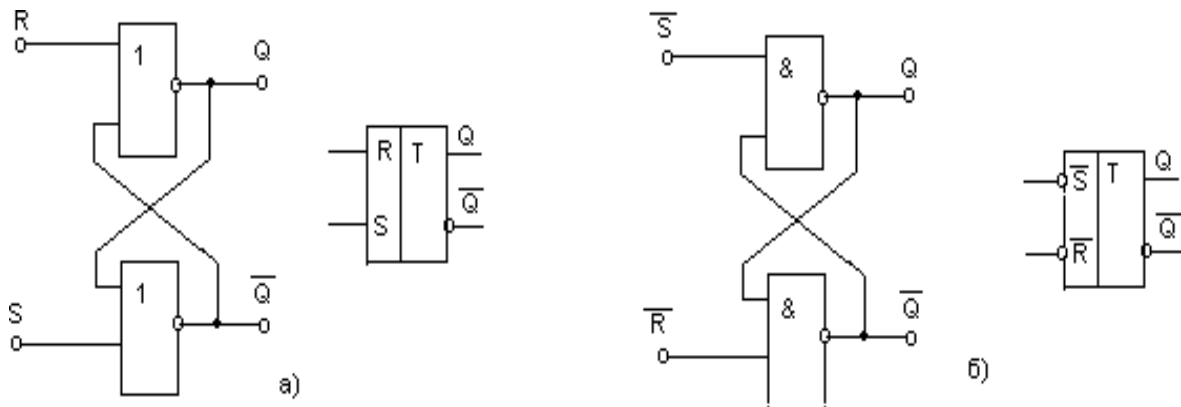


Рис. 12.1. Схеми асинхронних *RS*-тригерів із прямими входами (а) та інверсними (б)

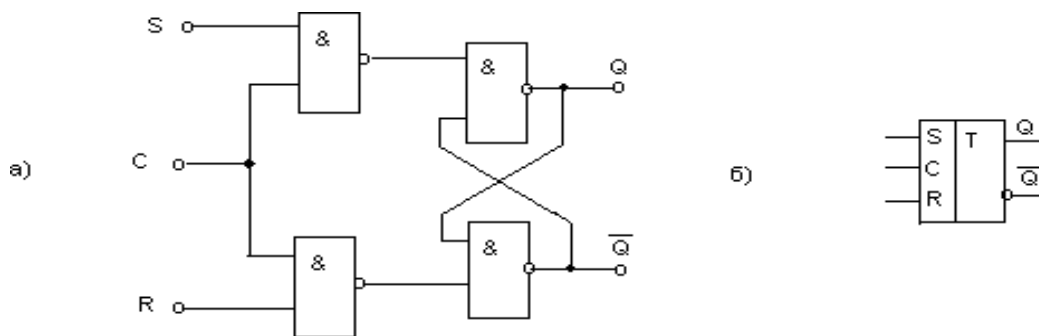


Рис. 12.2. Схема синхронного *RS*-тригера (а) і його умовно-графічне позначення (б)

Для захисту від завад застосовують двоступеневі *RS*-тригери (рис. 12.3). У ньому під час подавання стробуючого сигналу $C = 1$ нова інформація сформована тільки у вхідному (першому) ступені зі

збереженням старого (попереднього стану) у вихідному (другому ступені). Під час зняття стробуючого сигналу ($C = 0$) відбувається перезапис сигналу з першого ступеня в другий – вихідний ступінь. Отже, двоступеневий тригер фактично складається з двох послідовно з'єднаних тригерів – ведучого і веденого.

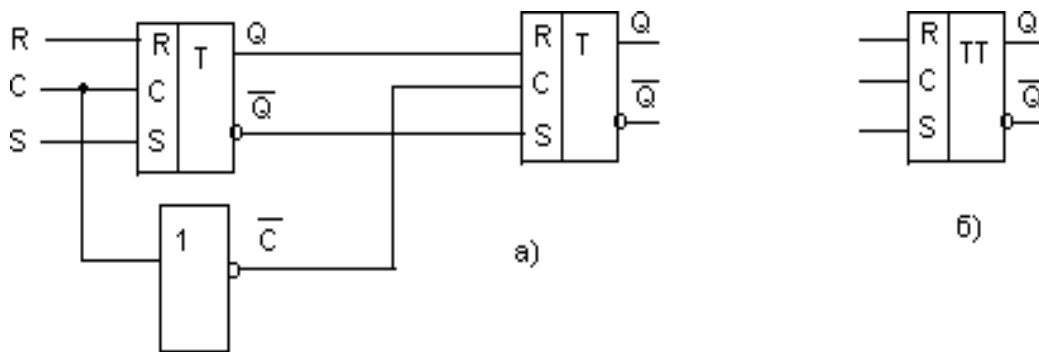


Рис. 12.3. Схема двоступеневого *RS*-тригера (а) і його умовно-графічне позначення (б)

На базі асинхронного *RS*-тригера побудовано синхронний *D*-тригер (рис. 12.4). У ньому, якщо стробуючий сигнал $C = 0$, стан тригера залишається незмінним. Якщо $C = 1$, вхідний сигнал *D* передано на вихід тригера *Q*. *D*-тригери використовують у регістрах пам'яті.

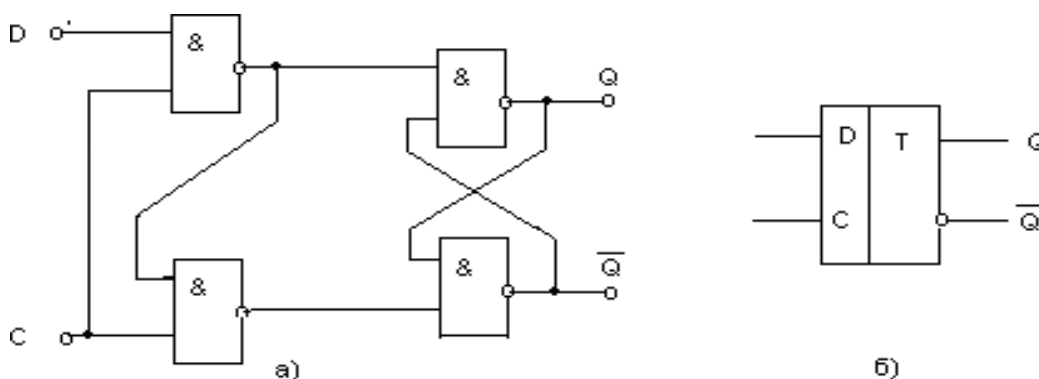


Рис. 12.4. Схема синхронного *D*-тригера (а) і його умовно-графічне позначення (б)

T -тригер називають рахунковим. Він змінює свій стан на протилежний у разі подавання на його рахунковий вхід T одиничного сигналу. T -тригери використовують для побудови двійкових лічильників. Він може бути синтезований на двотактовому RS -тригері з колом зворотного зв'язку (рис. 12.5).

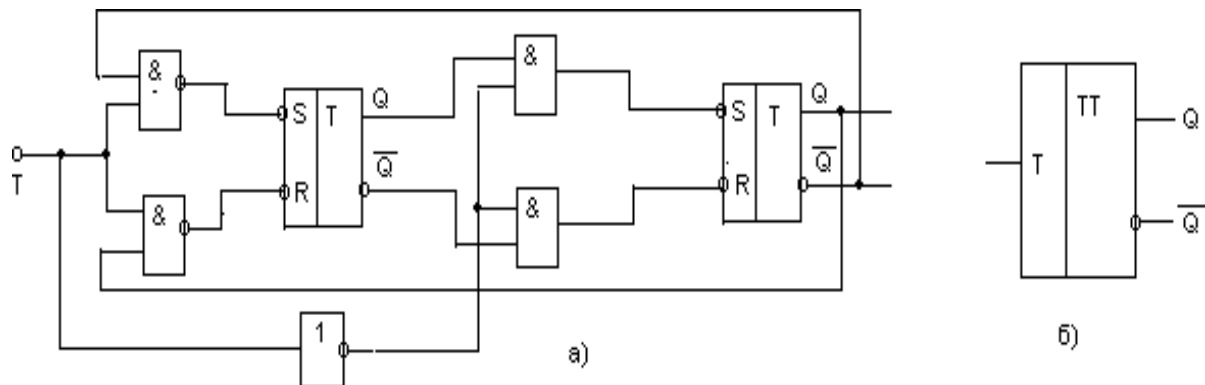


Рис. 12.5. Схема тригера (а) і його умовно-графічне позначення (б)

На базі двоступеневого RS -тригера можна побудувати JK -тригер, доповнивши його зворотними зв'язками та логічними елементами (рис. 12.6). На JK -тригері може бути побудований будь-який тип тригера. Тому його називають універсальним.

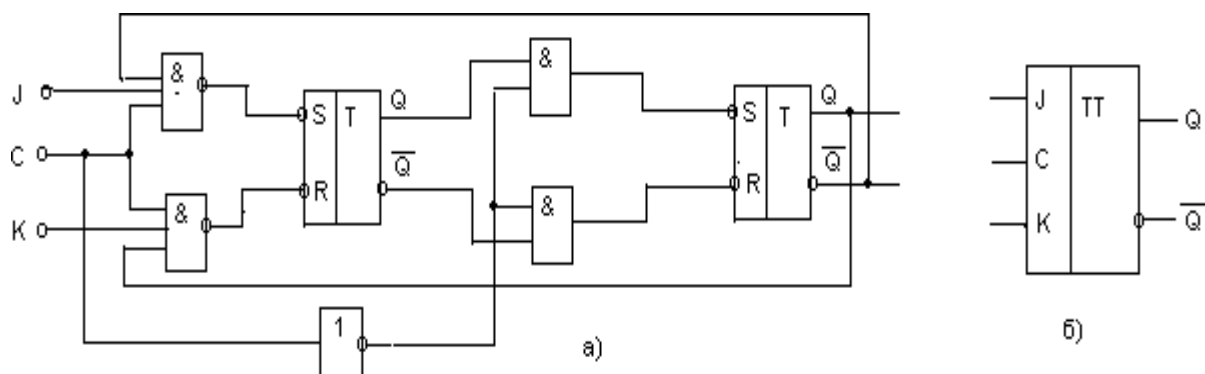


Рис. 12.6. Схема універсального JK -тригера (а) і його умовно-графічне позначення (б)

Можливі взаємні перетворення типів тригерів. Так, наприклад, на JK -тригері можуть бути реалізовані синхронний RS -тригер, D -тригер, синхронний T -тригер, асинхронний T -тригер (рис. 12.7).

Можливі взаємні перетворення D - і T -тригерів (рис. 12.8).

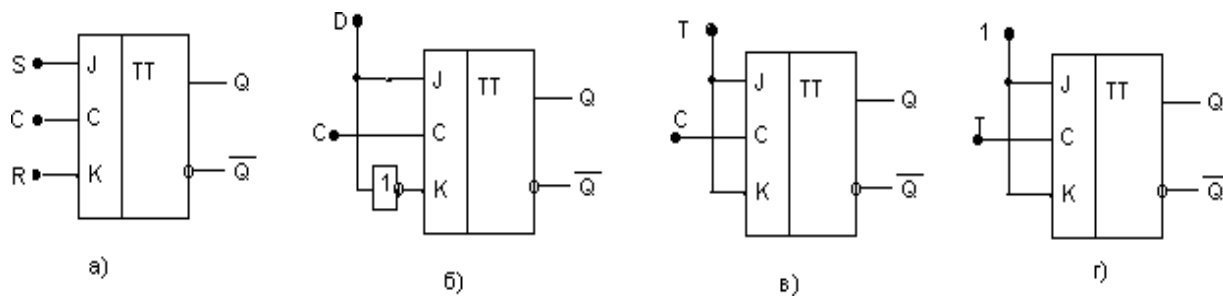


Рис. 12.7. Побудова тригерів на основі JK -тригера:

а – асинхронний RS -тригер; б – D -тригер; в – синхронний T -тригер;
г – асинхронний T -тригер

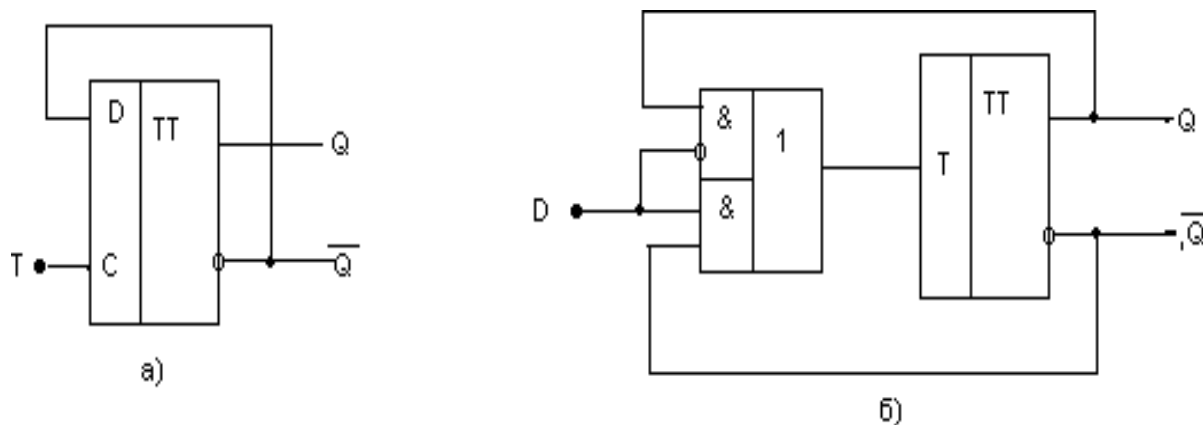


Рис. 12.8. Перетворення D -тригера в T (а) і T -тригера в D (б)

12.2. Порядок виконання роботи

1. За варіантом вибрати варіант схеми (табл. 12.2).

2. Знайти теоретично значення вихідних (Y_1), проміжних (Z_1, Z_2) сигналів і записати в табл. 12.1.

3. Побудувати в середовищі Electronics Workbench експериментальну модель схеми із RS-тригером. До входів вибраного за варіантом тригера підключити *Генератор слів*. Вхідні і вихідні сигнали тригера подати на *Логічний аналізатор (Logic Analyzer)*. Приклад наведений на рис. 12.9.

Таблиця 12.1

Таблиця результатів

Номер	Вхідні сигнали				Вихідні сигнали схеми		
	X_1	X_2	...	X_k	Z_1	Z_2	Y
1							
....							

4. Логічні сигнали відповідно до варіанта перетворити у шістнадцяткові числа і записати їх у *Генератор слів*.

5. Встановити потрібні параметри на *Генераторі слів* і *Логічному аналізаторі*, увімкнути експериментальну модель.

6. Записати діаграми вхідних і вихідних сигналів у звіт.

7. Перевірити відповідність теоретичного та експериментального розрахунку.

8. Зробити висновки за результатами виконаного теоретичного розрахунку й моделювання в середовищі Electronics Workbench. Оформити звіт.

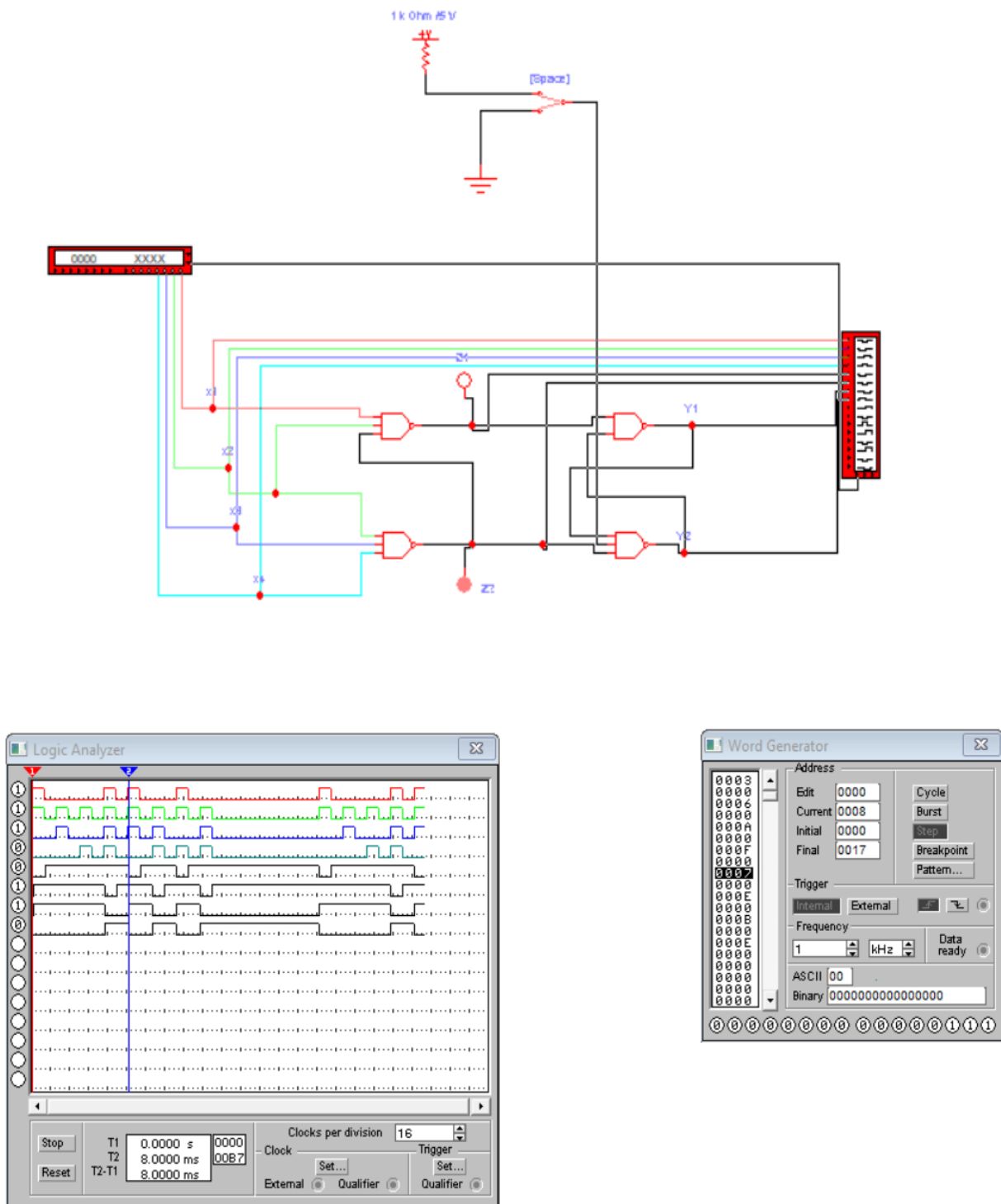
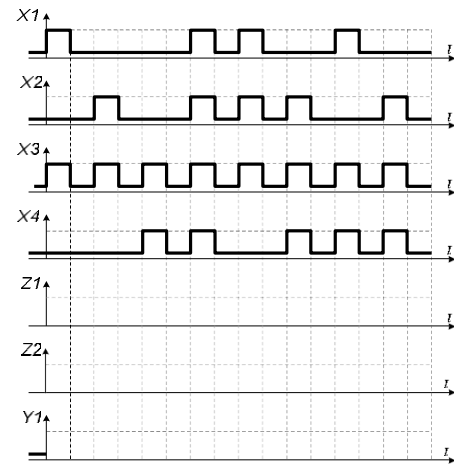
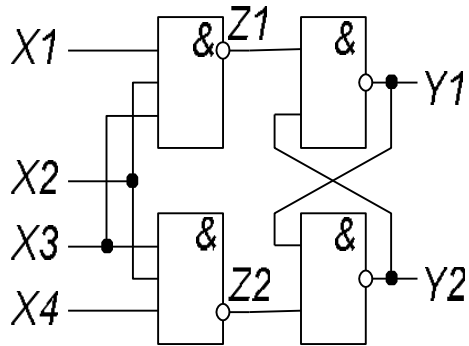


Рис. 12.9. Приклад побудови комбінаційної схеми з використанням синхронного *RS*-тригера в Electronics Workbench

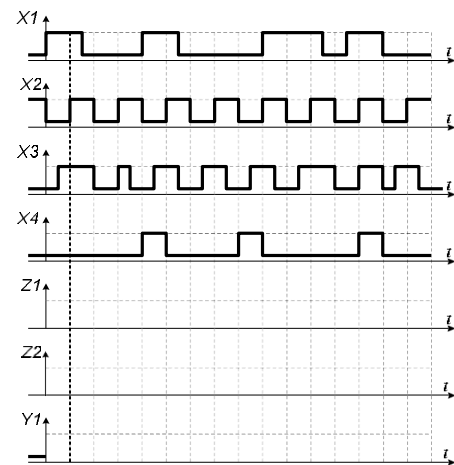
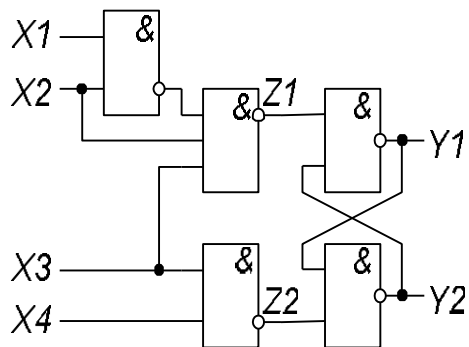
Вихідні дані для індивідуального завдання

Варіант 1	
Варіант 2	
Варіант 3	

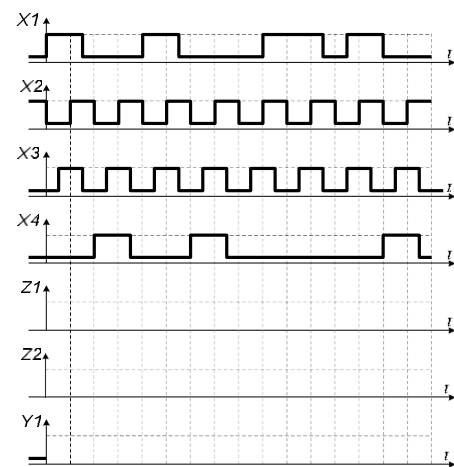
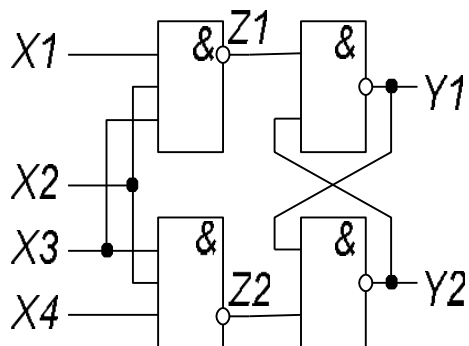
Варіант 4



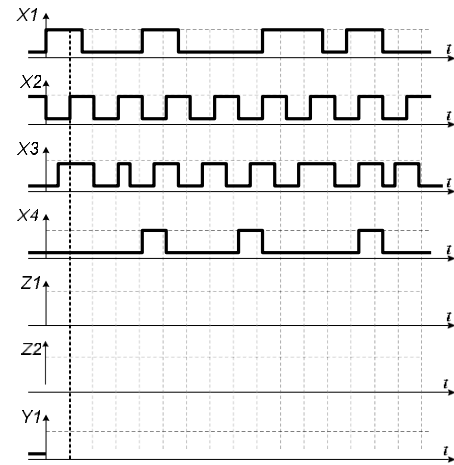
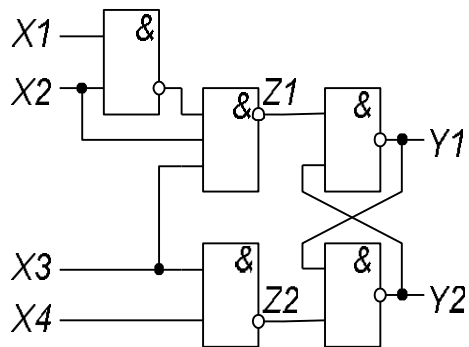
Варіант 5



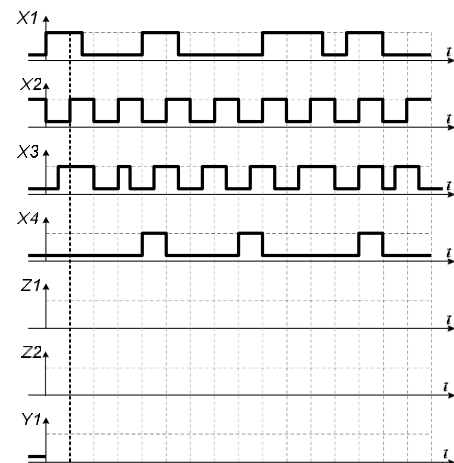
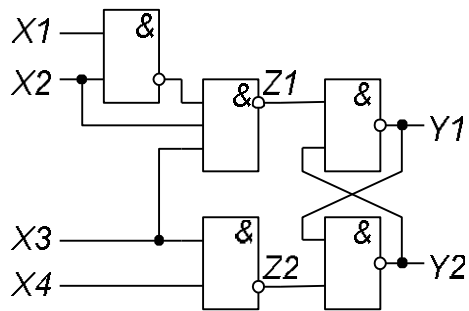
Варіант 6



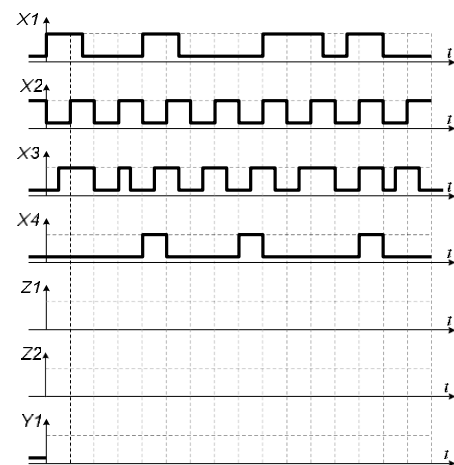
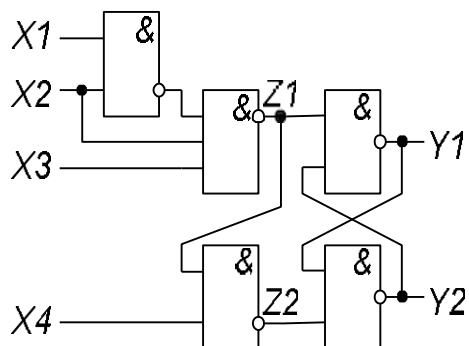
Варіант 7

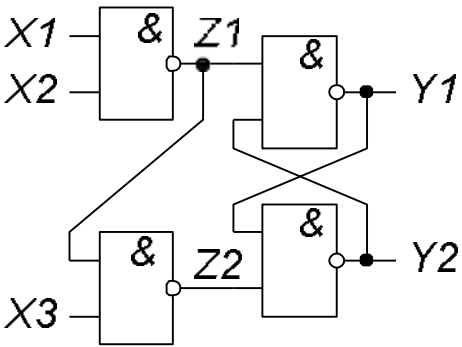
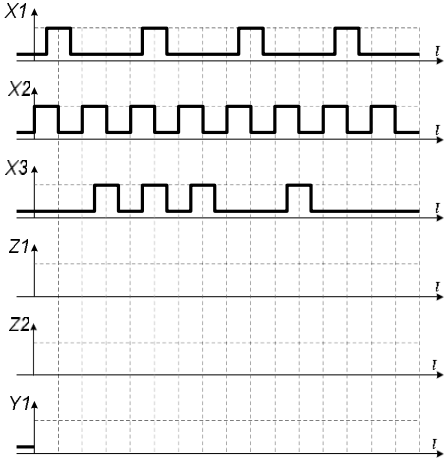
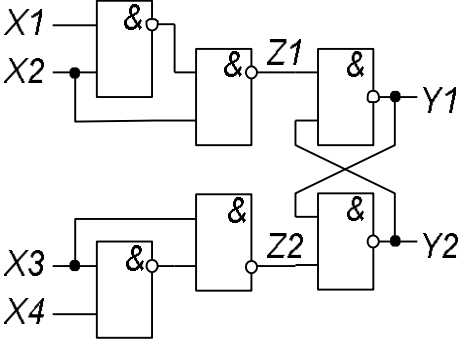
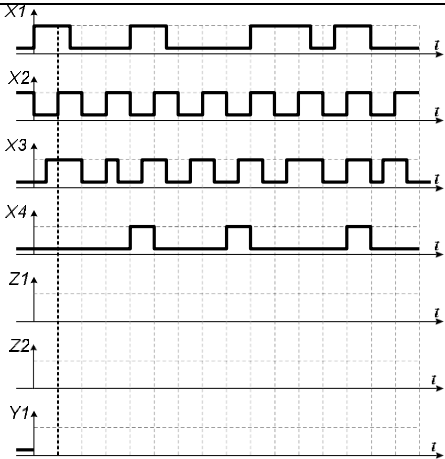
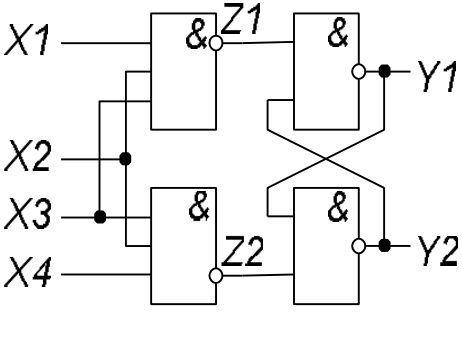
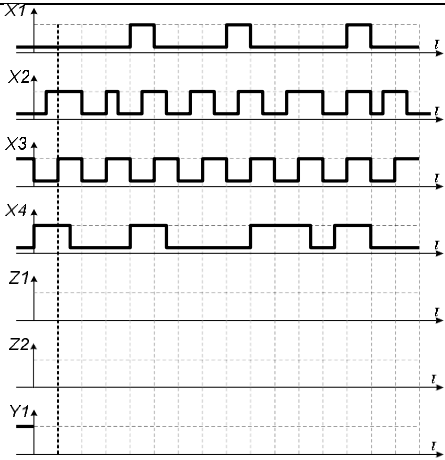


Варіант 8



Варіант 9



Варіант 10	
	
Варіант 11	
	
Варіант 12	
	

Варіант 13	
Варіант 14	
Варіант 15	

Контрольні запитання і завдання

1. Пояснити, як побудувати JK -тригер, використовуючи T -тригер і, якщо потрібно, допоміжну логіку.

2. На рис. 12.10 наведено часові діаграми S - і R -сигналів, що діють на RS -тригер, виготовлений із використанням логічних елементів АБО-НЕ. Побудувати часові діаграми сигналу на прямому виході Q за умови, що в момент часу $t = 0$ стан виходу $Q_n = 0$.

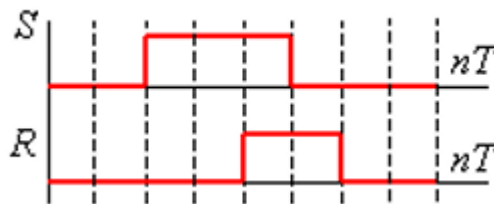


Рис. 12.10. Часові діаграми S - і R -сигналів

3. На рис. 12.11 наведено часові діаграми сигналів, що прикладені до $\bar{S}$ і $\bar{R}$ входів RS -тригера, виготовленого з використанням ЛЕ І-НЕ. Побудувати часові діаграми сигналу на прямому виході Q за умови, що в момент часу $t = 0$ стан виходу $Q_n = 0$.

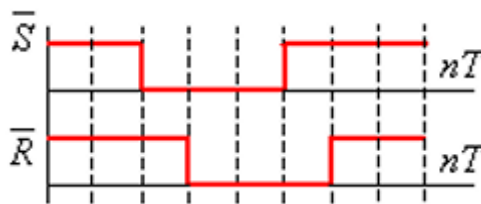


Рис. 12.11. Часові діаграми $\bar{S}$ - і $\bar{R}$ -сигналів

Зміст звіту

Звіт із лабораторної роботи має містити тему, мету, комбінаційні схеми, що досліджують, із зазначеними параметрами радіоелементів у відповідності з варіантом; дані, отримані експериментальним шляхом (таблиці, скрини схем і т. п.); висновки з виконаної роботи.

ЛАБОРАТОРНА РОБОТА 13

СИНТЕЗ І ДОСЛІДЖЕННЯ РОБОТИ РЕГІСТРІВ

Мета роботи

Вивчити реєстри пам'яті, зсуву, паралельно-послідовних реєстрів; способів введення і виведення інформації з реєстрів; особливості організації реєстрів на тригерах різного типу.

13.1. Методичні вказівки з організації самостійної роботи

Реєстром називають послідовний цифровий пристрій, використаний для запису і зберігання n -розрядного двійкового слова. Крім зберігання, деякі види реєстрів можуть перетворювати інформацію, наприклад, із паралельної в часі (паралельний код) у послідовну (послідовний код) набори значень і навпаки; із прямого коду у зворотний і навпаки; зсовувати інформацію на один або декілька розрядів у бік молодшого або старшого розрядів.

Реєстри побудовані на базі тригерів, кількість тригерів у схемі реєстра відповідає кількості розрядів двійкового слова, що підлягає зберігання. Розряди реєстра, крім тригерів, можуть містити і деякі логічні елементи, за допомогою яких забезпечена можливість виконання перерахованих вище перетворень інформації.

Основною класифікаційною ознакою реєстрів є спосіб приймання (записи) і видавання (читання) інформації. За цією ознакою розрізняють паралельні, послідовні і паралельно-послідовні реєстри.

Паралельний реєстр

Найпростішими є паралельні реєстри, або реєстри пам'яті. Вони являють собою набір синхронних D - або JK -тригерів, кожен із яких

зберігає один розряд двійкового числа. Введення (запис) і виведення (зчитування) інформації відбувається паралельним кодом. Введення забезпечено тактовим імпульсом, із надходженням чергового тактового імпульсу записана інформація оновлюється. Зчитування здійснюється в прямому або зворотному коді (в останньому випадку з інверсних виходів). Типова схема чотирирозрядного регістра пам'яті на *D*-тригерах наведена на рис. 13.1. Як тригери можуть бути використані тригерні інтегральні мікросхеми (ІМС).

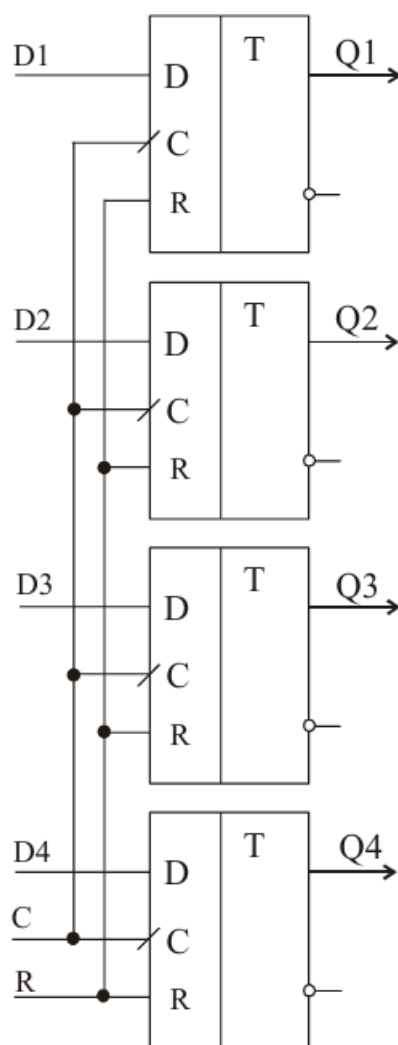


Рис. 13.1. Регістр пам'яті: *D1 – D4* – паралельні інформаційні входи;
C – тактовий вхід; *R* – вхід скидання регістра в «0»; *Q1 – Q4* – виходи
 регістра

Як елементи регістра тут використані синхронні *D*-тригери. Зі схеми випливає, що окремі розряди регістра пам'яті не обмінюються даними між собою. Загальними для розрядів регістра є ланцюги керування: синхронізації або дозволу запису (*C*) і скидання, або початкового устанавлення «0».

Послідовний регістр

Другим найпоширенішим класом регістрів є регістри зсуву. Вони здійснюють операції зберігання, перетворення послідовного двійкового коду в паралельний і навпаки, виконують функції елементів затримки. Усі ці функції забезпечує операція зсуву інформації в регістрі: із надходженням тактового імпульсу відбувається перезапис (зсув) вмісту тригера кожного розряду в сусідній розряд без зміни порядку проходження одиниць і нулів.

За напрямком зсуву записаної в регістр інформації розрізняють регістри прямого зсуву, тобто вправо (у бік молодшого розряду); зворотного зсуву, тобто вліво (у бік старшого розряду); реверсивні регістри, що допускають зсув в обох напрямках.

Регістри зсуву можуть бути реалізовані на *JK*- та *D*-тригерах (рис. 13.2, 13.3).

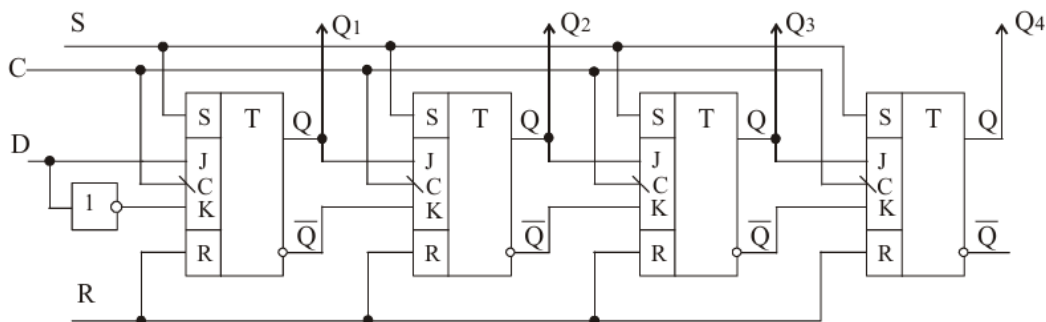


Рис. 13.2. Чотирирозрядний регістр зсуву вправо на *JK*-тригерах: *S* – вхід встановлення регістра в «1»; *C* – тактовий вхід; *D* – інформаційний вхід; *R* – вхід скидання регістра в «0»; *Q1* – *Q4* – паралельні виходи регістра

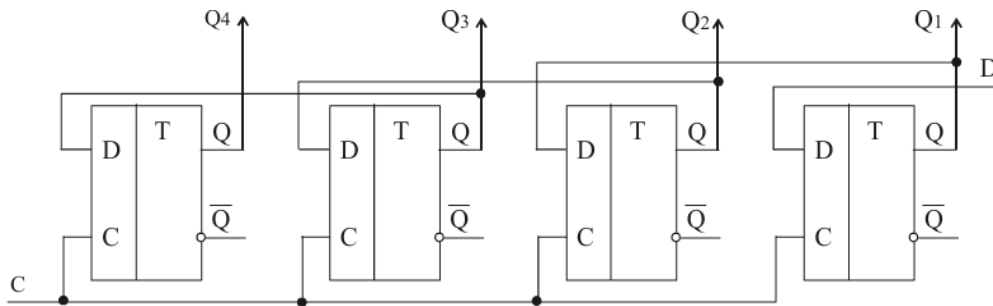


Рис. 13.3. Чотирирозрядний регістр зсуву вліво на D -тригерах

Універсальний регістр на JK (RS)-тригерах

Режим роботи регістра (рис. 13.4) визначений сигналом на вході S/P .

Припустимо, що на вході S/P сигнал лог. «1», на виході інвертора буде лог. «0», який закриває логічні елементи $DD5.1 - DD5.4$ і $DD6.1 - DD6.4$ і встановлює на асинхронних входах тригерів S і R лог. «1», що дозволяє синхронну роботу тригерів. При цьому входи $D1 - D4$ – для паралельного запису інформації блоковані. Тактові імпульси на вході C забезпечують синхронне введення інформації в послідовному коді (зі входу DS), а також зсув її вправо. За рахунок інверсії тактових імпульсів елементом $DD7.1$ спрацювання тригерів відбувається по фронту наростання тактових імпульсів.

Якщо на вході S/P буде лог. «0», то логічний елемент $DD7.1$ закритий, і тактові імпульси не проходять на C входи тригерів. Сигнал на загальних входах елементів $DD5.1 - DD5.4$ і $DD6.1 - DD6.4$ дорівнює лог. «1», внаслідок чого кожний із цих елементів для сигналів на паралельних входах $D1 - D4$ служить інвертором. Під дією вхідних сигналів паралельного запису виходи відповідних тригерів мають той самий стан $Q_i = D_i$. З появою на вході S/P сигналу лог. «1» інформація, яка введена в паралельному коді, із кожним тактовим імпульсом буде зсунута на один розряд і видана в послідовній формі.

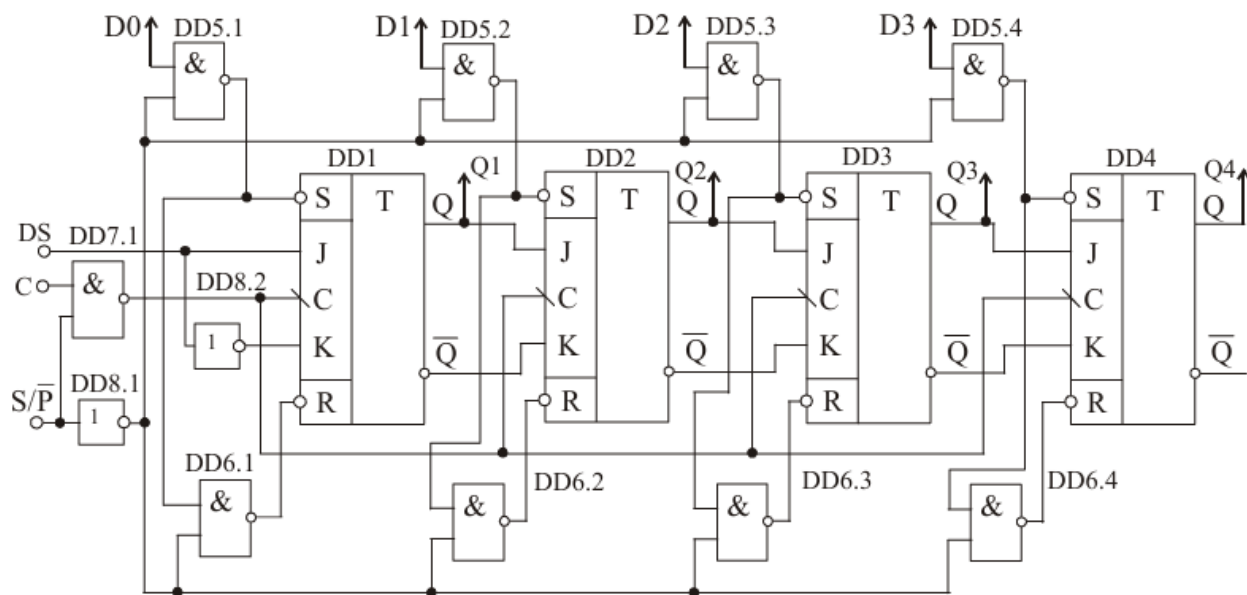


Рис. 13.4. Універсальний регістр: S/P – вибір режиму роботи

(послідовний / паралельний); $D0 - D3$ – паралельні інформаційні входи;

DS – послідовний інформаційний вхід; C – тактовий вхід;

$Q1 - Q4$ – паралельні виходи

Регістри зсуву використовують для реалізації генераторів M -послідовностей (послідовності максимальної довжини, псевдовипадкові послідовності) (рис. 13.5).

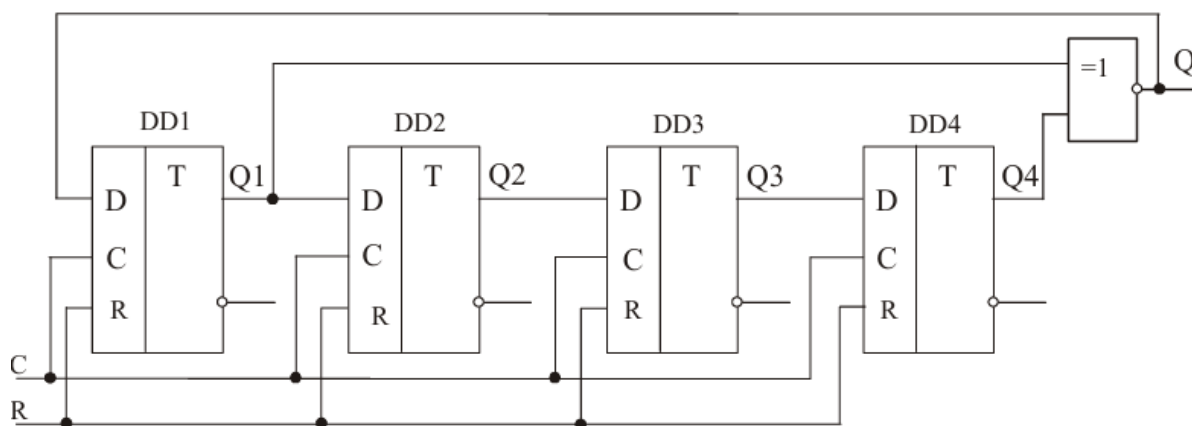


Рис. 13.5. Генератор M -послідовності

Якщо символи зчитувати з виходу Q , то отримаємо періодичну послідовність: 000010100110111000010100110... із періодом $N = 2^4 - 1 = 15$.

В індивідуальному завданні 1 задані номери зворотного зв'язку, якщо $a_i = 1$, то вихід i -го тригера підключений до суматора за $mod\ 2$, якщо $a_i = 0$ то вихід i -го тригера не підключений до суматора за $mod\ 2$.

13.2. Порядок виконання роботи

Під час виконання лабораторної роботи провести такі експерименти в програмі Electronic Workbench.

1. Використовуючи функціональні можливості моделювальної програми *EWB*, скласти схему-модель для дослідження регістра пам'яті відповідно до рис. 13.1. Як індикатори стану розрядів регістра використовувати моделі світлодіодних індикаторів із бібліотеки компонентів індикації в програмі *EWB* (рис. 13.6). Навести таблицю функціонування регістра, отриману в процесі проведення досліджень (число, яке необхідно записати і зчитати, вибирають у такий спосіб: місяць народження $\rightarrow$ перетворити у двійковий чотирирозрядний код, наприклад, травень $\rightarrow 5$ (за рахунком місяць) $\rightarrow 0101$ (кодова комбінація).

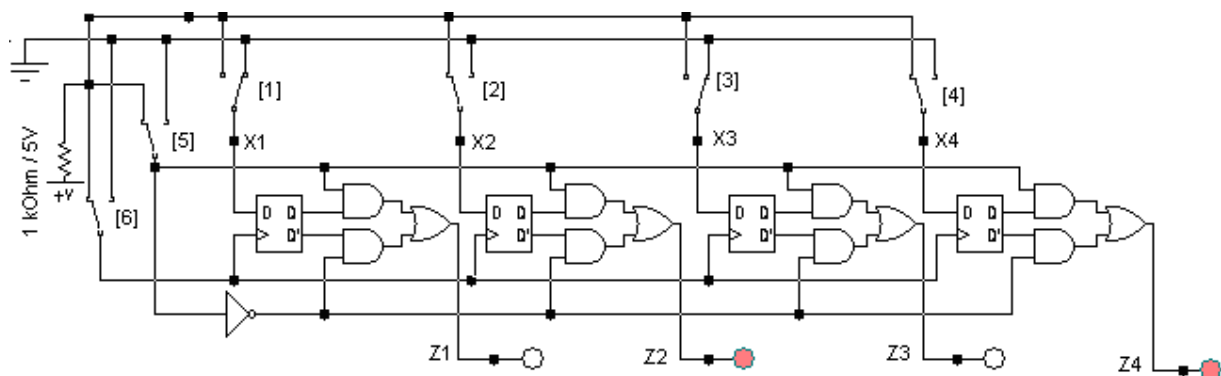


Рис. 13.6. Схема-модель регістра пам'яті

2. Із моделей *D*-тригерів за рис. 13.2 створити схему-модель регістра зсуву вправо. Вхідні сигнали формувати за допомогою джерела напруги +5 В і перемикача. Стан розрядів регістра контролювати за допомогою моделей світлодіодів (рис. 13.7). Аналогічно за рис. 13.3 отримати схему-модель регістра зсуву вліво. Навести таблиці функціонування регістрів, отриманих у процесі проведення досліджень (число, яке необхідно записати і зчитати, вибирають у такий спосіб: місяць народження → перетворити у двійковий чотирирозрядний код, наприклад, травень → 5 (за рахунком місяць) → 0101 (кодова комбінація).

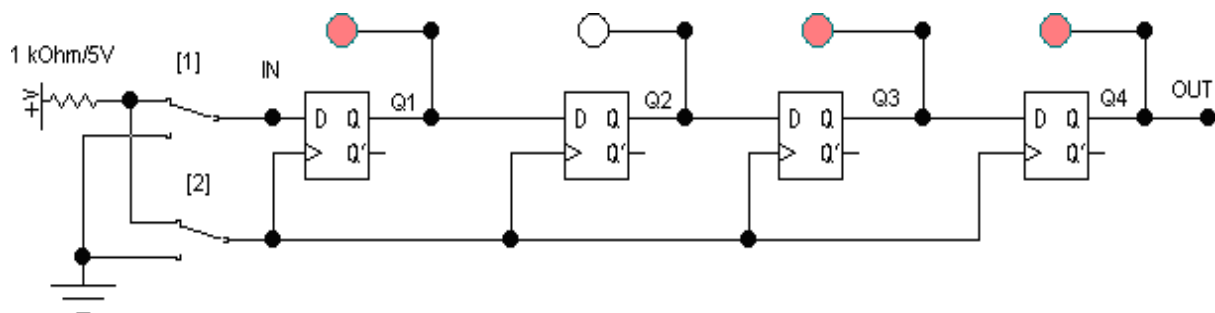


Рис. 13.7. Схема-модель регістра зсуву вправо

3. Доповнивши схему-модель регістра зсуву вправо (рис. 13.6) мультиплексорами (логічні елементи 2-2І-АБО) відповідно до схеми рис. 13.4, отримати схему-модель реверсивного регістра зсуву (рис. 13.8). Дослідити можливості отриманого регістра з перетворення кодових сигналів із послідовних у паралельні та навпаки. Навести таблицю функціонування регістра, отриману в процесі проведення досліджень (число, яке необхідно записати і зчитати, вибирають у такий спосіб: місяць народження → перетворити у двійковий чотирирозрядний код, наприклад, травень → 5 (за рахунком місяць) → 0101 (кодова комбінація).

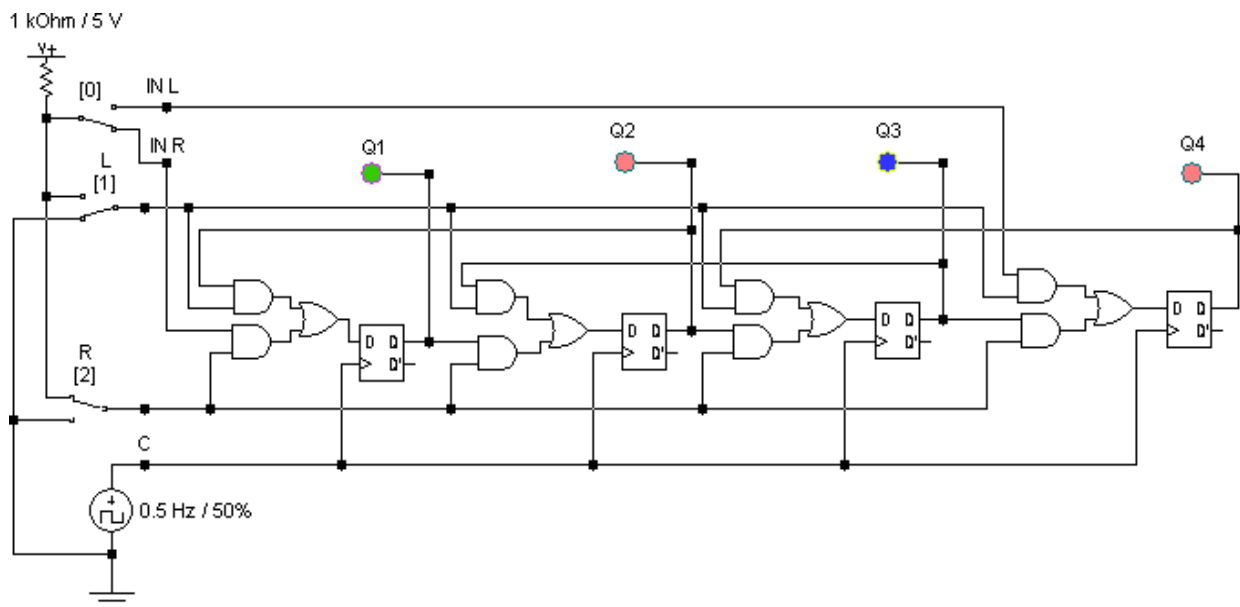


Рис. 13.8. Схема-модель реверсивного регістра зсуву

4. Дослідження роботи чотирирозрядного послідовного (зсувного) регістра (рис. 13.9). Для цього використовувати налаштування генератора слів, які зазначені на рис. 13.10.

Результати досліджень занести в табл. 13.1. Процес запису та виведення числа $1101_2 = D_{16}$ з регістра пояснити часовими діаграмами.

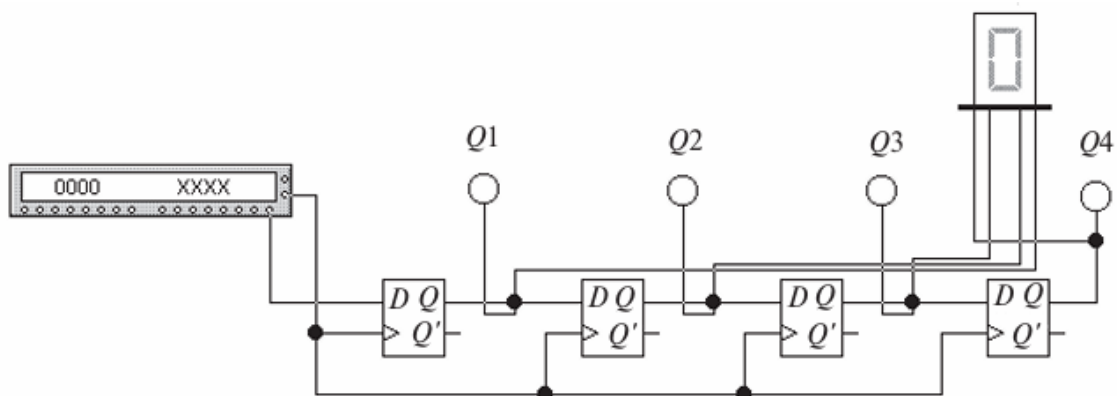


Рис. 13.9. Чотирирозрядний послідовний регістр

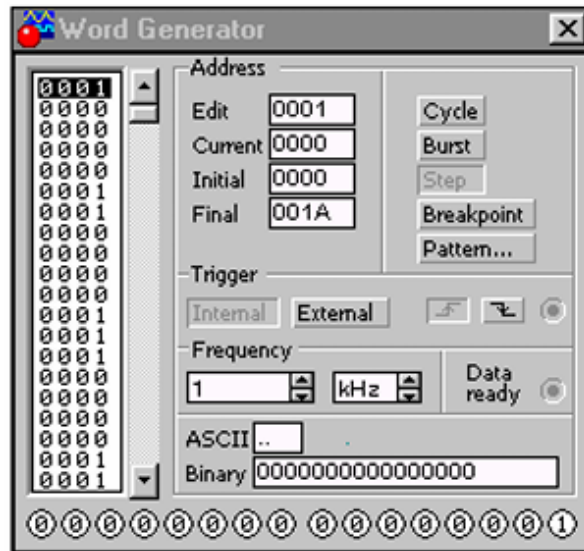


Рис. 13.10. Початкові установки генератора слів

5. Моделювання роботи регістра пам'яті 74173. Дослідити можливі режими роботи регістра – запис інформації, зберігання, високоімпедансний стан. Чотирирозрядний регістр 74173 (вітчизняний аналог – *K155ИР15*) є бібліотечним компонентом *EWB* і прикладом пристрою зберігання з трьома вихідними станами. Схему його ввімкнення наведено на рис. 13.11.

Високий рівень напруги на одному із входів *M* або *N* (або на обох) переводить виходи мікросхеми у високоімпедансний стан, водночас, однак, до регістра можна записувати нову інформацію, скидати або зберігати. Індикатор, під'єднаний до виходів зазвичай показує нульове значення (оскільки «відключений» від мікросхеми). Для передавання інформації з регістра на інші пристрої (або зчитування інформації індикатором) необхідна наявність напруги низького рівня на обох входах керування третім станом *M* і *N*.

Високий рівень напруги на вході скидання *CLR* встановлює всі тригери регістра в стан низького рівня (обнуляє регістр) незалежно від логічного стану на входах *CLK*, *G1*, *G2*, *1D* – *4D*.

Таблиця переходів послідовного регістра

Такт	D	HL	Вихід				Режим
			$Q4$	$Q3$	$Q2$	$Q1$	
1	1						Запис $1000_2 = 8_{16}$
2							
3							
4							
5							Очищення регістра
6	1						Запис $1100_2 = C_{16}$
7	1						
8							
9							
10							Очищення регістра
11							
12	1						Запис $1110_2 = E_{16}$
13	1						
14	1						
15							
16							Очищення регістра
17							
18							
19	1						Запис $1101_2 = D_{16}$
20	1						
21							
22	1						
23							Очищення регістра
24							
25							
26							

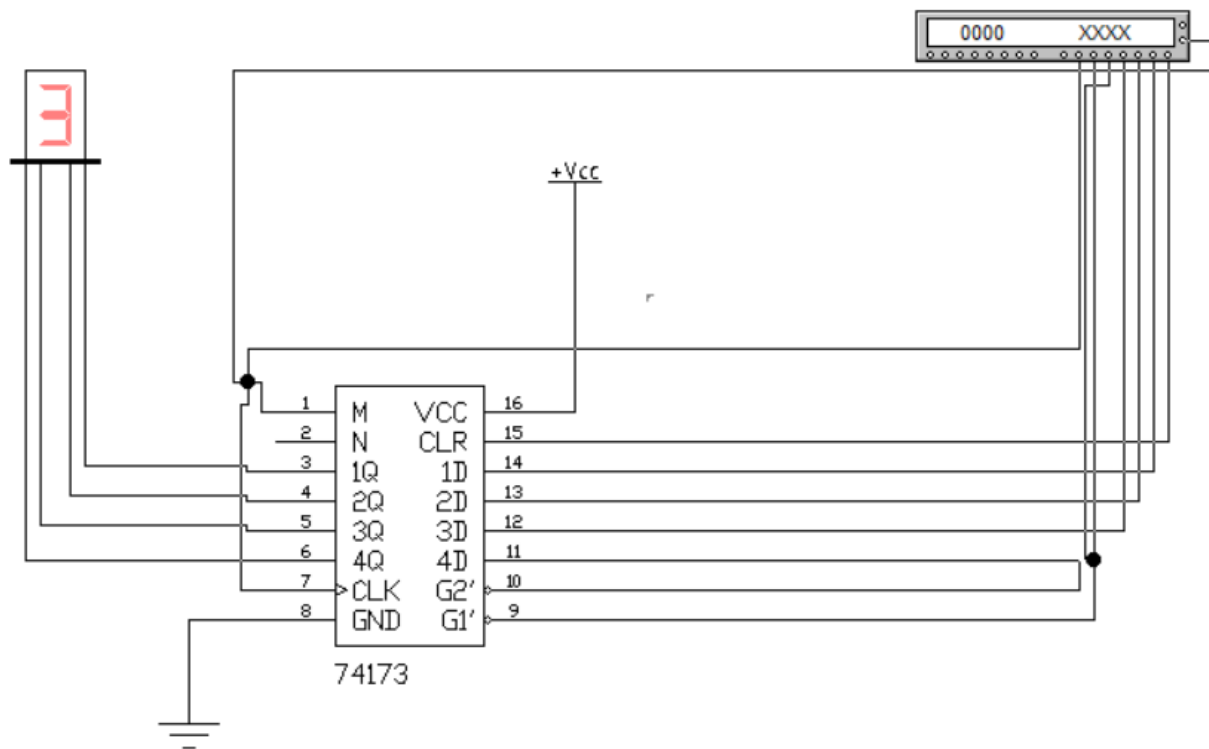


Рис. 13.11. Схема ввімкнення регістра 74173

Запис інформації в регістр із входів $1D - 4D$ відбувається за позитивним перепадом тактового імпульсу CLK , якщо на входах $G1$ і $G2$ присутні напруги активного (низького) рівня. Якщо на одному з цих входів напруга високого рівня, після виникнення позитивного тактового перепаду регістр зберігає попередню інформацію.

Регістр *K155IP15* споживає струм 72 мА і має тактову частоту до 25 МГц; зарубіжний варіант *74LS173* споживає струм 30 мА, його тактова частота 30 МГц.

Зібрати схему за рис. 13.11. Для цього взяти в опції  (*Instruments*) генератор слів , в опції  (*Digital Ics*) – регістр 74173, в опції  (*Indicators*) – , в опції  (*Sources*) –  та .

Для моделювання регістра необхідно задавати деякі комбінації з генератора слів. Натиснути двічі на панель генератора – з'явиться вікно

генератора слів (рис. 13.12). Оскільки виходів на генераторі 16, а використовують лише сім, будемо змінювати комбінації з останніх семи виходів (восьмий вихід, що дорівнює за замовчуванням нулю, не змінюємо).

У генераторі слів установити дві двійкові комбінації $0001\ 0100_2 = 14_{16}$ і $0000\ 0110_2 = 6_{16}$ для подальшого видавання на регістр. Нагадаємо, що кодові комбінації можна задати з клавіатури декількома способами: на дисплеї шістнадцятирічного генератора ліворуч на його лицьовій панелі; у двійковому вигляді – у вікні-рядку **Binary**; у символічному вигляді – у вікні-рядку ASCII, якщо відомі ASCII-коди. У кожному випадку необхідно попередньо активізувати курсор у вибраному місці. При цьому номер редагованої комірки відображений у віконці **Edit** блока **Address**. Віконце **Current** показує номер поточного слова, **Initial** – номер початкового слова, із якого хочуть почати моделювання (встановити 0000), **Final** – номер кінцевого слова (встановити значення 0007).

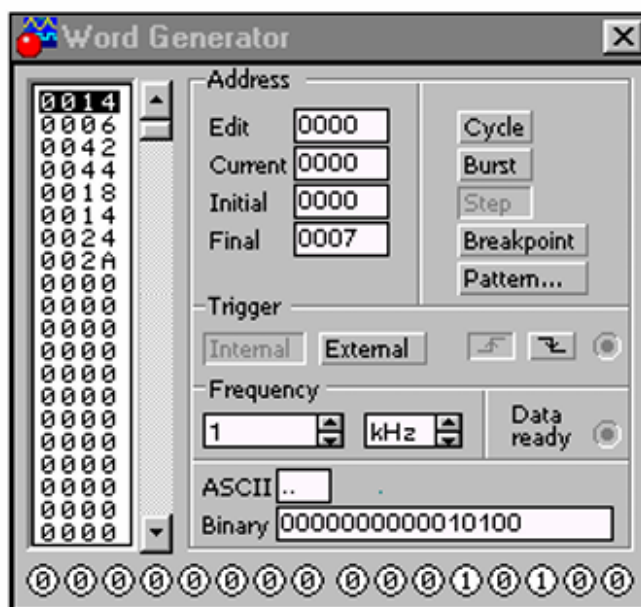


Рис. 13.12. Вікно генератора слів

Запис у регістр. Обидві введені комбінації дають змогу записати інформацію до регістра, оскільки в шостому розряді стоять нулі ($G1 = G2 = 0$ – дозвіл запису), у сьомому розряді стоять нулі ($M = N = 0$ – дозвіл передавання інформації з виходів регістра $1Q - 4Q$ на індикатор). Послідовно видаючи на регістр встановлені слова за допомогою кнопки **Step** на генераторі слів, переконатися за шістнадцятирічним індикатором, що вони будуть записані в регістр. Контроль слів, які видає генератор, можна здійснювати за вихідними затискачами генератора (нижній «рядок» на генераторі слів) або додатково під'єднавши до входів регістра світлодіодні пробники – **Red Probe**. Зафіксувати процес запису і необхідні для цього умови (стани $M, N, G1, G2, CLR$) у вигляді таблиці. Першій двійковій комбінації відповідають показання шістнадцятирічного індикатора – A , другій відповідно до рис. 13.11.

Високоімпедансний стан виходів регістра. Подамо на входи M і N високий рівень напруги (логічна 1 у сьомому розряді двійкової комбінації). Для цього введемо в третій і четвертий рядки генератора слів (зліва) такі комбінації: $0100\ 0010_2 = 42_{16}$ і $0100\ 0100_2 = 44_{16}$. Переконатися, що під час видавання з генератора кнопкою **Step** цих комбінацій шістнадцятирічний індикатор показує 0, тобто він відключений від регістра.

Знову подати дві будь-які комбінації, але так, щоб $M = N = 0$, $G1 = G2 = 0$ (наприклад $0001\ 1000_2 = 18_{16}$ і $0001\ 0100_2 = 14_{16}$). На індикаторі знову з'являться їхні шістнадцяткові значення (C і A відповідно), оскільки тепер дозволено запис і вимкнено високоімпедансний стан регістра.

Зберігання інформації в регістрі. За всіх попередніх комбінацій на входи $G1, G2$ було подано напругу низького (роздільного) рівня, і тому дані були записані до регістра та відображені на виходах $1Q - 4Q$ за $M = N = 0$ або не відображені за $M = N = 1$. Тепер встановимо $G1 = G2 = 1$ (у шостому праворуч розряді комбінації з генератора), наприклад

$0010\ 01002 = 24_{16}$ і $0010\ 1010_2 = 2A_{16}$. Натискаючи **Step**, бачимо, що старе значення на індикаторі не зникає, а залишається, бо в регістр не записана нова інформація.

Результати експериментів оформити у вигляді набору пар рисунків: ліворуч – показання генератора слів, праворуч – відповідно до рис. 13.11.

Індивідуальні завдання

Завдання 1. За варіантом, заданим викладачем, із табл. 13.2 скласти схему генератора M -послідовності. Визначити період M -послідовності.

Таблиця 13.2

Вихідні дані для індивідуального завдання 1

	Варіант														
Номер зворот- ного зв'язку $a_n a_{n-1} \dots a_1$	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
	1001	1100	1001	1100	1010	10010	10100	10111	11011	11101	11110	11001	101	110	101

Завдання 2. Навести умовно-графічне позначення регістра, який має входи керування і кількість інформації, що зберігається, за варіантом (табл. 13.3).

Навести часові діаграми, реалізувати регістри за допомогою будь-якого типу тригерів. За допомогою Electronics Workbench переконатися, що отримана схема виконує свої функції. Дослідження краще за все проводити, якщо на входи подавати «1» і «0» за допомогою перемикачів, а з виходу отриманої схеми подати сигнали до логічного аналізатора.

Таблиця 13.3

Вихідні дані для індивідуального завдання 2

Варіант	Паралельний регістр			Послідовний регістр		
	Вхід <i>C</i>	Входи <i>R</i>	Кількість інформації	Вхід <i>C</i>	Входи <i>R</i>	Кількість інформації
1	ф	п	5	ф	п	8
2	ф	і	6	с	і	7
3	ф	п	7	ф	-	6
4	ф	і	8	с	п	5
5	с	-	5	ф	і	8
6	с	п	6	с	-	7
7	с	і	7	ф	п	6
8	с	п	8	с	і	5
9	п	і	5	ф	-	8
10	п	-	6	с	п	7
11	п	п	7	ф	і	6
12	п	і	8	с	-	5
13	і	п	5	ф	п	8
14	і	і	6	с	і	7
15	і	-	7	ф	п	6

Примітка. *R* – вхід скидання; *C* – вхід синхронізації; «і» – інверсний; «п» – прямий; «-» – відсутній; «ф» – прямий динамічний; «с» – інверсний динамічний.

Контрольні запитання і завдання

1. Якою має бути мінімальна розрядність регістра для запису чисел, десятковий еквівалент найбільшого з яких дорівнює 45?

2. Скільки розрядів повинен мати регістр зсуву, щоб тризначне двійкове число можна було збільшити у вісім разів?
3. Як застосувати універсальний регістр зсуву для перетворення паралельного коду в послідовний? Які режими для цього потрібні?
4. Пояснити причину недоцільності вживання T -тригерів для побудови регістрів пам'яті.
5. Чому тригери, синхронізовані рівнем, не можуть бути використані для побудови регістрів зсуву?
6. Дати порівняльну характеристику швидкодії регістра зсуву з переміщенням інформації зліва направо та справа наліво.
7. Використовуючи регістри зсуву, розробити схему пристрою для циклічної генерації послідовності 01110101.
8. Вміст регістра зсуву з послідовним входом і послідовним виходом $Q_3Q_2Q_1Q_0 = 0101$. Послідовність 1011 введена зліва направо, починаючи зі старшого розряду, за чотири такти. Побудувати часові діаграми зміни вмісту тригерів регістра.

Зміст звіту

Звіт із лабораторної роботи має містити тему, мету, комбінаційні схеми, що досліджують, із зазначеними параметрами радіоелементів у відповідності з варіантом; дані, отримані експериментальним шляхом (таблиці, скрини схем і т. п.); висновки з виконаної роботи.

ЛАБОРАТОРНА РОБОТА 14

ДОСЛІДЖЕННЯ ЛІЧИЛЬНИКІВ ІМПУЛЬСІВ

Мета роботи

Вивчити функціональне призначення і властивості двійкових лічильників імпульсів, на практиці ознайомитися з режимами роботи і застосуванням двійкових лічильників.

14.1. Методичні вказівки з організації самостійної роботи

Лічильники – пристрої, які під дією входних імпульсів переходять із одного стану в інший, відображуючи при цьому в певному коді кількість імпульсів, що поступило на вхід.

Лічильник, який складається із m -тригерів, може порахувати у двійковому коді 2^m імпульсів. Число m визначає кількість розрядів двійкового числа, яке може бути записане в лічильник. Якщо лічильник працює на додавання, то кожний вхідний імпульс збільшує число, записане в лічильник, на одиницю. Якщо лічильник ввімкнений на віднімання, то число, що збережене в лічильнику, із кожним вхідним імпульсом зменшується на одиницю. Реверсивний лічильник може працювати як на додавання, так і віднімання.

Лічильники характеризуються модулем (коефіцієнтом) підрахунку. Модуль визначає кількість можливих станів лічильника. Після надходження на лічильник M входних сигналів починається новий цикл, який повторює попередній.

За способом кодування внутрішніх станів (за модулем підрахунку) лічильники поділяють на двійкові, двійково-десяткові, із визначеним модулем, змінним модулем, Джонсона.

За напрямком підрахунку лічильники поділяють на сумуючі, віднімаючі, реверсивні.

За способом організації внутрішніх зв'язків: із послідовним, паралельним, комбінованим перенесенням.

У лічильниках із послідовним перенесенням імпульси, які підлягають підрахунку, поступають на вхід першого тригера, а сигнал перенесення передається послідовно від одного розряду до другого (рис. 14.1, 14.2). Такі лічильники складаються з асинхронних *T*-тригерів із прямим або інверсним керуванням або *JK*- і *D*-тригерів, ввімкнених у режимі *T*-тригера.

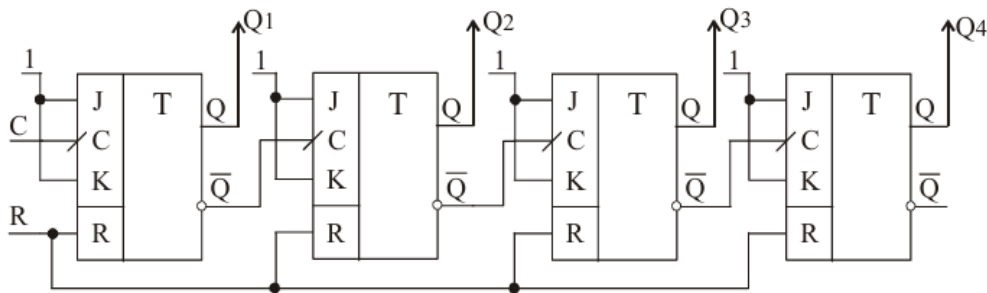


Рис. 14.1. Функціональна схема асинхронного лічильника з послідовним перенесенням

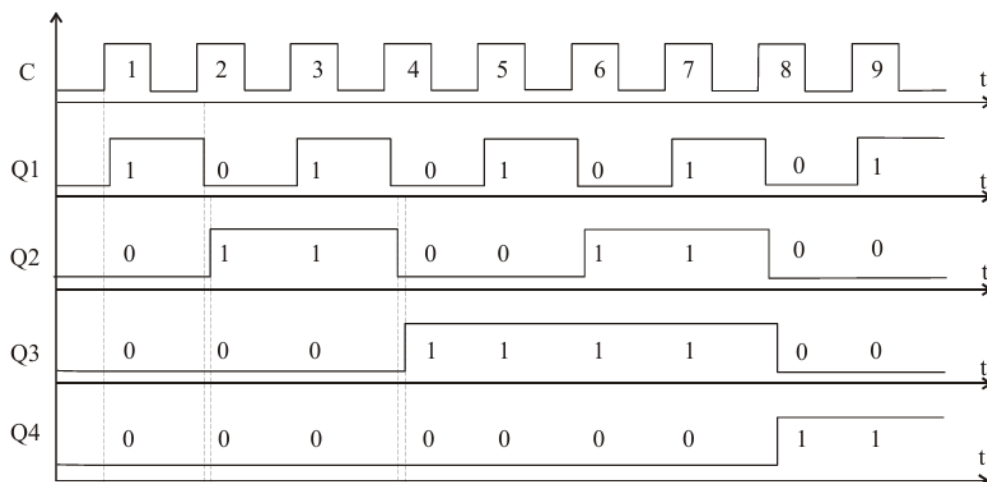


Рис. 14.2. Часові діаграми асинхронного лічильника з послідовним перенесенням

Основна перевага лічильників із послідовним перенесенням – проста схема.

Недолік – порівняно низька швидкодія, оскільки тригери спрацювують послідовно один за одним.

Лічильники з паралельним перенесенням складаються із синхронних *JK*- і *D*-тригерів. Вхідні імпульси поступають одночасно на всі тактові входи, а кожен із тригерів служить відносно наступного тільки джерелом інформаційних сигналів (рис. 14.3).

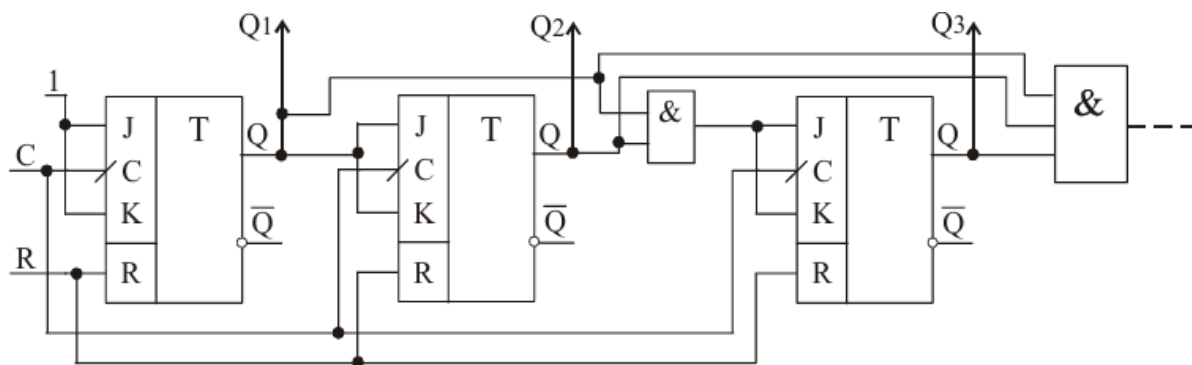


Рис. 14.3. Функціональна схема синхронного лічильника
з паралельним перенесенням

Спрацювання тригерів паралельного лічильника відбувається синхронно, і затримка перемикавання лічильника дорівнює затримці одного тригера (рис. 14.4).

У лічильниках із паралельно-послідовним перенесенням тригери об'єднані в групи так, що окремі групи утворюють лічильник із паралельним перенесенням, а групи з'єднуються послідовним перенесенням.

Функціональна схема синхронного лічильника з послідовним перенесенням наведена на рис. 14.5.

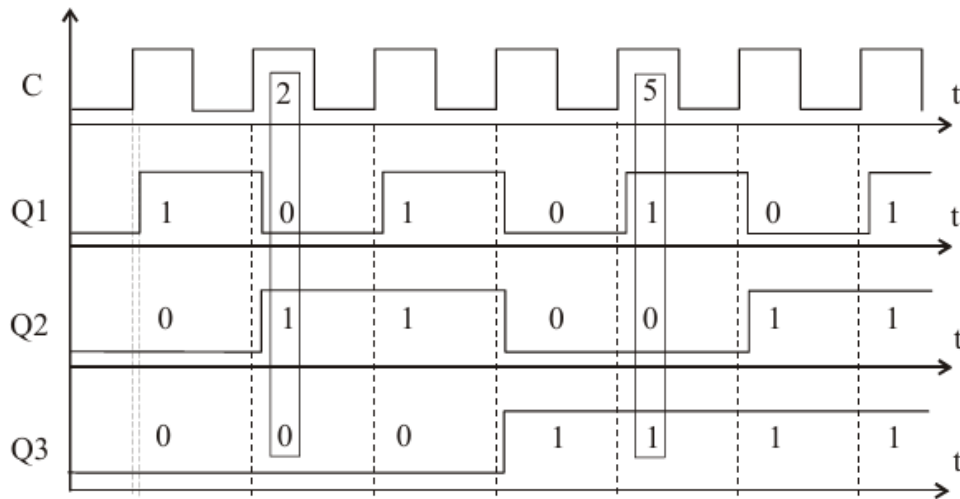


Рис. 14.4. Часові діаграми схема синхронного лічильника
з паралельним перенесенням

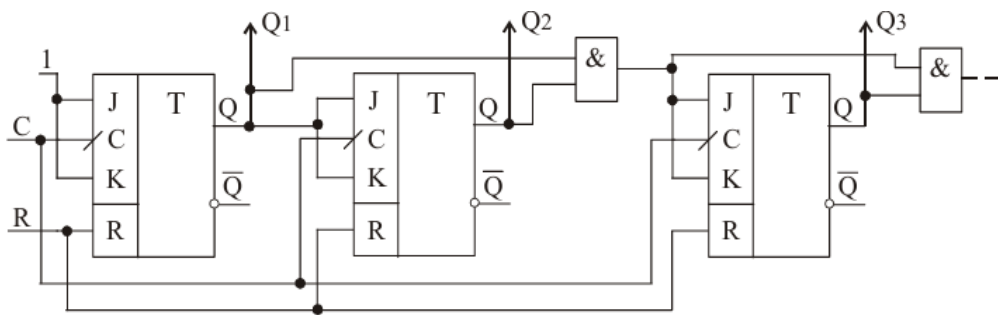


Рис. 14.5. Функціональна схема синхронного лічильника з
послідовним перенесенням

Функціональна схема синхронного реверсивного лічильника наведена на рис. 14.6.

Лічильник-ділник (сумуючий, віднімаючий) із послідовним перенесенням у коді 8421 із коефіцієнтом ділення $K = 2^m$ складається з послідовно з'єднаних m -тригерів із прямим або інверсним керуванням.

За допомогою додаткового логічного елемента можна змінювати коефіцієнт ділення в межах $2^{m-1} < K < 2^m$. Для цього входи логічного елемента з'єднують із виходами відповідних тригерів, а вихід логічного елемента – входами R (скидання тригерів в нуль) (рис. 14.7). Перший



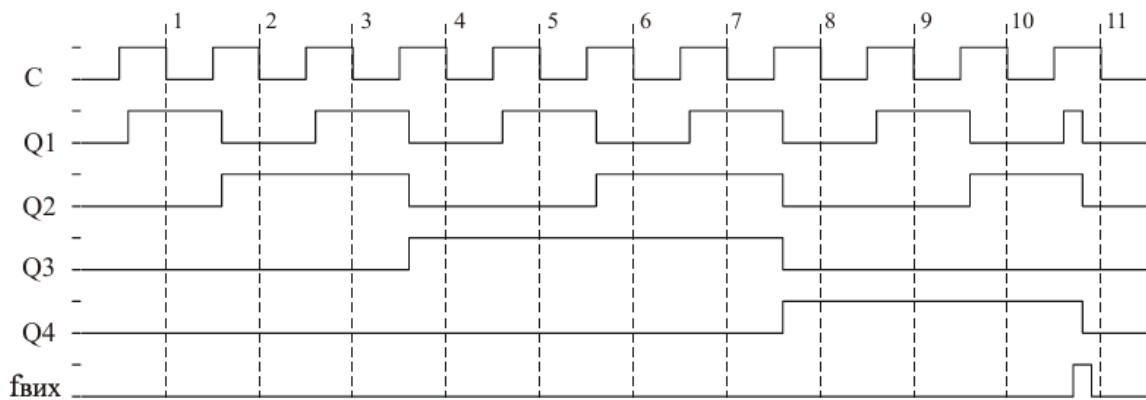


Рис. 14.8. Часова діаграма роботи лічильника
з коефіцієнтом ділення $K = 11$

Синтез лічильників із довільним модулем

Лічильники з довільним модулем рахунку мають значення M , що відрізняється від цілого степеня числа 2. Прикладами таких лічильників можуть служити пристрої з $M = 10$; $M = 12$; $M = 24$; $M = 60$ і т. д. На практиці доводиться мати справу з лічильниками, призначеними для ділення частоти вхідних послідовностей імпульсів у сотні, тисячі і десятки тисяч разів, і не завжди коефіцієнт ділення може бути кратним 2^m (m – ціле число).

На рис. 14.9 наведена схема лічильника, у якому попереднє завантаження початкового стану забезпечено через асинхронні S -входи T -тригерів за допомогою логіки DD1...DD4 і керуючого входу PE (паралельного завантаження). Через входи D_1 , D_2 , D_4 , D_8 у лічильник може бути записаний будь-який двійковий код у діапазоні 0000 – 1111, значення якого буде зафіксоване на виходах Q_1 , Q_2 , Q_4 , Q_8 . Запис коду забезпечений до початку подавання вхідної послідовності імпульсів на C -вхід. Тому з моменту подавання вхідних імпульсів лічильник рахуватиме, починаючи не з нуля, а занесеного коду.

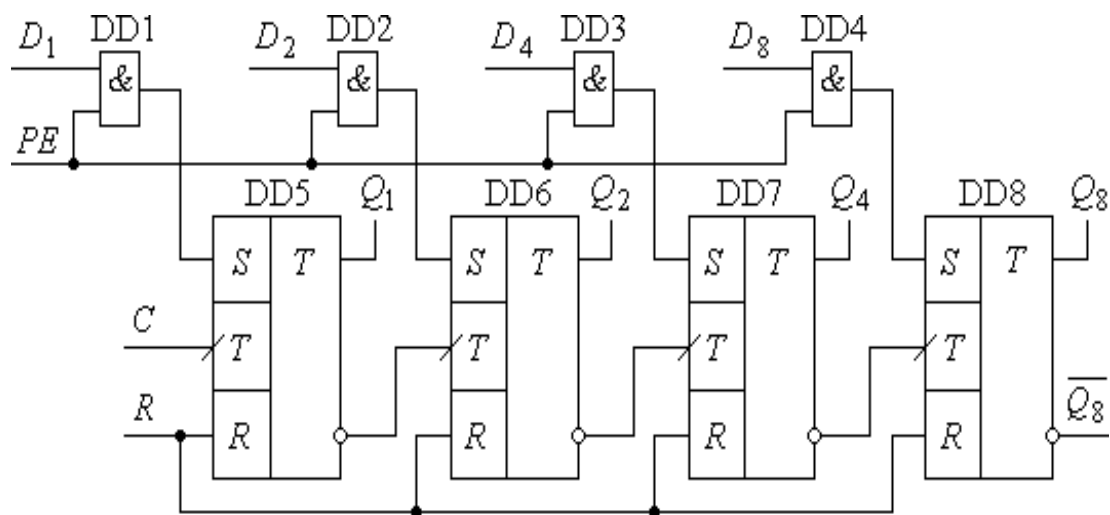


Рис. 14.9. Схема лічильника з довільним модулем підрахунку

Кількість імпульсів N , що може бути подана на C -вхід лічильника до переповнення, розраховують за формулою

$$N = M - D,$$

тобто з M станів лічильника виключають D перших станів.

Приклад 1. Синтезувати чотирирозрядний десятковий лічильник на основі JK -тригерів.

Дано послідовність кодів (шістнадцятирічні цифри): 0, 1, 2, 3, 6, 9, C, D, E, F, які необхідно генерувати.

На першому етапі проєктування будують таблицю переходів лічильника, поєднану з таблицею збудження входів тригерів J_i і K_i (табл. 14.1). У колонці «Значення прямих виходів тригерів» для «Час t » записують двійкові еквіваленти шістнадцятирічних кодів. У наступній колонці для «Час $t+1$ » ці ж коди записують зі зміщенням на один рядок вгору. Останній рядок у цій колонці повторює початкову рядок у колонці «Час t ».

Для побудови сигналів збудження JK -тригерів (табл. 14.1) необхідно враховувати умови переходів JK -тригера (табл. 14.2).

Таблиця 14.1

Таблиця переходів *JK*-тригерів лічильника

Значення прямих вихідних тригерів								Сигнали збудження тригерів							
<i>Час t</i>				<i>Час t+1</i>				<i>T4</i>		<i>T3</i>		<i>T2</i>		<i>T1</i>	
Q4	Q3	Q2	Q1	Q4	Q3	Q2	Q1	J4	K4	J3	K3	J2	K2	J1	K1
0	0	0	0	0	0	0	1	0	X	0	X	0	X	1	X
0	0	0	1	0	0	1	0	0	X	0	X	1	X	X	1
0	0	1	0	0	0	1	1	0	X	0	X	X	0	1	X
0	0	1	1	0	1	1	0	0	X	1	X	X	0	X	1
0	1	1	0	1	0	0	1	1	X	X	1	X	1	1	X
1	0	0	1	1	1	0	0	X	0	1	X	0	X	X	1
1	1	0	0	1	1	0	1	X	0	X	0	0	X	1	X
1	1	0	1	1	1	1	0	X	0	X	0	1	X	X	1
1	1	1	0	1	1	1	1	X	0	X	0	X	0	1	X
1	1	1	1	0	0	0	0	X	1	X	1	X	1	X	1

Таблиця 14.2

Матриця переходів *JK*-тригера (умови переходів *JK*-тригера)

<i>Q(t)</i>	<i>Q(t+1)</i>	<i>J</i>	<i>K</i>	Умова переходу
0	0	0	X	скидання зберігання
0	1	1	X	інверсія або установлення
1	0	X	1	інверсія або скидання
1	1	X	0	установлення або зберігання

На наступному етапі необхідно мінімізувати перемикальні функції для всіх входів *J* і *K*, наприклад методом діаграм карт Карно, і подати їх у відповідному базисі І-НЕ або НЕ, І, АБО, ураховуючи наявність логічних елементів, у програмі Multisim або Electronics Workbench.

На рис. 14.10 наведено діаграми карт Карно для всіх входів J і K (порожні клітинки в діаграмах – стани лічильника, що не використовують).

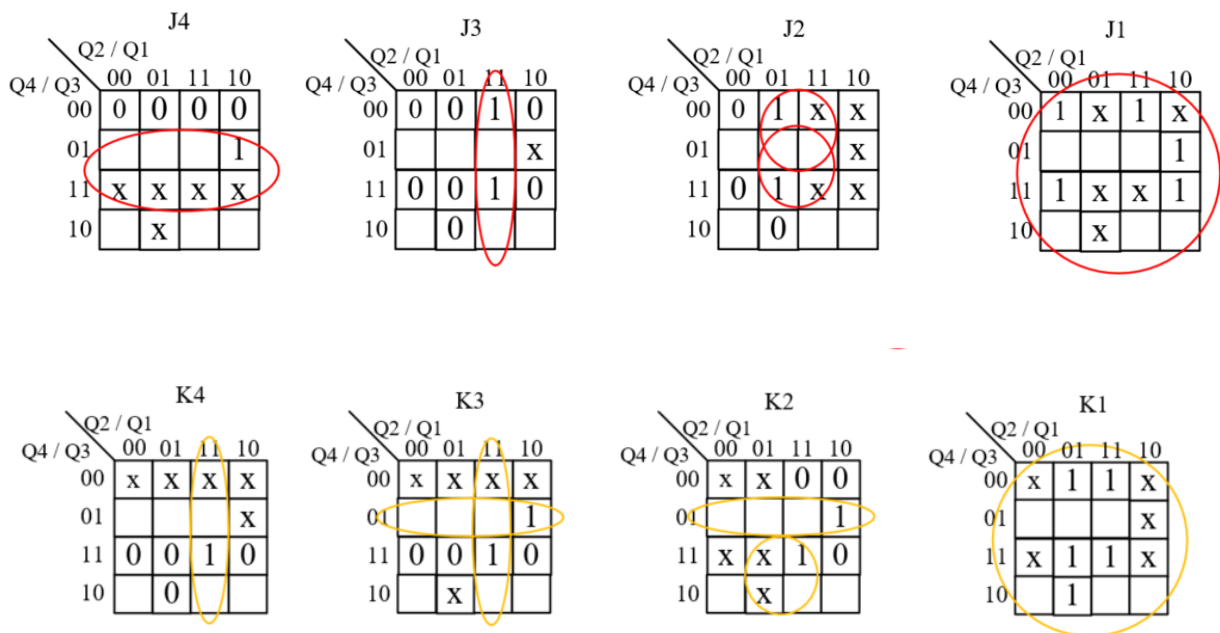


Рис. 14.10. Діаграми карт Карно для всіх входів J і K

Після мінімізації функції J_i , K_i мають такий вигляд:

$$J_4 = Q_3$$

$$K_4 = Q_1 Q_2$$

$$J_3 = Q_1 Q_2$$

$$K_3 = Q_1 Q_2 + Q_3 \bar{Q}_4$$

$$J_2 = Q_1 \bar{Q}_4 + Q_1 Q_3$$

$$K_2 = Q_3 \bar{Q}_4 + Q_1 Q_4$$

$$J_1 = 1$$

$$K_1 = 1$$

На рис. 14.11 наведена схема синхронного лічильника, підготовленого для дослідження в пакеті Multisim.

Логічні функції для керування входами J і K реалізовані на окремих елементах І, АБО. Механічний контакт формує одиночний негативний імпульс тривалістю 0,5 с після ввімкнення живлення і подає цей імпульс на інверсні входи асинхронної установки тригерів у початковий стан.

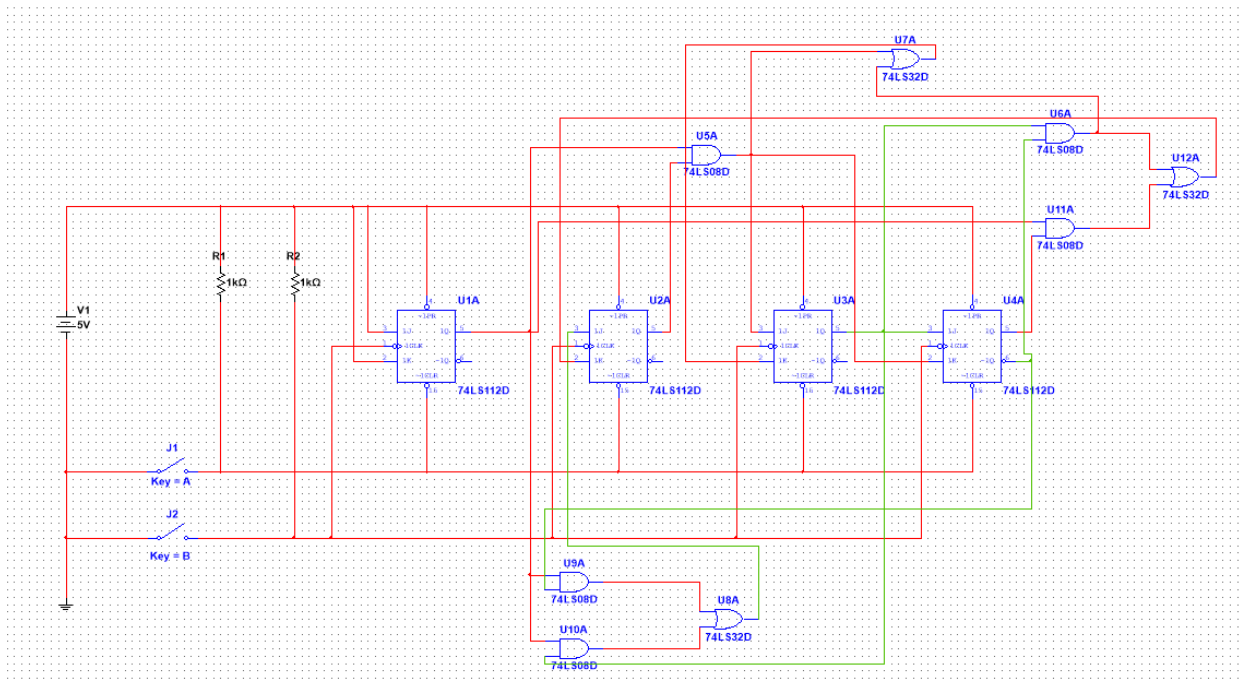


Рис. 14.11. Схема синхронного лічильника

Вхідні лічильні імпульси формує механічний контакт, яким керує клавіша **Пробіл** (*Space*). Для індикації станів тригерів можна використовувати світлодіодні індикатори, а також додатковий семисегментний індикатор із дешифратором.

Приклад 2. Реалізацію лічильника з довільним коефіцієнтом ділення розглянемо на прикладі дільника на $k = 24$:

– визначаємо кількість тригерів:

$$N = \lceil \log_2 (k - 2) \rceil$$

(знак $\lceil \dots \rceil$ – означає найближче більше ціле),

$$N = \lceil \log_2 (24 - 2) \rceil = 5;$$

– переводимо у двійковий код числа « $k - 2$ »:

$$24 - 2 = 22_{10} \Rightarrow 10110_{2};$$

– у підсумовуючому лічильнику з кількістю тригерів N виділяємо ті розряди, яким у двійковому коді числа « $k - 2$ » відповідають одиниці; із виходів цих тригерів подаємо сигнали на елемент Шеффера; вихідний

сигнал цього елемента є інформаційним для додаткового *D*-тригера, сигнал із виходу якого подано на вхід асинхронного скидання всіх тригерів лічильника.

Дільник реалізований на *D*-тригерах типу *K1533TM2* (рис. 14.12).

Над тригерами *T1...T5* наведено двійковий код числа 22 (молодший розряд коду – над першим тригером). Виходи тригерів *T2, T3* і *T5* підключені до входів елемента Шеффера І-НЕ.

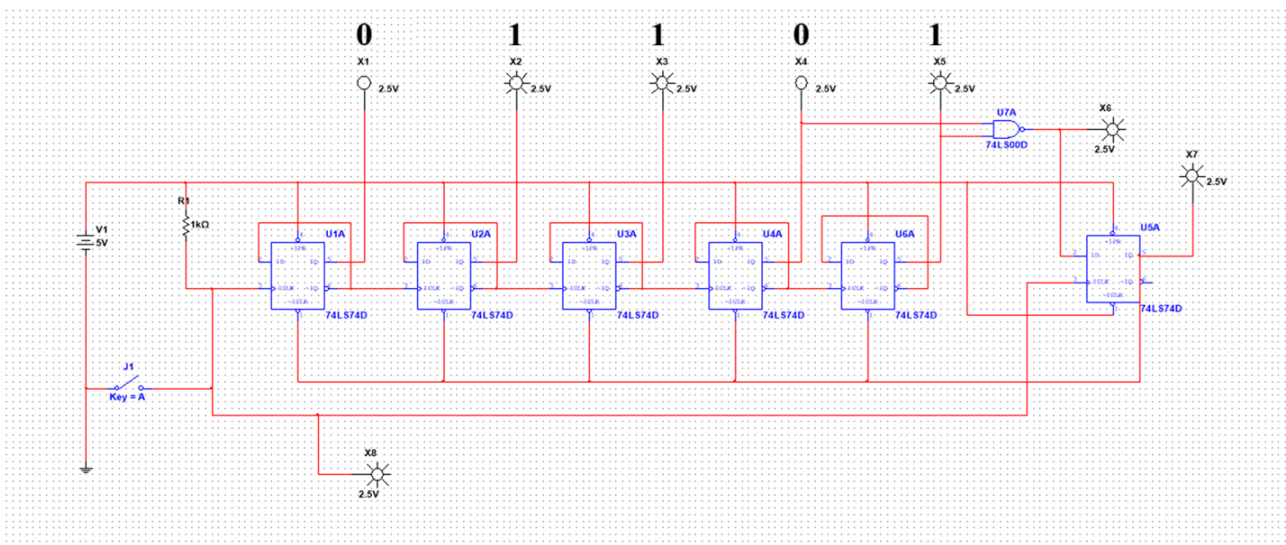


Рис. 14.12. Схема дільника на 24

Коди вихідних логічних сигналів для всіх тригерів і елемента І-НЕ (точка *A*) наведено в табл. 14.3

За всіх станів, крім 22, на виході елемента Шеффера встановлена логічна «1», яка за вихідним фронтом кожного вхідного імпульсу записана в додатковий тригер *T6*. Після надходження імпульсу 22 на виході схеми І-НЕ встановлений логічний «0», але в тригер *T6* логічний «0» буде записаний за заднім (вихідним) фронтом наступного вхідного імпульсу (останній рядок табл. 14.3).

Таблиця 14.3

Кодові комбінації лічильника $k = 24$

Код	T5	T4	T3	T2	T1	A	T6
0	0	0	0	0	0	1	1
1	0	0	0	0	1	1	1
2	0	0	0	1	0	1	1
3	0	0	0	1	1	1	1
4	0	0	1	0	0	1	1
5	0	0	1	0	1	1	1
6	0	0	1	1	0	1	1
7	0	0	1	1	1	1	1
8	0	1	0	0	0	1	1
9	0	1	0	0	1	1	1
10	0	1	0	1	0	1	1
11	0	1	0	1	1	1	1
12	0	1	1	0	0	1	1
13	0	1	1	0	1	1	1
14	0	1	1	1	0	1	1
15	0	1	1	1	1	1	1
16	1	0	0	0	0	1	1
17	1	0	0	0	1	1	1
18	1	0	0	1	0	1	1
19	1	0	0	1	1	1	1
20	1	0	1	0	0	1	1
21	1	0	1	0	1	1	1
22	1	0	1	1	0	0	1
23	0	0	0	0	0	1	0

Після запису в тригер $T6$ «нуля» усі тригери лічильника ($T1..T5$) встановлені в нульовий стан низьким активним сигналом на входах асинхронного скидання R . При цьому на виході елемента Шеффера встановлена «логічна 1», яка переписана в тригер $T6$ після закінчення наступного входного імпульсу, і лічильник переходить у початковий стан (перший рядок у таблиці 14.3).

Отже, лічильник по чергово перебирає всі стани від «00000» до «10110» і має два нульові стани (перший і останній рядок табл. 14.3). Тому для реалізації лічильника необхідно використовувати код « $k - 2$ ».

14.2. Порядок виконання роботи

Під час виконання лабораторної роботи провести такі експерименти в програмі Electronic Workbench.

1. Дослідження підсумовуючого лічильника. Зібрати схему за рис. 14.13. Увімкнути схему. Подаючи на вхід тактові імпульси за допомогою ключа (Space) і спостерігаючи стан виходів лічильника за допомогою логічних пробників та індикатора, заповнити таблицю станів лічильника. Навести часові діаграми.

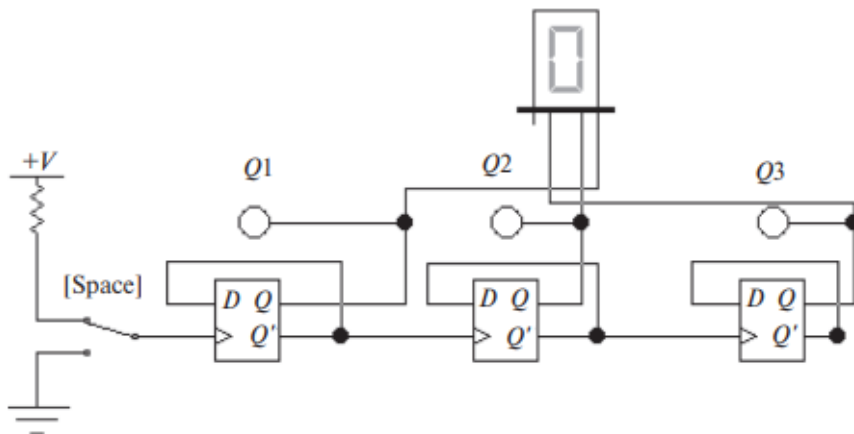


Рис. 14.13. Схема підсумовуючого лічильника

2. Дослідження віднімаючого лічильника. Зібрати схему за рис. 14.14. Генератор тактових імпульсів розташований у каталозі **Sources**, логічний аналізатор – каталозі **Instruments**. Відкрити логічний аналізатор, натисувши правою кнопкою миші на ньому і вибравши вкладку **Open**. Увімкнути схему і накреслити часові діаграми роботи лічильника, що віднімає.

Перемкнути входи логічного аналізатора до інверсних виходів тригерів. Зняти отримані часові діаграми та порівняти їх з отриманими в завданні 1. Зробити висновки.

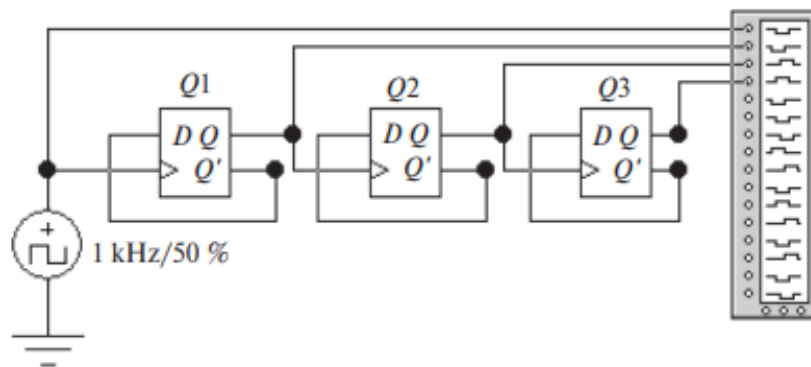


Рис. 14.14. Схема лічильника, що віднімає

3. Дослідження підсумовуючого лічильника із довільним модулем лічби. Зібрати схему за рис. 14.15. Увімкнути схему. Подаючи на вхід схеми тактові імпульси за допомогою ключа *C* і спостерігаючи стан виходів лічильника за допомогою логічних пробників, накреслити часові діаграми роботи лічильника і визначити коефіцієнт лічби.

Змінити структуру комбінаційної частини лічильника відповідно до схеми на рис. 14.16. Подаючи на вхід схеми тактові імпульси за допомогою ключа *C* і спостерігаючи стан виходів лічильника за допомогою логічних пробників, накреслити часові діаграми роботи лічильника.

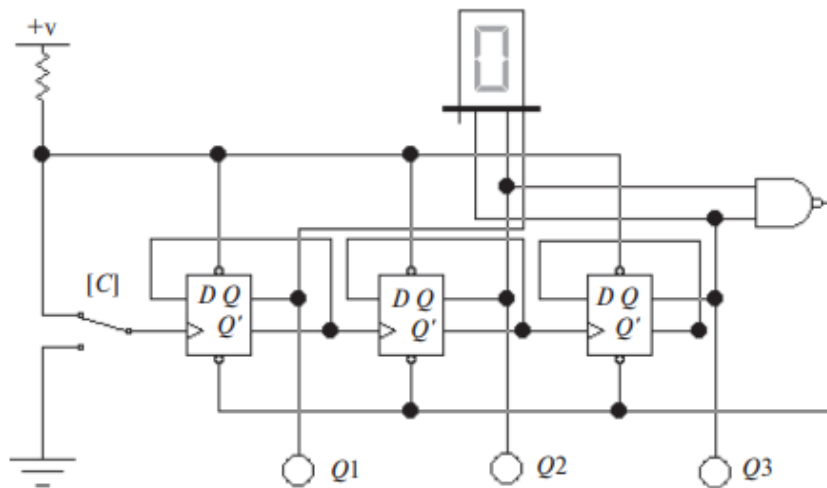


Рис. 14.15. Схема лічильника з модулем підрахунку 6

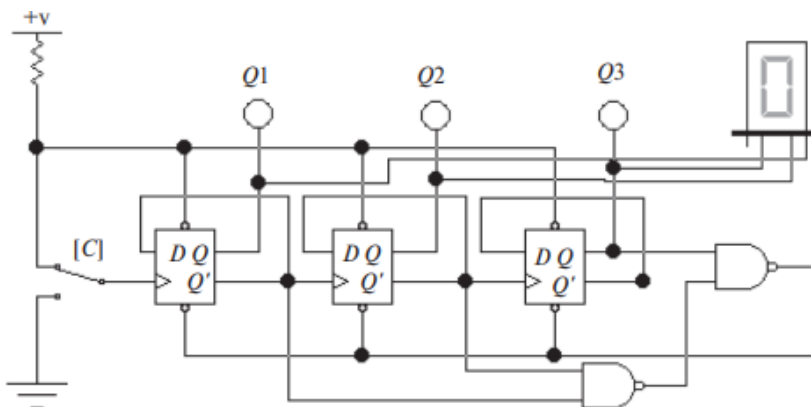


Рис.14.16. Схема лічильника з модулем підрахунку 5

4. Дослідження лічильника в коді « I з N ». Зібрати схему за рис. 14.17. Увімкнути схему. До подавання лічильних імпульсів короткочасним підключенням ключа S до «землі» у молодший розряд лічильника $Q0$ записати логічну 1. Подаючи лічильні імпульси C , зняти і побудувати часові діаграми сигналів на виходах тригерів. Лічильні імпульси подані перемиканням ключа C від «землі» до живлення. Визначити коефіцієнт лічби лічильника.

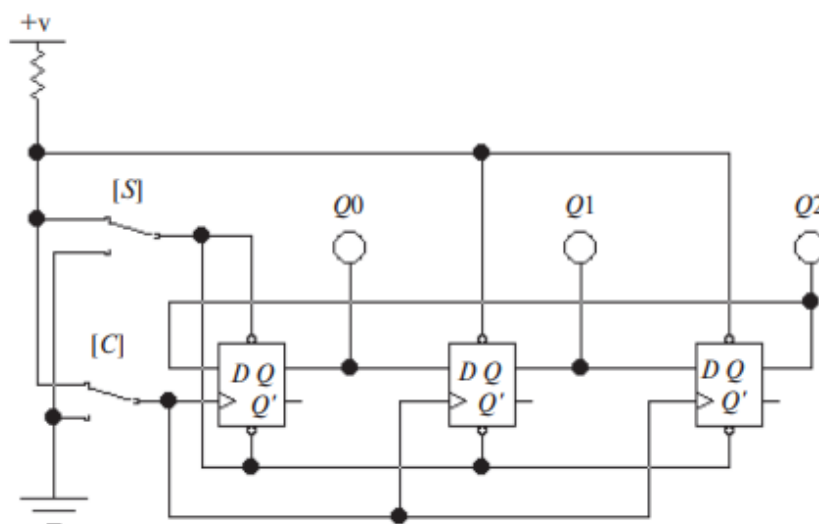


Рис. 14.17. Схема лічильника в коді «1 з N»

Індивідуальні завдання

Завдання 1. Зібрати і змоделювати роботу лічильників за варіантом із табл. 14.4. У таблиці позначено: 14.18 – лічильник із паралельним перенесенням; 14.19 – реверсивний лічильник із паралельним перенесенням і спільним входом додавання-віднімання; 14.20 – реверсивний лічильник із роздільними входами додавання і віднімання. Результати моделювання оформити у вигляді таблиць станів лічильників і часових діаграм.

Таблиця 14.4

Вихідні дані для індивідуального завдання 1

Варіант	Номер рисунка	Кількість розрядів лічильника	Тип тригера
1	2	3	4
В-01	14.18	2	<i>D</i>
В-02	14.19	2	<i>D</i>
В-03	14.20	2	<i>D</i>

1	2	3	4
B-04	14.18	3	D
B-05	14.19	3	D
B-06	14.20	3	D
B-07	14.18	4	D
B-08	14.19	4	D
B-09	14.20	4	D
B-10	14.18	3	JK
B-11	14.19	3	JK
B-12	14.20	2	JK
B-13	14.18	2	JK
B-14	14.19	4	JK
B-15	14.20	4	JK

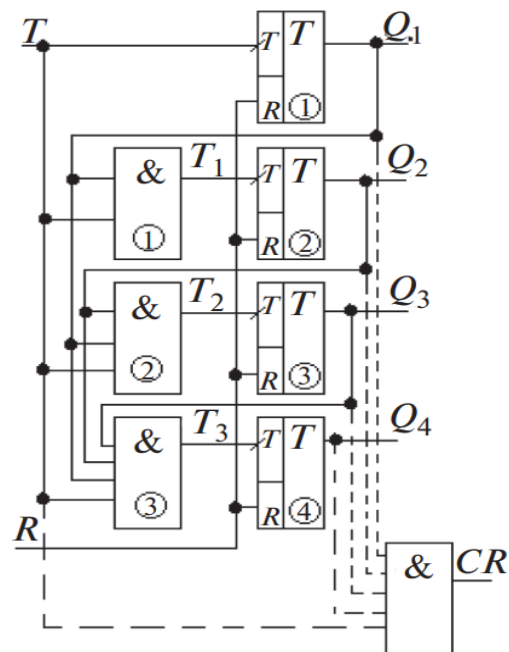


Рис. 14.18. Схема лічильника з паралельним перенесенням

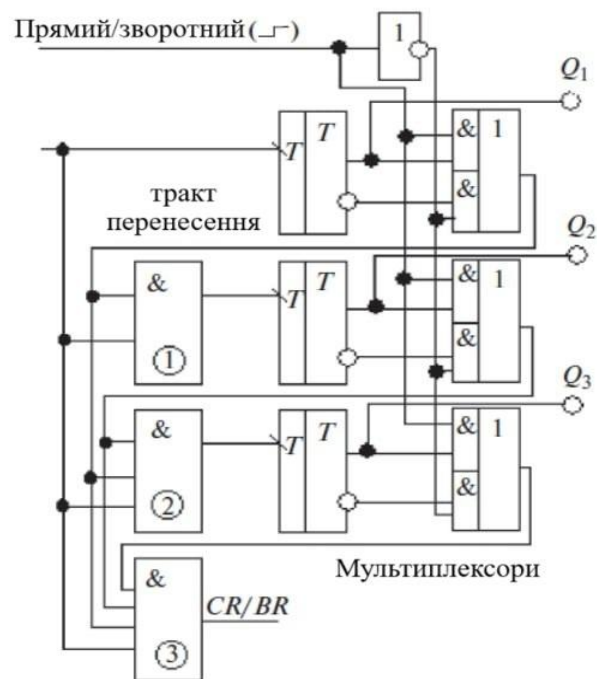


Рис. 14.19. Схема реверсивного лічильник із паралельним перенесенням і спільним входом додавання-віднімання

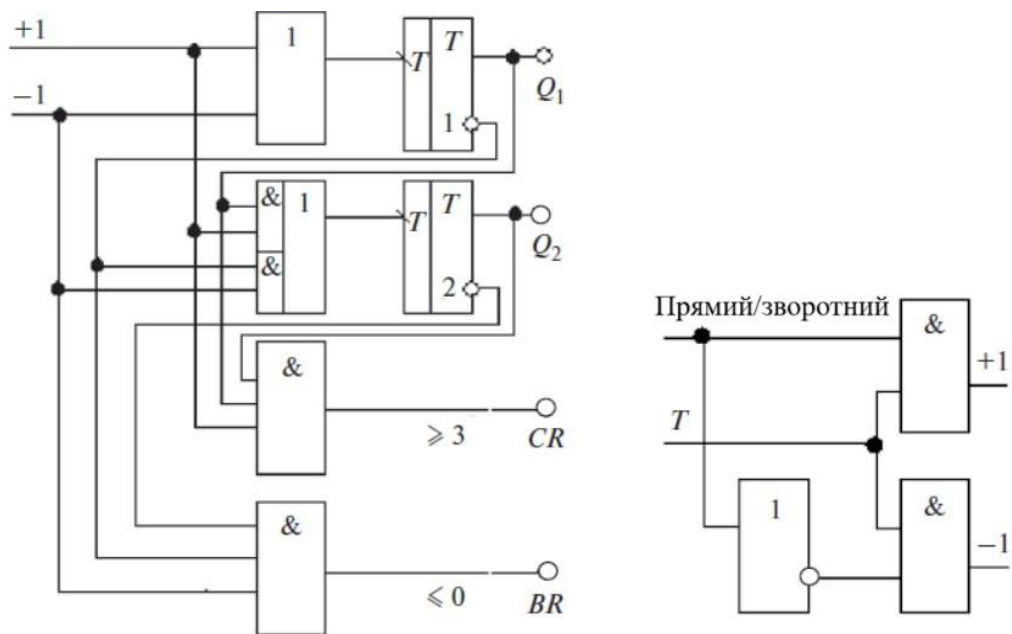


Рис. 14.20. Схема реверсивного лічильника з роздільними входами додавання і віднімання

Завдання 2. За варіантом завдання (табл. 14.5) синтезувати чотирирозрядний синхронний лічильник (аналогічно до прикладу 1).

Таблиця 14.5

Вихідні дані для індивідуального завдання 2

Варіант	Послідовність генерованих кодів (шістнадцятирічні цифри)
B-01	3, 4, 5, 6, 7, 8, 9, A, B, C
B-02	0, 1, 2, 3, 5, A, C, D, E, F
B-03	0, 1, 4, 5, 7, 8, A, C, E, F
B-04	0, 1, 2, 3, 4, 5, 8, 9, A, B
B-05	0, 1, 2, 3, 6, 9, C, D, E, F
B-06	0, 1, 2, 3, 4, 8, 9, A, B, C
B-07	0, 1, 2, 3, 4, 5, 6, 7, C, D
B-08	0, 1, 2, 3, 5, 6, 9, A, C, D
B-09	4, 5, 6, 7, 8, 9, A, B, C, D
B-10	0, 1, 2, 3, 4, 5, 8, 9, B, C
B-11	5, 6, 7, 8, 9, A, B, C, D, E
B-12	0, 1, 2, 3, 4, 7, 9, A, B, C
B-13	4, 5, 6, 7, 8, 9, A, B, E, F
B-14	0, 1, 2, 4, 5, 6, 9, A, C, E
B-15	2, 4, 5, 6, 7, 8, 9, A, D, E

Завдання 3. Розробити схему лічильника з коефіцієнтом ділення, що дорівнює «номер варіанта + 15» (за методикою, описаною в прикладі 2).

Контрольні запитання і завдання

1. Чим визначена максимальна частота надходження вхідних сигналів на лічильник?

2. Як підвищити швидкодію лічильника?
3. Що відбувається після переповнення лічильника?
4. Які закономірності використовують під час побудови підсумовуючих (віднімаючих) лічильників?
5. Які переваги та недоліки лічильників із послідовним і паралельним перенесенням?
6. Як вводять у лічильник задане число (передусстановлення)?
7. Як конструктивно виконують багаторозрядні лічильники?
8. Якими способами можна змінити коефіцієнт підрахунку лічильника?
9. Від чого залежить модуль підрахунку?
10. Кількість десяткових розрядів лічильника дорівнює 3. Скільки тригерів він містить? Яке максимальне число можна записувати в лічильник?
11. Скільки потрібно тригерів для побудови лічильника з коефіцієнтом підрахунку 10? Як працює такий лічильник?
12. Скільки JK-тригерів потрібно використати для побудови лічильника з дійсним порядком підрахунку 16? Чому?
13. Як потрібно увімкнути Т-тригери з прямим і зворотним динамічним керуванням для одержання сумуючого та віднімаючих двійкових лічильників?

Зміст звіту

Звіт із лабораторної роботи має містити тему, мету, комбінаційні схеми, що досліджують, із зазначеними параметрами радіоелементів у відповідності з варіантом; дані, отримані експериментальним шляхом (таблиці, скрини схем і т. п.); висновки з виконаної роботи.

Бібліографічний список

1. Напівпровідникові приймально-підсилювальні пристрої: довідник / Р. М. Терещук та ін. Вид. 4-те, стер. Київ: Наукова думка, 1989. 800 с.
2. Матвієнко М. П. Основи електроніки: підручник. Київ: Ліра-К, 2017. 364 с.
3. Петренко І. А. Основи електротехніки та електроніки: навч. посіб. для дистанц. навч. Ч. 2. Основи електроніки. Київ: Університет «Україна», 2006. 511 с.
4. Болюх В. Ф., Данько В. Г. Основи електроніки та мікропроцесорної техніки: посібник. Київ: Освіта України, 2011. 260 с.
5. Полупроводниковые приборы: справочник / В. И. Галкин и др. Минск: Беларусь, 1994. 345 с.
6. Транзисторы для аппаратуры широкого применения: справочник / К. М. Брежнева и др. Москва: Радио и связь, 1981. 656 с.
7. Курило І. В., Губа С. К. Основи технології напівпровідникових матеріалів: навч. посіб. / М-во освіти і науки, молоді та спорту України, Нац. ун-т «Львів. політехніка». Львів: Вид-во Львів. політехніки, 2012. 240 с.
8. Попик Ю. В. Фізика напівпровідників: підруч. для студ. ВНЗ / М-во освіти і науки України, ДВНЗ «Ужгород. нац. ун-т». Ужгород: ТОВ «ІВА», 2014. 820 с.
9. Васильєва Л. Д., Медведенко Б. І., Якименко Ю. І. Напівпровідникові прилади: підручник. Київ: Кондор, 2008. 556 с.
10. Полупроводниковые приборы. Диоды выпрямительные, стабилитроны, тиристоры: справочник / под ред. А. В. Голомедова. Москва: Радио и связь, 1988. 528 с.

11. Сосков А. Г., Колонтаєвський Ю. П. Промислова електроніка: Теорія і практикум: підручник / за ред. А. Г. Соскова. Київ: Каравела, 2013. 496 с.
12. Побєдаш К. К., Святненко В. А. Інтерфейс програмного комплексу Electronics Workbench: навч. посіб. Київ: НТУУ «КПІ», 2014. 57 с.
13. Цифрова схемотехніка електронних систем: підручник / В. І. Бойко, В. Я. Жуйков, А. А. Зорі та ін. Вид. 3-тє, доп. і перероб. Київ: Вища школа, 2010. 426 с.
14. Рябенський В. М., Жуйков В. Я., Гулий В. Д. Цифрова схемотехніка: навч. посіб. Львів: «Новий світ-2000», 2009. 736 с.
15. Бабич М. П., Жуков І. А. Комп'ютерна схемотехніка: навч. посіб. Київ: «МК-Прес», 2004. 412 с.
16. Петух А. М., Обідник Д. Т., Обідник М. Д. Цифрова схемотехніка: навч. посіб. Вінниця: ВНТУ, 2015. 120 с.
17. Основи технічної електроніки: підручник. У 2 кн. Кн. 2. Схемотехніка / В. І. Бойко, А. М. Гуржій, В. Я. Жуков та ін. Київ: Вища шк., 2007. 510 с.
18. Матвієнко М. П. Комп'ютерна логіка: навч. посіб. Київ: Видавництво Ліра-К, 2012. 288 с.
19. Бойко В. І., Багрій В. В. Цифрова схемотехніка: навч. посіб. Київ: ІЗМН, 2001. 228 с.
20. Щерба А. А., Побєдаш К. К., Святненко В. Електроніка та мікросхемотехніка: навч. посіб. Київ: НТТУ «КПІ», 2013. 360 с. URL: <http://ela.kpi.ua/handle/123456789/3569>.
21. Електротехніка і мікросхемотехніка: підручник. Т. 3. Цифрові пристрої / В. І. Сенько, М. В. Панасенко, Є. В. Сенько та ін. Київ: Каравела, 2008. 400 с.

Лабораторний практикум

Клименко Любов Анатоліївна,

Ковтун Ірина Володимирівна

ЕЛЕКТРОНІКА ТА МІКРОСХЕМОТЕХНІКА

Відповідальний за випуск Клименко Л. А.

Редактор Ібрагімова Н. В.

Підписано до друку 21.05.2025 р.

Умовн. друк. арк. 10,5. Тираж . Замовлення № .

Видавець та виготовлювач Український державний університет
залізничного транспорту,

61050, Харків-50, майдан Фейєрбаха, 7.

Свідоцтво суб'єкта видавничої справи ДК № 6100 від 21.03.2018 р.