

**УКРАЇНСЬКИЙ ДЕРЖАВНИЙ УНІВЕРСИТЕТ
ЗАЛІЗНИЧНОГО ТРАНСПОРТУ**

**ФАКУЛЬТЕТ ІНФОРМАЦІЙНО-КЕРУЮЧИХ СИСТЕМ
ТА ТЕХНОЛОГІЙ**

Кафедра транспортного зв'язку

**МЕТОДИЧНІ ВКАЗІВКИ
до практичних і лабораторних робіт**

**із дисципліни
*«ПРИСТРОЇ ТЕЛЕКОМУНІКАЦІЙНИХ СИСТЕМ»***

**Частина 2
СИНТЕЗ ТА МОДЕЛЮВАННЯ ПОСЛІДОВНІСНИХ СХЕМ**

Харків – 2025

Методичні вказівки розглянуто і рекомендовано до друку на засіданні кафедри транспортного зв'язку 12 лютого 2025 р., протокол № 9.

Методичні вказівки містять опис трьох лабораторних робіт, тематика яких охоплює питання, що розглядають в рамках навчальної дисципліни «Пристрої телекомунікаційних систем».

Методичні вказівки можуть бути використані під час самостійної підготовки, а також при викладенні певних розділів інших дисциплін відповідно до навчальних програм.

Рекомендовано для здобувачів вищої освіти всіх форм здобуття факультету ІКСТ спеціальності G5 «Електроніка, електронні комунікації, приладобудування та радіотехніка», які вивчають дисципліну «Пристрої телекомунікаційних систем».

Укладачі:

доценти І. В. Ковтун,
Н. А. Корольова,
проф. К. А. Трубчанінова

Рецензент

доц. Л. А. Клименко

ЗМІСТ

Порядок роботи в лабораторії	4
Лабораторна робота 1. Дослідження комбінаційних схем з використанням синхронного RS-тригера	7
Лабораторна робота 2. Синтез і дослідження роботи регістрів	20
Лабораторна робота 3. Дослідження лічильників імпульсів	37
Список літератури	56

ПОРЯДОК РОБОТИ В ЛАБОРАТОРІЇ

Підготовка до роботи

При підготовці до роботи слід:

- опрацювати зазначений теоретичний матеріал, що було викладено в рамках лекційного курсу, а також опанувати практичні аспекти розрахунків, які розглядались на відповідних практичних заняттях за темою лабораторної роботи;
- ознайомитися з функціональними можливостями імітаційного середовища *Electronic Workbench*;
- ознайомитися з описом виконуваної роботи та підготувати відповіді на наведені контрольні питання, опанувати розрахунки за переліком зазначених питань та завдань.

Виконання робіт в лабораторії

Лабораторні роботи виконують в аудиторії кафедри транспортного зв'язку на індивідуальних комп'ютерах. При цьому здобувач повинен виконати всі вимоги, викладені вище.

Роботу в лабораторії вважають закінченою тільки після перегляду і затвердження отриманих результатів викладачем.

Після закінчення роботи здобувач зобов'язаний привести робоче місце до ладу.

Техніка безпеки при проведенні робіт

Дотримання правил техніки безпеки є обов'язковою умовою виконання лабораторних робіт. Для забезпечення цієї вимоги кожен

здобувач на вступному занятті повинен ознайомитися з вимогами правил техніки безпеки, про що вказує відмітка у відповідному журналі та отримати допуск до виконання лабораторних робіт у викладача.

Загалом необхідним є обов'язкове виконання всіх правил техніки безпеки та пожежної безпеки, які передбачені державними стандартами та інструкцією по університету.

Особи, які не виконують правила техніки безпеки або допускають їх порушення щодо інших осіб, від роботи відсторонюються і залучаються до відповідальності.

При виконанні лабораторних робіт **забороняється:**

- виконувати роботи без інструктажу з техніки безпеки;
- сидати за комп'ютер, розпочинати і закінчувати роботу без дозволу викладача або лаборантів;
- запускати програми, що непередбачені планом лабораторної роботи;
- знищувати файли без дозволу викладача;
- залишати без нагляду включений комп'ютер;
- змінювати настройки операційної системи;
- користуватись власними носіями інформації без дозволу викладача або лаборантів;
- класти на апаратуру сторонні предмети.

Якщо стався нещасний випадок, то необхідно негайно:

- відключити мережу змінного струму;
- повідомити викладача, або когось із допоміжного персоналу кафедри, хто знаходиться в лабораторії;
- надати першу медичну допомогу потерпілому;
- за необхідності викликати «Швидку допомогу».

Оформлення звіту і захист роботи

Лабораторна робота – невеликий науковий звіт, що узагальнює проведену здобувачем роботу, яку представляють для захисту викладачу. До лабораторних робіт пред'являють низку вимог, основною з яких є повний, вичерпний опис всієї проведеної роботи, що дає змогу судити про отримані результати, міру виконання завдання та професійну підготовку здобувачів.

Звіт з лабораторної роботи друкують або пишуть здобувачі на одній стороні аркуша паперу формату 210x297 мм (A4). Необхідно поля: зліва – 25 мм, справа – 10 мм, зверху – 20 мм, знизу – 15 мм.

Звіт має містити такі пункти:

- 1 Назва та мета лабораторної роботи.
- 2 Теоретичні відомості (основні визначення, формули).
- 3 Індивідуальне завдання (за варіантом) лабораторної роботи.
- 4 Основні етапи розрахунків та результати виконання роботи.

Висновки.

Висновки до роботи є важливою складовою виконання лабораторної роботи. Вони не мають повторювати мету та завдання роботи, а, натомість, мають відображати результати зіставлення та порівняння теоретичних положень з отриманими результатами моделювання.

Залік з роботи здобувач отримує після подання звіту та успішної відповіді на запропоновані викладачем питання, пов'язані з тематикою лабораторної роботи, яку захищає.

Лабораторна робота 1

ДОСЛІДЖЕННЯ КОМБІНАЦІЙНИХ СХЕМ З ВИКОРИСТАННЯМ СИНХРОННОГО *RS*-ТРИГЕРА

Мета роботи – закріпити теоретичні знання і сформувані практичні вміння і навички реалізації комбінаційних схем з використанням *RS*-тригера.

1.1 Методичні вказівки з організації самостійної роботи

Тригер – це базовий цифровий послідовнісний пристрій, який містить один елемент пам'яті та може зберігати одну одиницю інформації (біт). Він має два стабільні стани, перехід між якими здійснюється під впливом вхідних сигналів. Стабільність станів забезпечується зворотними зв'язками. У послідовній схемі кожна змінна, яка потребує зберігання, представлена окремим тригером, а загальний стан схеми визначається станами всіх тригерів. Якщо на виході тригера логічна "1", то він вважається встановленим, а якщо "0" – скинутим. Тригер має кілька входів, сигнали яких, разом із поточним станом, визначають його наступний стан. Тип тригера залежить від функцій його вхідних ліній. Види тригерів включають *RS*, *MS*, *D*, *JK* та *T* [1–3, 6, 7, 9].

Базовим елементом усіх тригерних систем є асинхронний *RS*-тригер. Це найелементарніший автомат із пам'яттю. Він будується на двох елементах АБО - НЕ (рисунок 1.1, а) або І - НЕ (рисунок 1.1, б). У першому випадку матимемо *RS*-тригер із прямими входами, у другому – з інверсними входами.

Для усунення змагань і спотворень вихідного сигналу застосовують синхронні *RS*-тригери. На рисунку 1.2 наведено схему синхронного *RS*-тригера та його умовно-графічне позначення. Синхронізацію здійснюють

увімкненням на вході асинхронного RS -тригера додаткових елементів І - НЕ, на які подають вхідні сигнали R і S та стробуючий сигнал C . Завдяки інвертуванню вхідних сигналів R і S на вхідних елементах І - НЕ сигнали R і S у тригері є прямими.

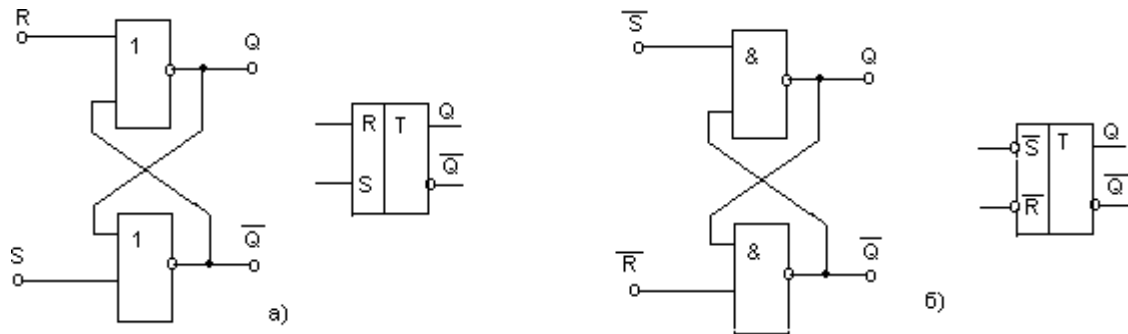


Рисунок 1.1 – Схеми асинхронних RS -тригерів
із прямими входами (а) та з інверсними (б)

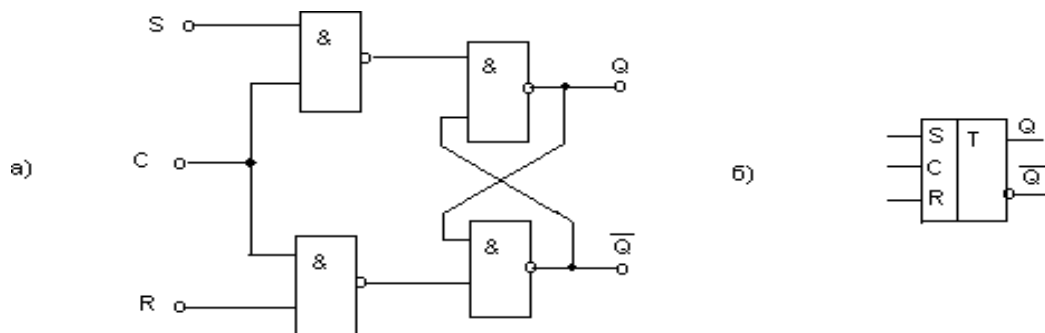


Рисунок 1.2 – Схема синхронного RS -тригера (а)
та його умовно-графічне позначення (б)

Для захисту від завад застосовуються двоступеневі RS -тригери (рисунок 1.3). У ньому під час подавання стробуючого сигналу $C = 1$ нова інформація формується тільки у вхідному (першому) ступені при збереженні старого (попереднього стану) у вихідному (другому ступені). Під час зняття стробуючого сигналу ($C = 0$) відбувається перезапис сигналу з першого ступеня в другий – вихідний ступінь. Отже,

двоступеневий тригер фактично складається з двох послідовно з'єднаних тригерів – ведучого і веденого.

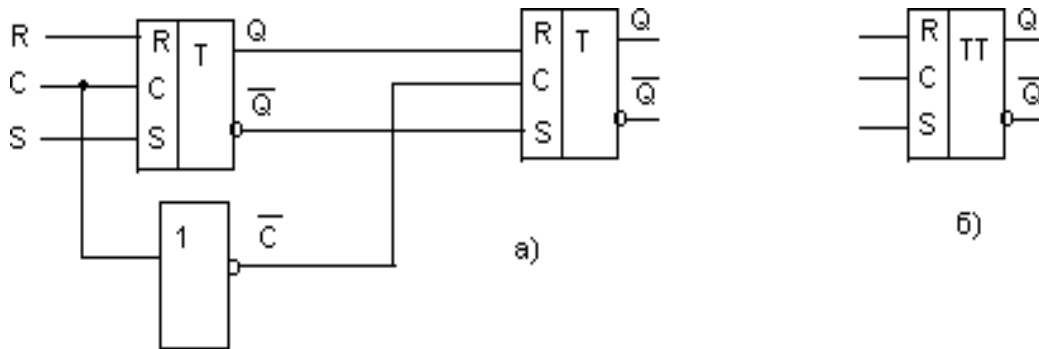


Рисунок 1.3 – Схема двоступеневого *RS*-тригера (а)
та його умовно-графічне позначення (б)

На базі асинхронного *RS*-тригера будується синхронний *D*-тригер (рисунок 1.4). У ньому при стробуючому сигналі $C = 0$ стан тригера залишається незмінним. При $C = 1$ вхідний сигнал *D* передається на вихід тригера *Q*. *D*-тригери використовують у регістрах пам'яті.

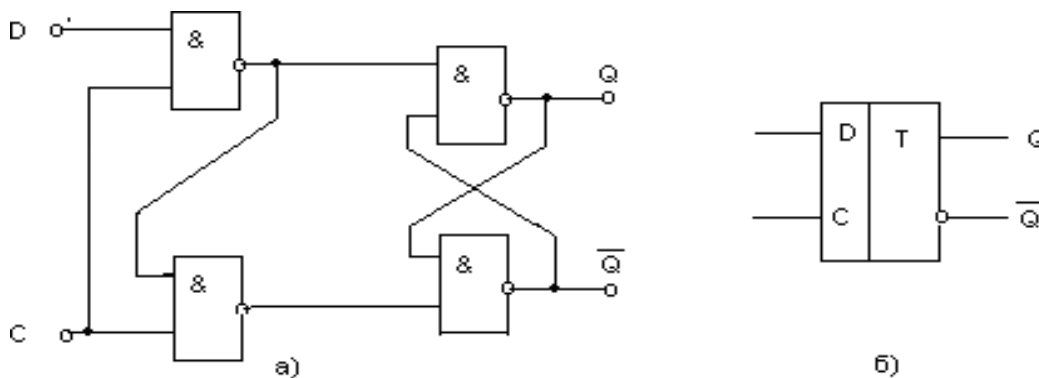


Рисунок 1.4 – Схема синхронного *D*-тригера (а)
та його умовно-графічне позначення (б)

T-тригер називають рахунковим. Він змінює свій стан на протилежний у разі подання на його рахунковий вхід *T* одиничного

сигналу. T -тригери використовують для побудови двійкових лічильників. Він може бути синтезований на двотактовому RS -тригері з ланцюгом зворотного зв'язку (рисунк 1.5).

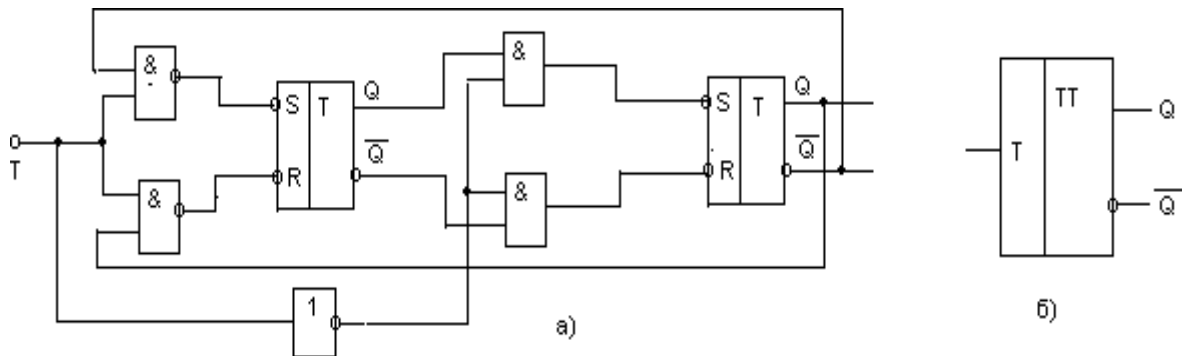


Рисунок 1.5 – Схема T -тригера (а) та його умовно-графічне позначення (б)

На базі двоступеневого RS -тригера можна побудувати JK -тригер, доповнивши його зворотними зв'язками та логічними елементами (рисунк 1.6). На JK -тригері може бути побудований будь-який тип тригера. Тому його називають універсальним [10].

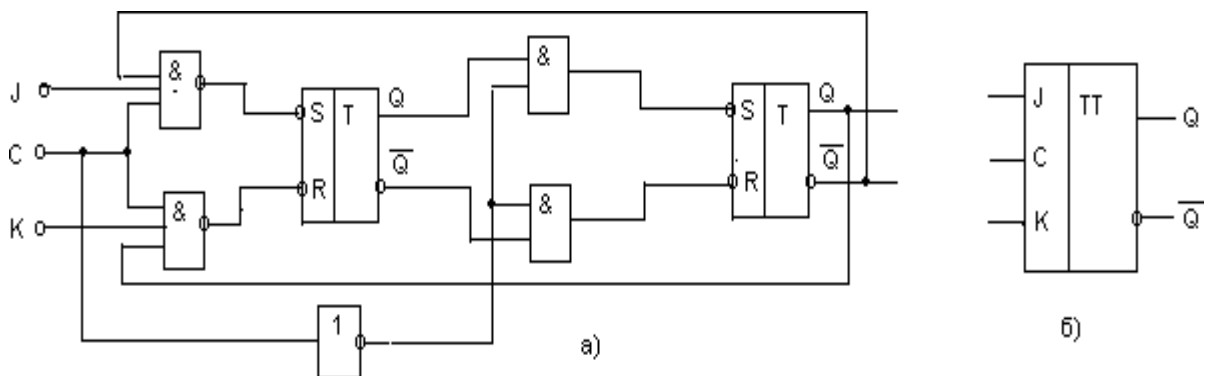


Рисунок 1.6 – Схема універсального JK -тригера (а)
та його умовно-графічне позначення (б)

Можливі взаємні перетворення типів тригерів. Так, наприклад, на JK -тригері можуть бути реалізовані синхронний RS -тригер, D -тригер, синхронний T -тригер, асинхронний T -тригер (рисунок 1.7).

Можливі взаємні перетворення D - і T -тригерів (рисунок 1.8).

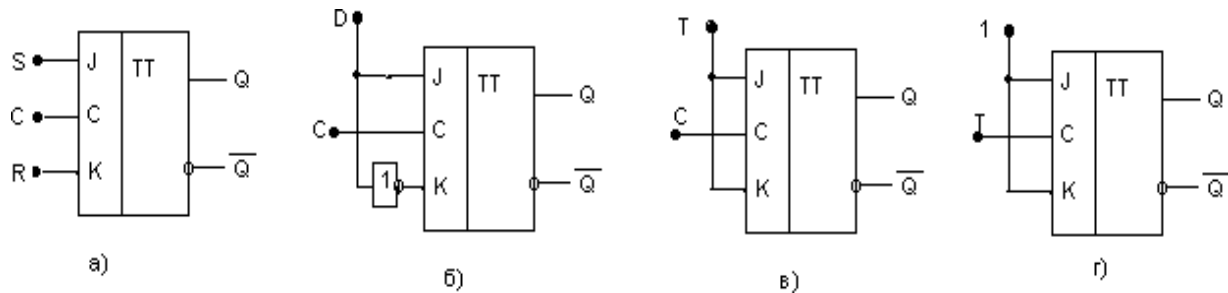


Рисунок 1.7 – Побудова тригерів на основі JK -тригера:

а) асинхронний RS -тригер; б) D -тригер; в) синхронний T -тригер;
 г) асинхронний T -тригер

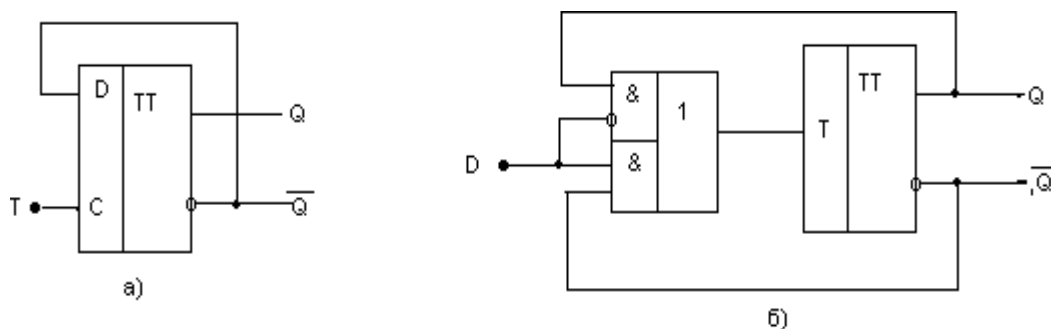


Рисунок 1.8 – Перетворення D -тригера в T (а) і T -тригера в D (б)

1.2 Порядок виконання роботи

- 1 За варіантом виберіть схему з таблиці 1.2.
- 2 Знайдіть теоретично значення вихідних (Y_1), проміжних (Z_1 , Z_2) сигналів і запишіть у таблицю 1.1.
- 3 Побудуйте у середовищі *Electronics Workbench* [2] експериментальну модель схеми із RS -тригером. До входів вибраного за

варіантом тригера підключіть *Генератор слів*. Вхідні і вихідні сигнали тригера подайте на *Логічний аналізатор (Logic Analyzer)*. Приклад наведено на рисунку 1.9.

Таблиця 1.1 – Таблиця результатів

Номер	Вхідні сигнали				Вихідні сигнали схеми		
	X_1	X_2	...	X_k	Z_1	Z_2	Y
1							
....							

4 Логічні сигнали відповідно до варіанта перетворіть у 16-ві числа і запишіть їх у *Генератор слів*.

5 Встановіть потрібні параметри на *Генераторі слів* і *Логічному аналізаторі*, увімкніть експериментальну модель.

6 Наведіть діаграми вхідних і вихідних сигналів у звіті.

7 Перевірте відповідність теоретичного і експериментального розрахунку.

8 Зробіть висновки за результатами виконаного теоретичного розрахунку й моделювання у середовищі *Electronics Workbench*. Оформіть звіт.

1.3 Зміст звіту

Звіт з лабораторної роботи має містити: тему, мету, комбінаційні схеми, що підлягають дослідженню, з вказаними параметрами радіоелементів відповідно до варіанта; дані, які отримано експериментальним шляхом (таблиці, скріни схем і т. п.); висновки з виконаної роботи.

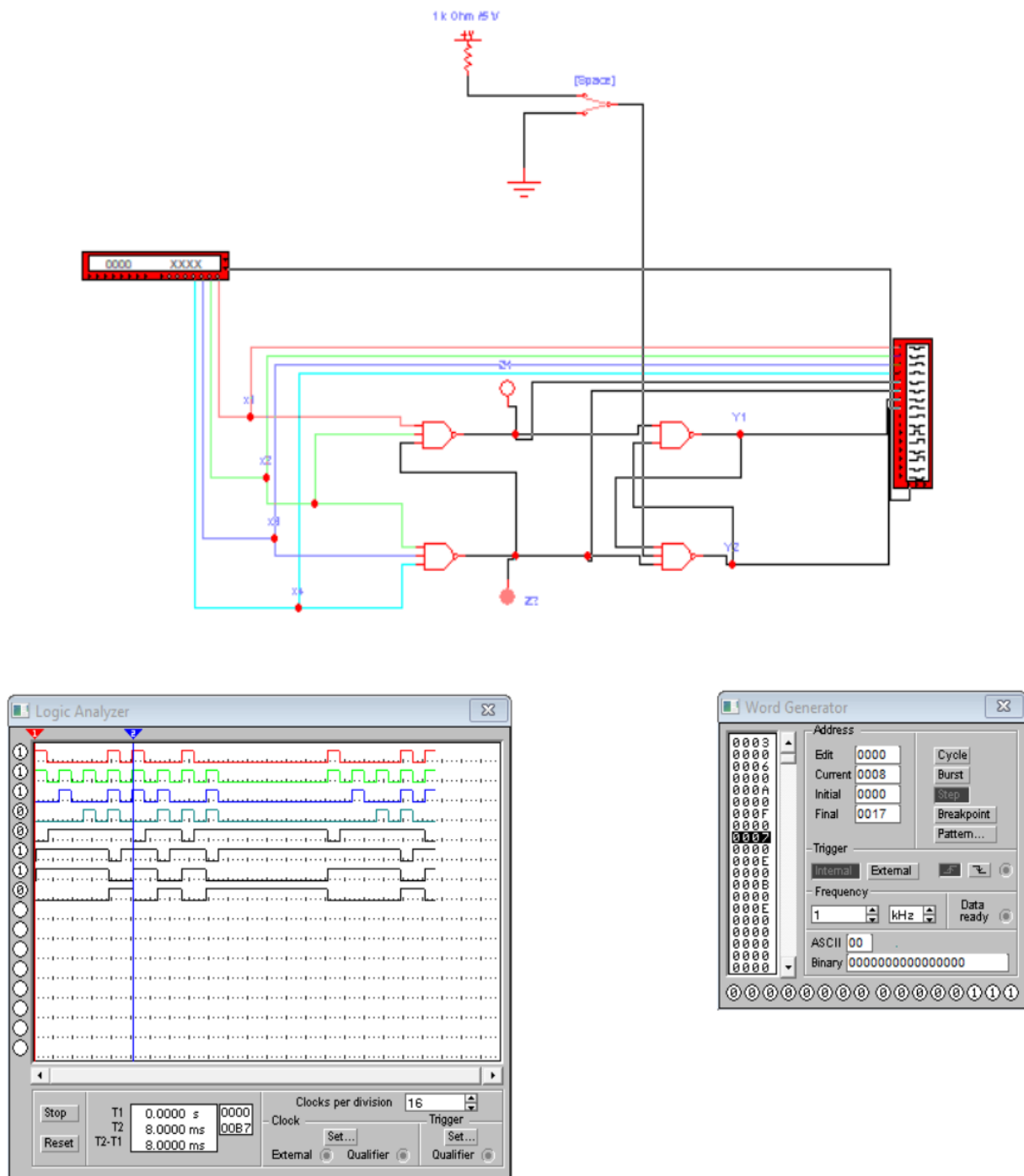
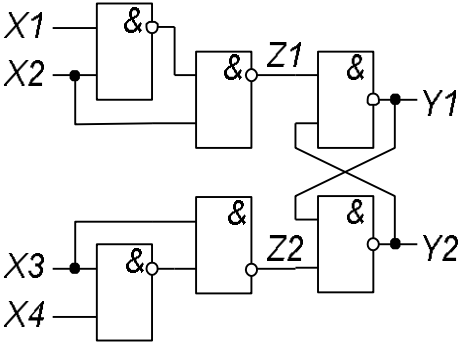
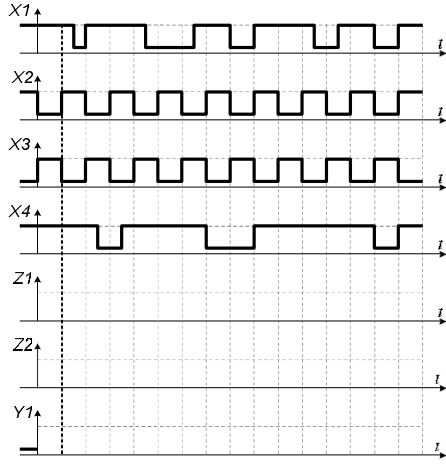
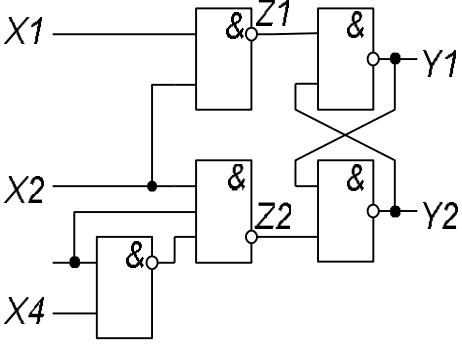
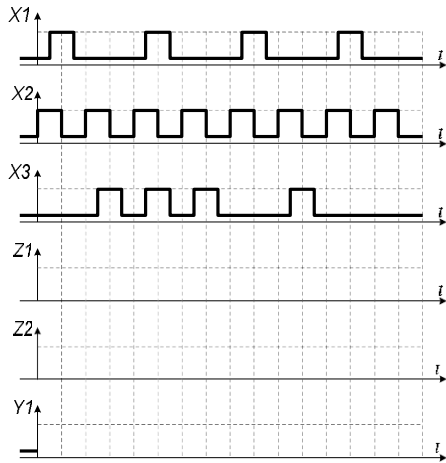
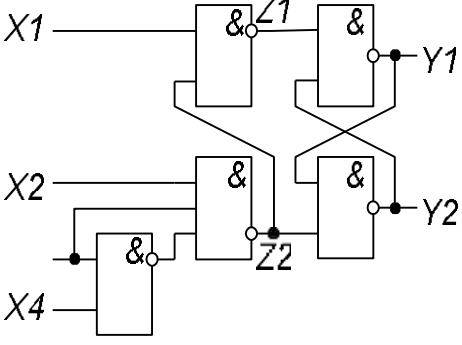
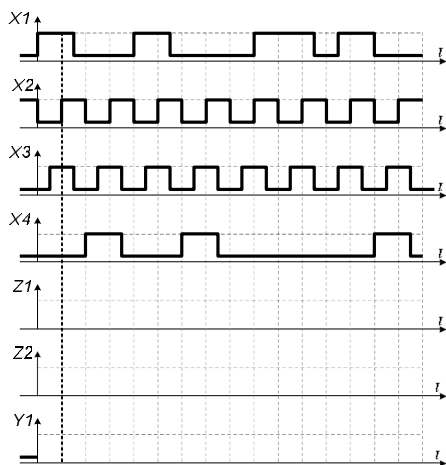


Рисунок 1.9 – Приклад побудови комбінаційної схеми з використанням синхронного RS-тригера в *Electronics Workbench*

Таблиця 1.2 – Вихідні дані для індивідуального завдання

Варіант 1	
	
Варіант 2	
	
Варіант 3	
	

Продовження таблиці 1.2

Варіант 4	
Варіант 5	
Варіант 6	

Продовження таблиці 1.2

Варіант 7	
Варіант 8	
Варіант 9	

Продовження таблиці 1.2

Варіант 10	
Варіант 11	
Варіант 12	

Продовження таблиці 1.2

Варіант 13	
Варіант 14	
Варіант 15	

Контрольні питання і завдання

1 Поясніть, як побудувати JK -тригер, використовуючи T -тригер і, якщо потрібно, допоміжну логіку.

2 На рисунку 1.10 наведено часові діаграми S - і R -сигналів, що діють на RS -тригер, виготовлений з використанням логічних елементів АБО - НЕ. Побудуйте часові діаграми сигналу на прямому виході Q за умови, що у момент часу $t = 0$ стан виходу $Q_n = 0$.

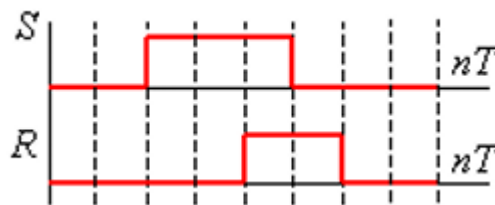


Рисунок 1.10 – Часові діаграми S - і R -сигналів

3 На рисунку 1.11 наведено часові діаграми сигналів, що прикладаються до $\bar{S}$ і $\bar{R}$ входів RS -тригера, виготовленого з використанням ЛЕ І-НЕ. Побудуйте часові діаграми сигналу на прямому виході Q за умови, що у момент часу $t = 0$ стан виходу $Q_n = 0$.

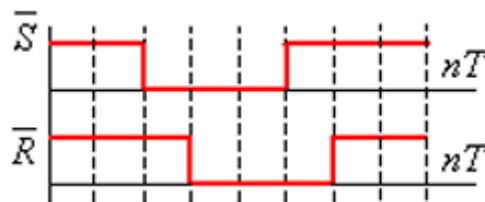


Рисунок 1.11 – Часові діаграми $\bar{S}$ - і $\bar{R}$ -сигналів

Лабораторна робота 2

СИНТЕЗ І ДОСЛІДЖЕННЯ РОБОТИ РЕГІСТРІВ

Мета роботи – вивчення регістрів пам'яті, зсуву, паралельно-послідовних регістрів. Вивчення способів введення і виведення інформації з регістрів. Вивчення особливостей організації регістрів на тригерах різного типу.

2.1 Методичні вказівки з організації самостійної роботи

Регістром називається послідовний цифровий пристрій, що використовують для запису і зберігання n -розрядного двійкового слова. Крім зберігання деякі види регістрів можуть перетворювати інформацію, наприклад, з паралельних в часі (паралельний код) в послідовні (послідовний код) набори значень, і навпаки; з прямого коду в зворотний і навпаки; зсовувати інформацію на один або декілька розрядів у бік молодшого або старшого розрядів [7, 9, 10].

Регістри будують на базі тригерів, число тригерів в схемі регістра відповідає числу розрядів двійкового слова, що підлягає зберігання. Розряди регістра крім тригерів можуть містити і деякі логічні елементи, за допомогою яких забезпечується можливість виконання перерахованих вище перетворень інформації.

Основною класифікаційною ознакою регістрів є спосіб приймання (запису) і видавання (читання) інформації. За цією ознакою розрізняють паралельні, послідовні і паралельно-послідовні регістри.

Паралельний регістр

Найпростішими є паралельні регістри або регістри пам'яті. Вони являють собою набір синхронних D - або JK -тригерів, кожен з яких зберігає один розряд двійкового числа. Введення (запис) і виведення (зчитування)

інформації здійснюється паралельним кодом. Введення забезпечують тактовим імпульсом, з приходом чергового тактового імпульсу записана інформація оновлюється. Зчитування здійснюють у прямому або зворотному коді (в останньому випадку з інверсних виходів). Типова схема чотирирозрядного регістра пам'яті на *D*-тригерах наведена на рисунку 2.1. В якості тригерів можуть використовуватися тригерні інтегральні мікросхеми (ІМС) [11].

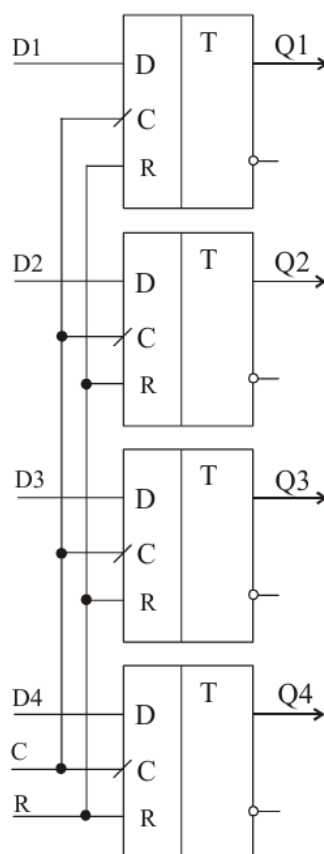


Рисунок 2.1 – Регістр пам'яті: *D1 – D4* – паралельні інформаційні входи; *C* – тактовий вхід; *R* – вхід скидання регістра в “0”;
Q1 – Q4 – виходи регістра

Як елементи регістра тут використані синхронні *D*-тригери. Зі схеми виходить, що окремі розряди регістра пам'яті не обмінюються даними між собою. Загальними для розрядів регістра є ланцюги управління:

синхронізації або дозволу запису (C) і скидання або початкової установки “0”.

Послідовний регістр

Другим найпоширенішим класом регістрів є регістри зсуву. Вони здійснюють операції: зберігання, перетворення послідовного двійкового коду в паралельний і навпаки, виконують функції елементів затримки. Усі ці функції забезпечує операція зсуву інформації в регістрі: з приходом тактового імпульсу відбувається перезапис (зсув) вмісту тригера кожного розряду в сусідній розряд без зміни порядку проходження одиниць і нулів.

За напрямом зсуву записаної в регістр інформації розрізняють регістри прямого зсуву, тобто вправо (у бік молодшого розряду); зворотного зсуву, тобто вліво (у бік старшого розряду); реверсивні регістри, що допускають зсув в обох напрямках [5, 6].

Регістри зсуву можуть бути реалізовані на JK - та D -тригерах (рисунок 2.2 та рисунок 2.3).

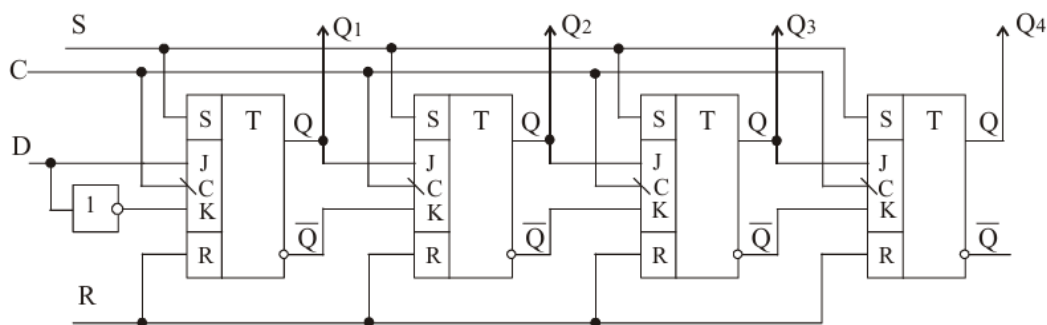


Рисунок 2.2 – Чотирирозрядний регістр зсуву вправо на JK -тригерах: S – вхід встановлення регістра в “1”; C – тактовий вхід; D – інформаційний вхід; R – вхід скидання регістра в “0”; $Q_1 - Q_4$ – паралельні виходи регістра

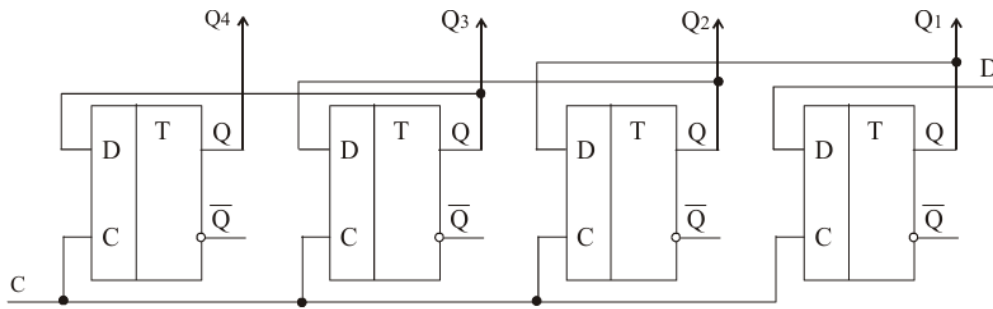


Рисунок 2.3 – Чотирирозрядний регістр зсуву вліво на D -тригерах

Універсальний регістр на JK (RS)-тригерах

Режим роботи регістра (рисунок 2.4) визначається сигналом на вході S/P . Припустимо, що на вході S/P сигнал лог. “1”, на виході інвертора буде лог. “0”, який закрийє логічні елементи $DD5.1 - DD5.4$ і $DD6.1 - DD6.4$ і встановлює на асинхронних входах тригерів S і R лог. “1”, що дозволяє синхронну роботу тригерів. При цьому входи $D1 - D4$ – для паралельного запису інформації, блоковані.

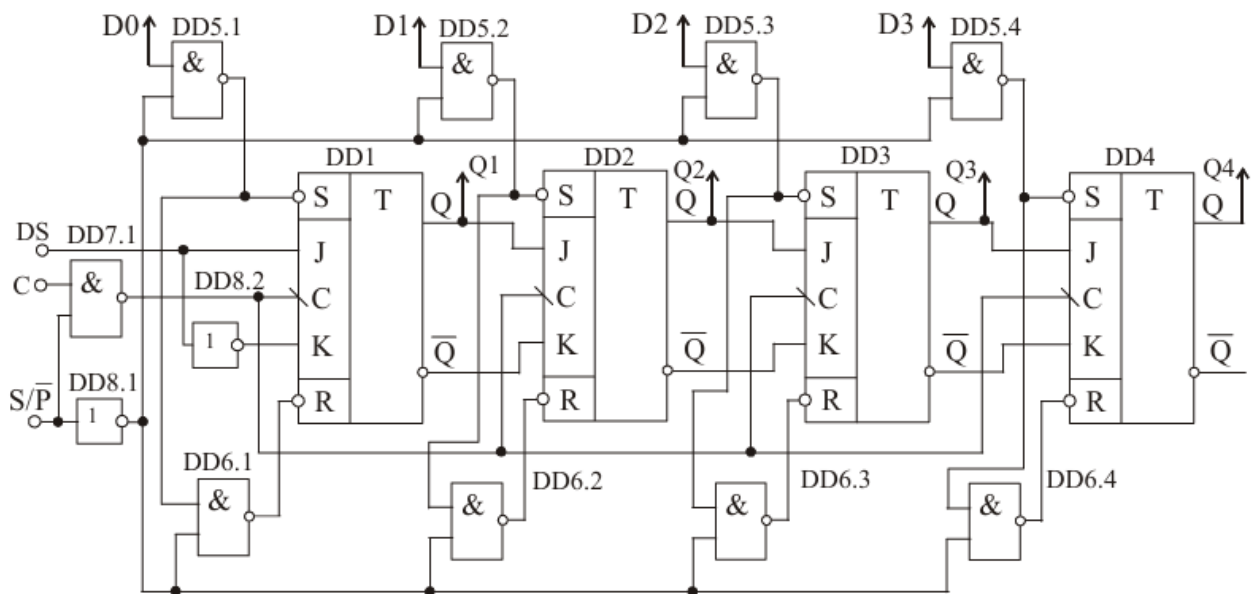


Рисунок 2.4 – Універсальний регістр: S/P – вибір режиму роботи

(послідовний / паралельний); $D0 - D1$ – паралельні інформаційні входи;

DS – послідовний інформаційний вхід; C – тактовий вхід;

$Q1 - Q4$ – паралельні виходи

Тактові імпульси на вході C забезпечують синхронне введення інформації в послідовному коді (з входу DS), а також зсув її вправо. За рахунок інверсії тактових імпульсів елементом $DD7.1$ спрацювання тригерів відбувається по фронту наростання тактових імпульсів [3, 4].

Якщо на вході S/P буде лог. “0”: логічний елемент $DD7.1$ закритий і тактові імпульси не проходять на C входи тригерів. Сигнал на загальних входах елементів $DD5.1 - DD5.4$ і $DD6.1 - DD6.4$ дорівнює лог. “1”, внаслідок чого кожний із цих елементів для сигналів на паралельних входах $D1 - D4$ служить інвертором. Під дією вхідних сигналів паралельного запису виходи відповідних тригерів приймають той же стан $Q_i = D_i$. З появою на вході S/P сигналу лог. “1” інформація, яка введена в паралельному коді, з кожним тактовим імпульсом буде зсуватися на один розряд і видаватись в послідовній формі [9, 10].

Регістри зсуву використовують для реалізації генераторів M -послідовностей (послідовності максимальної довжини, псевдовипадкові послідовності) (рисунок 2.5).

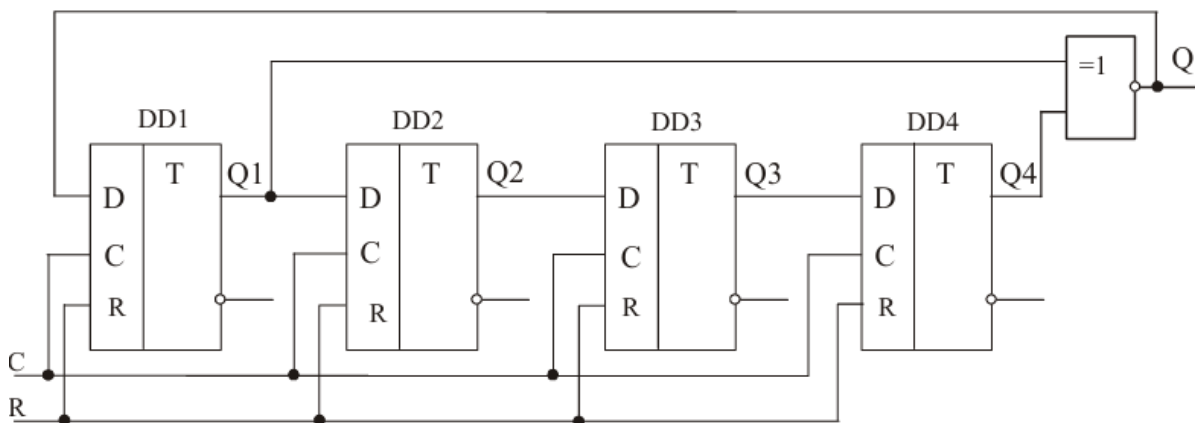


Рисунок 2.5 – Генератор M -послідовності

Якщо символи зчитувати з виходу Q , то отримаємо періодичну послідовність: 000010100110111000010100110..., з періодом $N = 2^4 - 1 = 15$.

В індивідуальному завданні 1 задані номери зворотного зв'язку, якщо $a_i = 1$, то вихід i -го тригера підключений до суматора по $mod\ 2$, якщо $a_i = 0$ то вихід i -го тригера не підключений до суматора по $mod\ 2$.

2.2 Порядок виконання роботи

Під час виконання лабораторної роботи проведіть такі експерименти в програмі *Electronic Workbench*.

1 Використовуючи функціональні можливості моделювальної програми *EWB*, складіть схему-модель для дослідження регістра пам'яті відповідно до рисунку 2.1. У якості індикаторів стану розрядів регістра використовуйте моделі світлодіодних індикаторів з бібліотеки компонентів індикації в програмі *EWB* (рисунок 2.6). Наведіть таблицю функціонування регістру, отриману в процесі проведення досліджень (число, яке необхідно записати та зчитати обирається так: місяць народження $\rightarrow$ перетворити в двійковий чотирирозрядний код, наприклад, травень $\rightarrow 5$ (за рахунком місяць) $\rightarrow 0101$ (кодова комбінація).

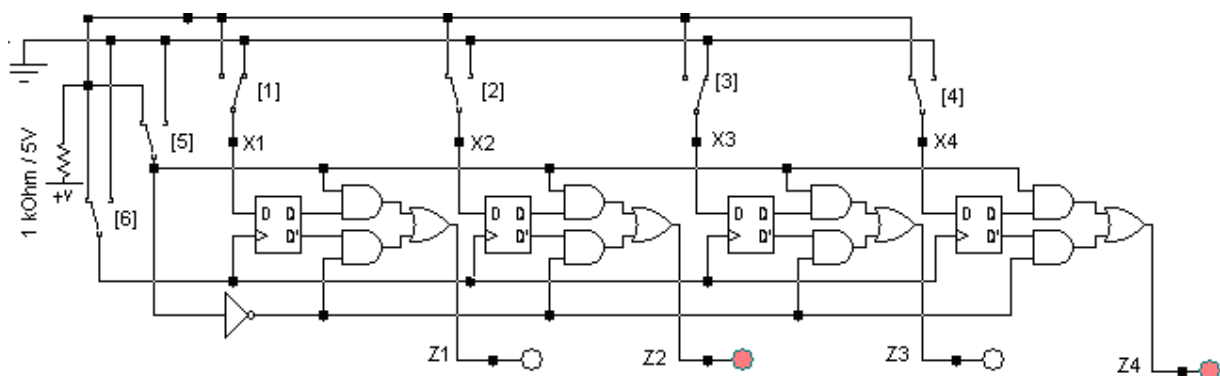


Рисунок 2.6 – Схема-модель регістра пам'яті

2 Із моделей *D*-тригерів, за рисунком 2.2, створіть схему – модель регістра зсуву вправо. Вхідні сигнали формуйте за допомогою джерела

напруги +5V і перемикача. Стан розрядів регістра контролюйте за допомогою моделей світлодіодів (рисунок 2.7). Аналогічно, за рисунком 2.3, отримати схему-модель регістра зсуву вліво. Наведіть таблиці функціонування регістрів, отриманих в процесі проведення досліджень (число, яке необхідно записати та зчитати обирається так: місяць народження → перетворити в двійковий чотирирозрядний код, наприклад, травень → 5 (за рахунком місяць) → 0101 (кодова комбінація).

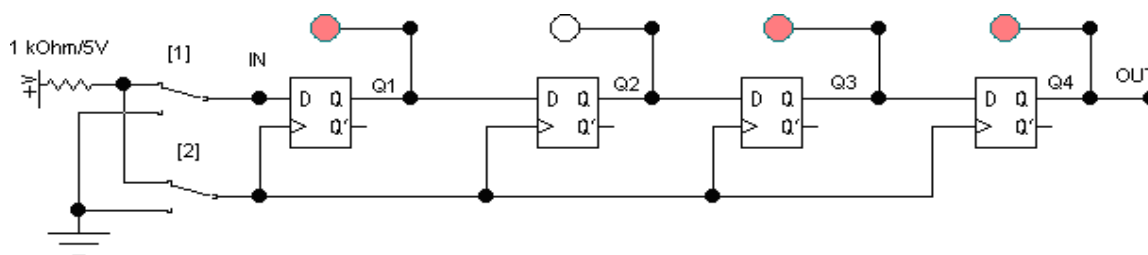


Рисунок 2.7 – Схема-модель регістра зсуву вправо

3 Доповнивши схему-модель регістра зсуву вправо (рисунок 2.6) мультиплексорами (логічні елементи 2 - 2І - АБО) відповідно до схеми рисунку 2.4, отримайте схему-модель реверсивного регістра зсуву (рисунок 2.8). Дослідіть можливості отриманого регістра з перетворення кодових сигналів із послідовних у паралельні та навпаки. Наведіть таблицю функціонування регістру, отриману в процесі проведення досліджень (число, яке необхідно записати та зчитати обирається так: місяць народження → перетворити в двійковий чотирирозрядний код, наприклад, травень → 5 (за рахунком місяць) → 0101 (кодова комбінація).

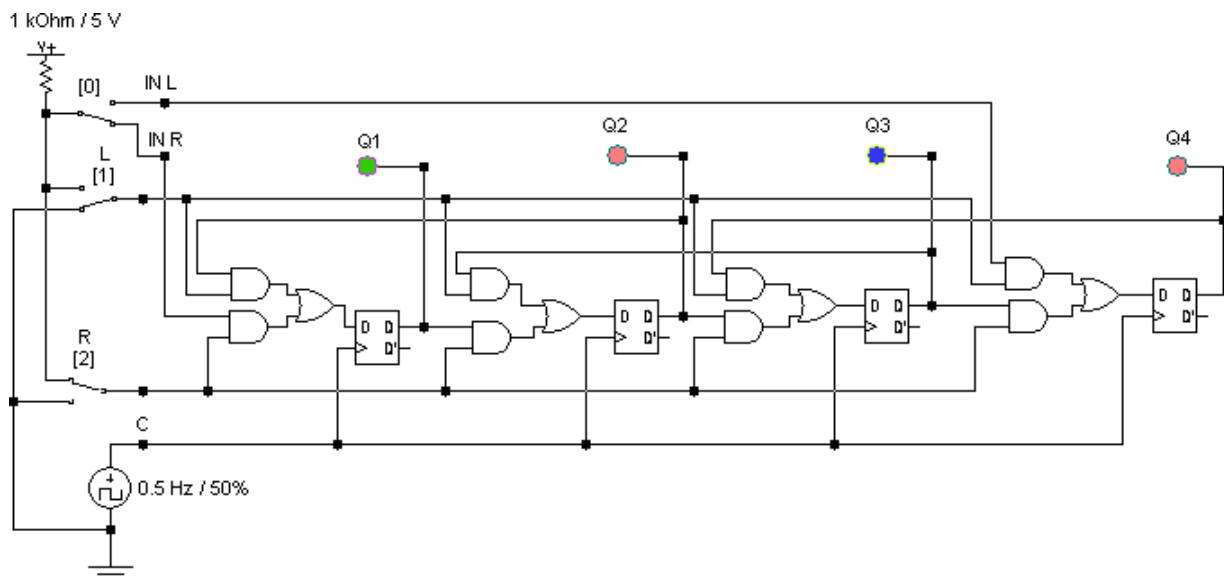


Рисунок 2.8 – Схема-модель реверсивного регістра зсуву

4 Дослідження роботи чотирирозрядного послідовного (зсувного) регістра (рисунок 2.9). Для цього використовуйте налаштування генератора слів, які зазначені на рисунку 2.10.

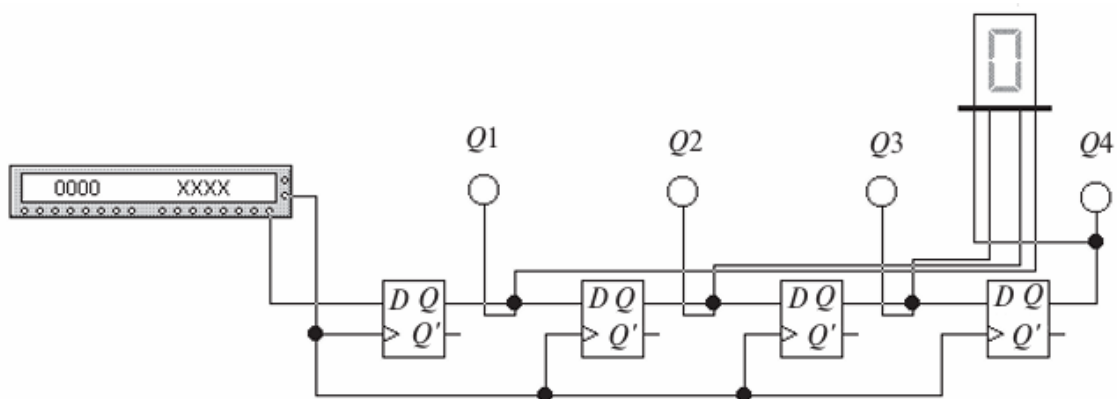


Рисунок 2.9 – Чотирирозрядний послідовний регістр

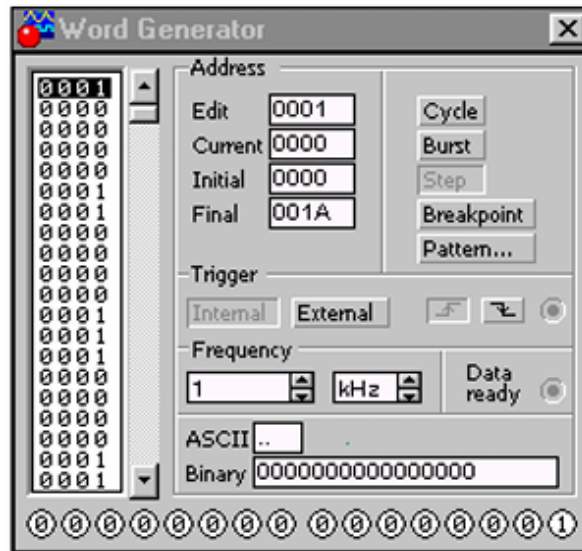


Рисунок 2.10 – Початкові установки генератора слів

Результати досліджень занесіть в таблицю 2.1. Процес запису та виведення числа $1101_2 = D_{16}$ з регістра поясніть часовими діаграмами.

Таблиця 2.1 – Таблиця переходів послідовного регістра

Такт	D	HL	Виходи				Режим
			$Q4$	$Q3$	$Q2$	$Q1$	
1	1						Запис $1000_2 = 8_{16}$
2							
3							
4							
5							Очищення регістра
6	1						Запис $1100_2 = C_{16}$
7	1						
8							
9							
10							Очищення регістра
11							
12	1						Запис $1110_2 = E_{16}$
13	1						
14	1						
15							
16							Очищення регістра
17							
18							
19	1						Запис $1101_2 = D_{16}$
20	1						
21							
22	1						
23							Очищення регістра
24							
25							
26							

2 Моделювання роботи регістра пам'яті 74173. Дослідіть можливі режими роботи регістра – запис інформації, зберігання, високоімпедансний стан. Чотирирозрядний регістр 74173 (вітчизняний аналог – *K155ИР15*) є бібліотечним компонентом *EWB* і слугує прикладом пристрою зберігання з трьома вихідними станами. Схему його включення наведено на рисунку 2.11.

Високий рівень напруги на одному з входів *M* або *N* (або на обох) переводить виходи мікросхеми у високоімпедансний стан, водночас, однак, до регістра можна записувати нову інформацію, скидати або зберігати. Індикатор, під'єднаний до виходів, звичайно, покаже нульове значення (оскільки «відключений» від мікросхеми). Для передавання інформації з регістра на інші пристрої (або зчитування інформації індикатором) необхідна наявність напруги низького рівня на обох входах керування третім станом *M* і *N*.

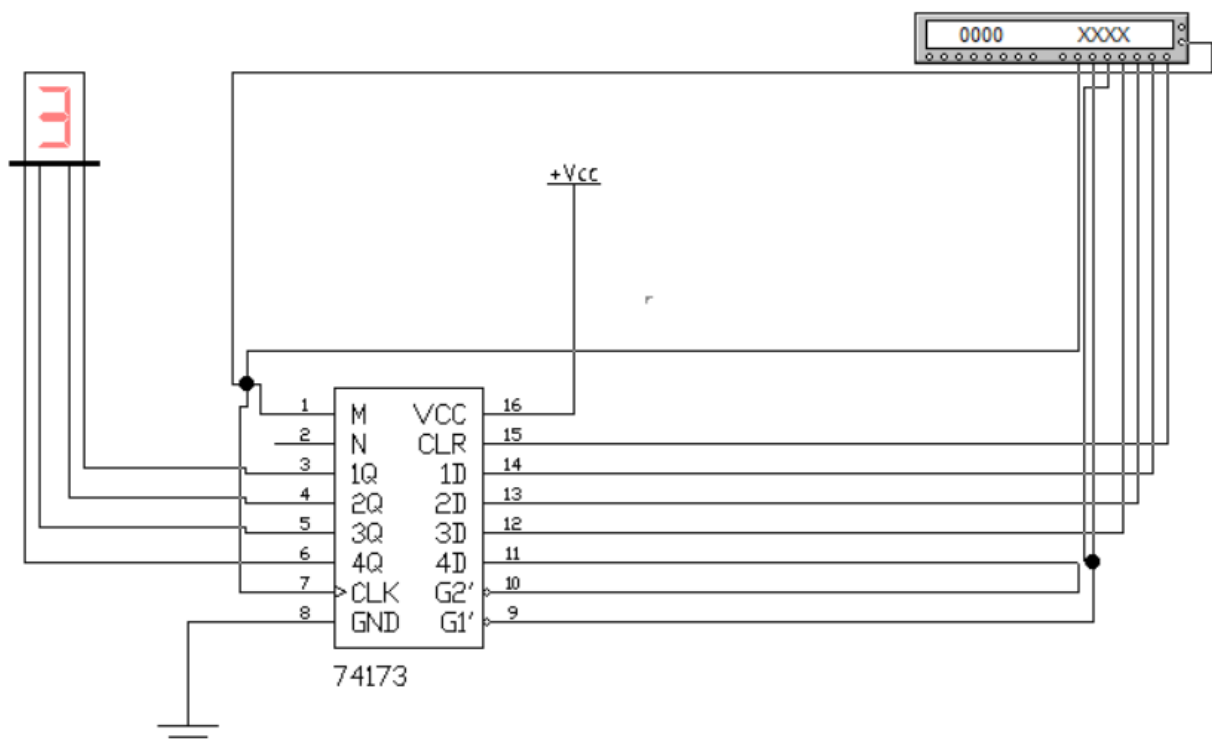


Рисунок 2.11 – Схема включення регістра 74173

Високий рівень напруги на вході скидання *CLR* встановлює усі тригери регістра в стан низького рівня (обнуляє регістр) незалежно від логічного стану на входах *CLK*, *G1*, *G2*, *1D – 4D*.

Запис інформації в регістр із входів *1D – 4D* здійснюється за позитивним перепадом тактового імпульсу *CLK*, якщо на входах *G1* і *G2* присутні напруги активного (низького) рівня. Якщо на одному з цих входів напруга високого рівня, після приходу позитивного тактового перепаду регістр зберігає попередню інформацію.

Регістр *K155IP15* споживає струм 72 мА і має тактову частоту до 25 МГц; закордонний варіант *74LS173* споживає струм 30 мА, його тактова частота 30 МГц.

Зберіть схему за рисунком 2.11. Для цього візьміть в опції  (*Instruments*) генератор слів , в опції  (*Digital Ics*) регістр *74173*, в опції  (*Indicators*) візьміть  та в опції  (*Sources*) візьміть  та .

Для моделювання регістра необхідно задавати деякі комбінації з генератора слів. Натисніть двічі на панель генератора – з'явиться вікно генератора слів (рисунок 2.12). Оскільки виходів на генераторі 16, а використовується всього 7, будемо змінювати комбінації з останніх семи виходів (восьмий вихід, що дорівнює за замовчуванням нулю, не змінюємо).

У генераторі слів установіть дві двійкові комбінації $0001\ 0100_2 = 14_{16}$ і $0000\ 0110_2 = 6_{16}$ для подальшого видавання на регістр. Нагадаємо, що кодові комбінації можна задати з клавіатури декількома способами: на шістнадцятирічному дисплеї генератора (ліворуч на його лицьовій панелі); у двійковому вигляді – у вікні-рядку **Binary**; у символьному вигляді (у вікні-рядку ASCII), якщо відомі ASCII-коди. У кожному випадку

необхідно попередньо активізувати курсор в обраному місці. При цьому номер редагованої комірки відображається у віконці **Edit** блоку **Address**. Віконце **Current** показує номер поточного слова, **Initial** – номер початкового слова, з якого хочуть почати моделювання (встановіть 0000), **Final** – номер кінцевого слова (встановіть значення 0007).

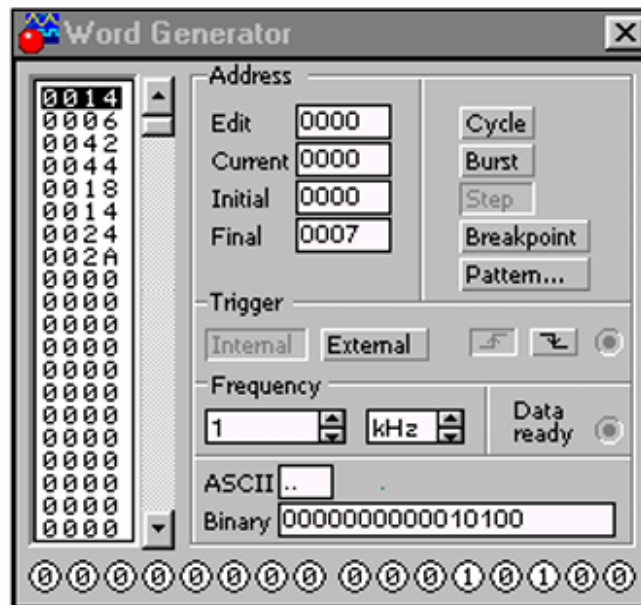


Рисунок 2.12 – Вікно генератора слів

Запис у регістр. Обидві введені комбінації дають змогу провести запис інформації до регістра, оскільки в шостому розряді стоять нулі ($G1 = G2 = 0$ – дозвіл запису), у сьомому розряді стоять нулі ($M = N = 0$ – дозвіл передавання інформації з виходів регістра $1Q - 4Q$ на індикатор). Послідовно видаючи на регістр встановлені слова за допомогою кнопки **Step** на генераторі слів, переконайтеся за шістнадцятирічним індикатором, що вони записуються в регістр. Контроль слів, які видає генератор, можна здійснювати за вихідними затискачами генератора (нижній «рядок» на генераторі слів), або додатково під'єднавши до входів регістра світлодіодні пробники – **Red Probe**. Зафіксуйте процес запису і необхідні для цього

умови (стани M , N , $G1$, $G2$, CLR) у вигляді таблиці. Першій двійковій комбінації відповідають показання шістнадцятирічного індикатора – A , другій – відповідний рисунок 2.11.

Високоімпедансний стан виходів регістра. Подамо на входи M і N високий рівень напруги (логічна 1 у сьомому розряді двійкової комбінації). Для цього введемо в третій і четвертий рядки генератора слів (зліва) такі комбінації $0100\ 0010_2 = 42_{16}$ і $0100\ 0100_2 = 44_{16}$. Переконайтеся, що під час видачі з генератора кнопкою **Step** цих комбінацій шістнадцятирічний індикатор показує 0, тобто він відключений від регістра.

Знову подайте дві будь-які комбінації, але так, щоб $M = N = 0$, $G1 = G2 = 0$ (наприклад, $0001\ 1000_2 = 18_{16}$ і $0001\ 0100_2 = 14_{16}$). На індикаторі знову з'являться їхні шістнадцяткові значення (C і A відповідно), оскільки тепер дозволено запис і вимкнено високоімпедансний стан регістра.

Зберігання інформації в регістрі. За всіх попередніх комбінацій на входи $G1$, $G2$ було подано напругу низького (роздільного) рівня, і тому дані записувалися до регістра та відображалися на виходах $1Q$ - $4Q$ за $M = N = 0$ або не відображалися за $M = N = 1$. Тепер встановимо $G1 = G2 = 1$ (у шостому праворуч розряді комбінації з генератора), наприклад, $0010\ 0100_2 = 24_{16}$ і $0010\ 1010_2 = 2A_{16}$. Натискаючи **Step**, бачимо, що старе значення на індикаторі не зникає, а залишається, бо в регістр не відбувається запису нової інформації.

Результати експериментів оформіть у вигляді набору пар рисунків: ліворуч – показання генератора слів, праворуч – відповідний рисунок 2.11.

2.3 Індивідуальні завдання

Завдання 1

Відповідно до варіанта, заданого викладачем з таблиці 2.2, складіть схему генератора M -послідовності. Визначте період M -послідовності.

Таблиця 2.2 – Вихідні дані для індивідуального завдання 1

	Номер варіанта														
Номер зворотного зв'язку $a_n a_{n-1} \dots a_1$	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
	1001	1100	1001	1100	1010	10010	10100	10111	11011	11101	11110	11001	101	110	101

Завдання 2

Наведіть умовно-графічне позначення регістру, який має входи керування і кількість інформації, що зберігається, за варіантом з таблиці 2.3.

Таблиця 2.3 – Вихідні дані для індивідуального завдання 2

Номер варіанта	Паралельний регістр			Послідовний регістр		
	Вхід C	Входи R	Кількість інформації	Вхід C	Входи R	Кількість інформації
1	2	3	4	5	6	7
1	ф	п	5	ф	п	8
2	ф	і	6	с	і	7
3	ф	п	7	ф	-	6
4	ф	і	8	с	п	5
5	с	-	5	ф	і	8
6	с	п	6	с	-	7

Продовження таблиці 2.3

1	2	3	4	5	6	7
7	с	і	7	ф	п	6
8	с	п	8	с	і	5
9	п	і	5	ф	-	8
10	п	-	6	с	п	7
11	п	п	7	ф	і	6
12	п	і	8	с	-	5
13	і	п	5	ф	п	8
14	і	і	6	с	і	7
15	і	-	7	ф	п	6
Примітка – R – вхід скидання; C – вхід синхронізації; “і” – інверсний, “п” – прямий; “-” – відсутній, “ф” – прямий динамічний, “с” – інверсний динамічний						

Наведіть часові діаграми, реалізуйте регістри за допомогою будь-якого типу тригерів. За допомогою *Electronics Workbench* переконайтеся, що отримана схема виконує свої функції. Дослідження краще всього проводити, якщо на входи подавати “1” та “0” за допомогою перемикачів, а з виходу отриманої схеми подати сигнали до логічного аналізатора.

2.4 Зміст звіту

Звіт з лабораторної роботи має містити: тему, мету, комбінаційні схеми, що підлягають дослідженню, з вказаними параметрами радіоелементів відповідно до варіанта; дані, які отримано експериментальним шляхом (таблиці, скріни схем і т. п.); висновки з виконаної роботи.

Контрольні питання і завдання

- 1 Якою має бути мінімальна розрядність регістра для запису чисел, десятковий еквівалент найбільшого з яких рівний 45?
- 2 Скільки розрядів повинен мати регістр зсуву, щоб тризначне двійкове число можна було збільшити у вісім разів?
- 3 Як застосувати універсальний регістр зсуву для перетворення паралельного коду в послідовний? Які режими для цього потрібні?
- 4 Поясніть причину недоцільності вживання T -тригерів для побудови регістрів пам'яті.
- 5 Чому тригери, що синхронізуються рівнем, не можуть бути використані для побудови регістрів зсуву?
- 6 Дайте порівняльну характеристику швидкодії регістру зсуву при переміщенні інформації зліва направо та справа наліво.
- 7 Використовуючи регістри зсуву, розробіть схему пристрою для циклічної генерації послідовності 01110101.
- 8 Вміст регістру зсуву з послідовним входом і послідовним виходом $Q_3Q_2Q_1Q_0 = 0101$. Послідовність 1011 вводиться зліва направо, починаючи зі старшого розряду, за чотири такти. Побудуйте часові діаграми зміни вмісту тригерів регістру.

Лабораторна робота 3

ДОСЛІДЖЕННЯ ЛІЧИЛЬНИКІВ ІМПУЛЬСІВ

Мета роботи – вивчення функціонального призначення і властивостей двійкових лічильників імпульсів, практичне ознайомлення з режимами роботи і застосуванням двійкових лічильників.

3.1 Методичні вказівки з організації самостійної роботи

Лічильники – пристрої, які під дією входних імпульсів переходять із одного стану в інший і при цьому відображають в певному коді число імпульсів, що поступило на вхід.

Лічильник, який складається із m -тригерів, може порахувати в двійковому коді 2^m імпульсів. Число m визначає кількість розрядів двійкового числа, яке може бути записане в лічильник. Якщо лічильник працює на додавання, то кожний входний імпульс збільшує число, записане в лічильник, на одиницю. Якщо лічильник включений на віднімання, то число, що зберігається в лічильнику, з кожним входним імпульсом зменшується на одиницю. Реверсивний лічильник може працювати як на додавання, так і на віднімання [9].

Лічильники характеризуються модулем (коефіцієнтом) підрахунку. Модуль визначає кількість можливих станів лічильника. Після приходу на лічильник M входних сигналів починається новий цикл, який повторює попередній.

За способом кодування внутрішніх станів (за модулем підрахунку) лічильники поділяються на двійкові, двійково-десяткові, із визначеним модулем, із змінним модулем, Джонсона.

За напрямом підрахунку лічильники поділяються на сумуючі, віднімаючі, реверсивні.

За способом організації внутрішніх зв'язків: з послідовним, паралельним або комбінованим переносом.

В лічильниках з послідовним переносом – імпульси, які підлягають підрахунку, поступають на вхід першого тригера, а сигнал переносу передається послідовно від одного розряду до другого (рисунок 3.1, рисунок 3.2). Такі лічильники складаються з асинхронних T -тригерів з прямим або інверсним керуванням або JK - і D -тригерів, включених в режимі T -тригера [6].

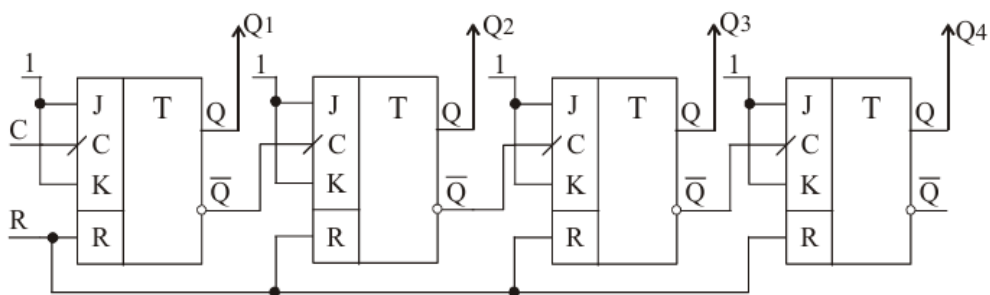


Рисунок 3.1 – Функціональна схема асинхронного лічильника з послідовним переносом

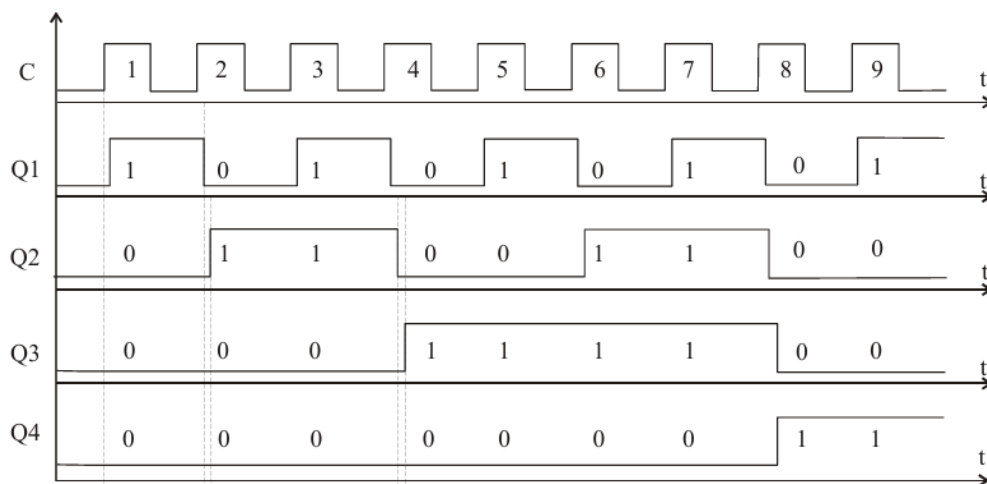


Рисунок 3.2 – Часові діаграми асинхронного лічильника з послідовним переносом

Основна перевага лічильників з послідовним переносом – проста схема.

Недолік – порівняно низька швидкодія, оскільки тригери спрацьовують послідовно один за одним.

Лічильники з паралельним переносом складаються із синхронних *JK*- і *D*-тригерів. Вхідні імпульси поступають одночасно на всі тактові входи, а кожний з тригерів служить по відношенню до наступного тільки джерелом інформаційних сигналів (рисунок 3.3) [7].

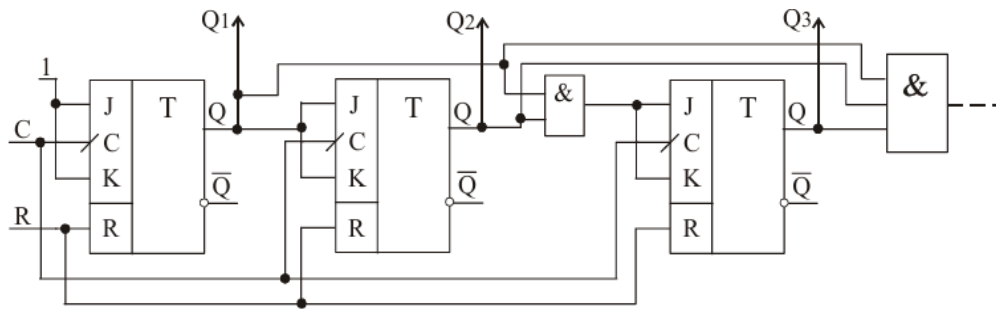


Рисунок 3.3 – Функціональна схема синхронного лічильника
з паралельним переносом

Спрацювання тригерів паралельного лічильника відбувається синхронно і затримка переключення лічильника дорівнює затримці одного тригера (рисунок 3.4).

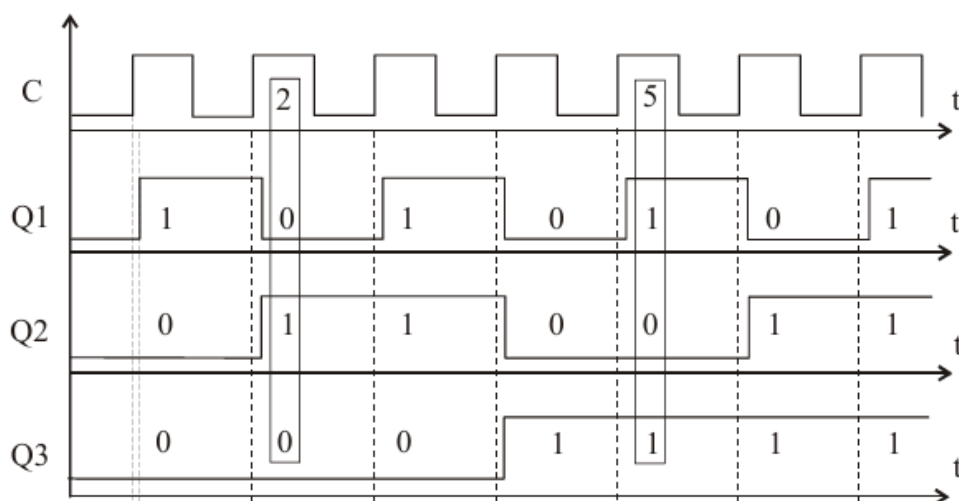


Рисунок 3.4 – Часові діаграми схема синхронного лічильника
з паралельним переносом

В лічильниках з паралельно-послідовним переносом тригери об'єднані в групи так, що окремі групи утворюють лічильник з паралельним переносом, а групи з'єднуються послідовним переносом.

Функціональна схема синхронного лічильника з послідовним переносом наведена на рисунку 3.5.

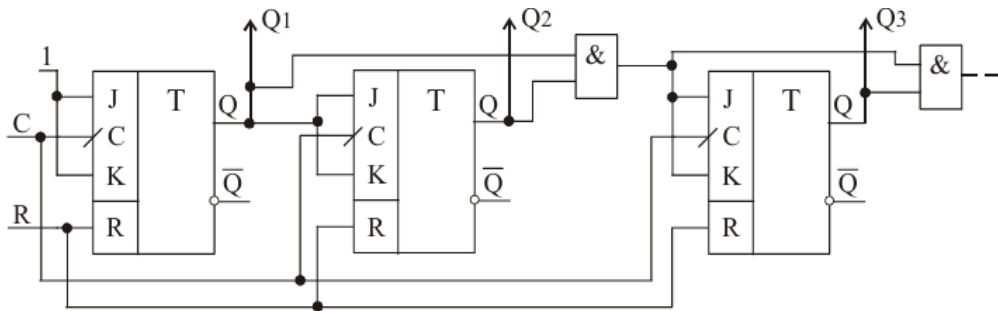
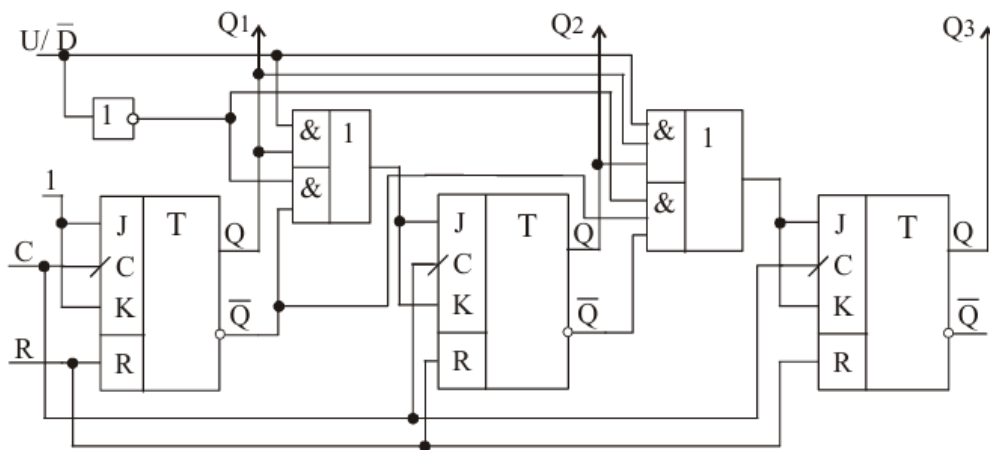


Рисунок 3.5 – Функціональна схема синхронного лічильника з послідовним переносом

Функціональна схема синхронного реверсивного лічильника наведена на рисунку 3.6.



U – вхід вибору режиму роботи *Up/Down* (1 – додавання, 0 – віднімання)

Рисунок 3.6 – Функціональна схема синхронного реверсивного лічильника

Лічильник – дільник (сумуючий, віднімаючий) з послідовним переносом в коді 8421 з коефіцієнтом ділення $K = 2^m$ складається з послідовно з'єднаних m -тригерів з прямим або інверсним керуванням [10].

41

Синтез лічильників із довільним модулем

Лічильники з довільним модулем рахунку мають значення M , що відрізняється від цілого ступеня числа 2. Прикладами таких лічильників можуть служити пристрої з $M = 10$; $M = 12$; $M = 24$; $M = 60$ і т. д. На практиці доводиться мати справу з лічильниками, призначеними для ділення частоти вхідних послідовностей імпульсів у сотні, тисячі і десятки тисяч разів, і далеко не завжди коефіцієнт ділення може бути кратним 2^m (m – ціле число) [8].

На рисунку 3.9 наведена схема лічильника, в якому попереднє завантаження початкового стану забезпечується через асинхронні S -входи T -тригерів за допомогою логіки DD1...DD4 і керуючого входу PE (паралельного завантаження). Через входи D_1 , D_2 , D_4 , D_8 у лічильник може бути записаний будь-який двійковий код у діапазоні 0000 – 1111, значення якого буде зафіксоване на виходах Q_1 , Q_2 , Q_4 , Q_8 . Запис коду забезпечується до початку подавання вхідної послідовності імпульсів на C -вхід. Тому з моменту подавання вхідних імпульсів лічильник рахуватиме, починаючи не з нуля, а з занесеного коду.

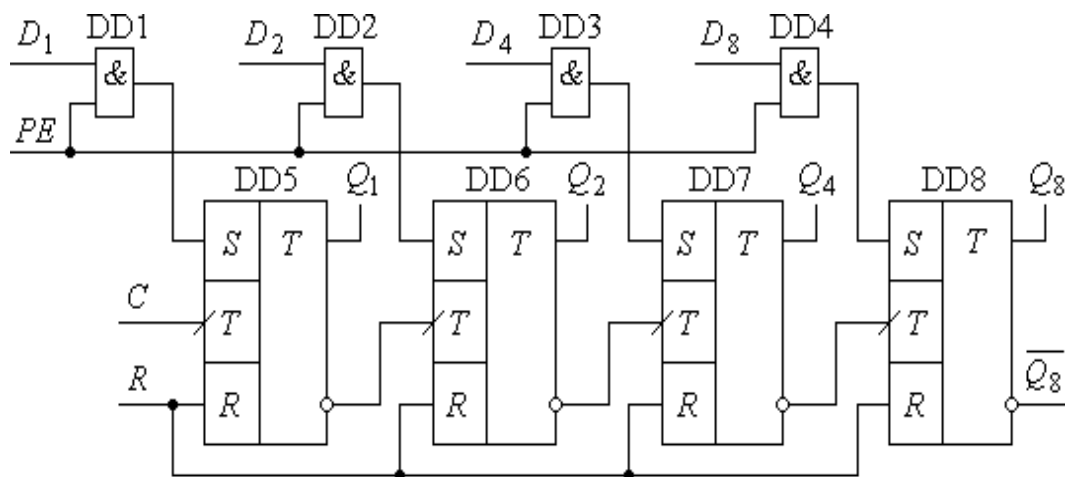


Рисунок 3.9 – Схема лічильника довільним модулем рахунку

Кількість імпульсів N , що може бути подана на C -вхід лічильника до переповнення, обчислюється за формулою

$$N = M - D,$$

тобто з M станів лічильника виключається D перших станів.

Приклад 1. Синтезувати чотирирозрядний десятковий лічильник на основі JK -тригерів.

Послідовність кодів (шістнадцятирічні цифри): $0, 1, 2, 3, 6, 9, C, D, E, F$, які необхідно генерувати.

На першому етапі проектування будують таблицю переходів лічильника, поєднану з таблицею збудження входів тригерів J_i і K_i (таблиця 3.1). У колонці «Значення прямих виходів тригерів» для "Час t " записують двійкові еквіваленти шістнадцятирічних кодів. У наступній колонці для "Час $t+1$ " ці ж коди записують зі зміщенням на один рядок вгору. Останній рядок в цій колонці повторює початковий рядок у колонці "Час t ".

Таблиця 3.1 – Таблиця переходів JK -тригерів лічильника

Значення прямих вихідних тригерів								Сигнали збудження тригерів							
Час t				Час $t+1$				$T4$		$T3$		$T2$		$T1$	
Q4	Q3	Q2	Q1	Q4	Q3	Q2	Q1	J4	K4	J3	K3	J2	K2	J1	K1
0	0	0	0	0	0	0	1	0	X	0	X	0	X	1	X
0	0	0	1	0	0	1	0	0	X	0	X	1	X	X	1
0	0	1	0	0	0	1	1	0	X	0	X	X	0	1	X
0	0	1	1	0	1	1	0	0	X	1	X	X	0	X	1
0	1	1	0	1	0	0	1	1	X	X	1	X	1	1	X
1	0	0	1	1	1	0	0	X	0	1	X	0	X	X	1
1	1	0	0	1	1	0	1	X	0	X	0	0	X	1	X
1	1	0	1	1	1	1	0	X	0	X	0	1	X	X	1
1	1	1	0	1	1	1	1	X	0	X	0	X	0	1	X
1	1	1	1	0	0	0	0	X	1	X	1	X	1	X	1

При побудові сигналів збудження JK -тригерів (таблиця 3.1) необхідно враховувати умови переходів JK -тригера (таблиця 3.2):

Таблиця 3.2 – Матриця переходів JK -тригера (умови переходів JK -тригера)

$Q(t)$	$Q(t+1)$	J	K	Умови переходу
0	0	0	X	скидання зберігання
0	1	1	X	інверсія або встановлення
1	0	X	1	інверсія або скидання
1	1	X	0	установлення або зберігання

На наступному етапі необхідно мінімізувати перемикальні функції для всіх входів J і K , наприклад, методом діаграм карт Карно, і представити їх у відповідному базисі І–НЕ або НЕ, І, АБО, враховуючи наявність логічних елементів у програмі *Multisim* або *Electronics Workbench*.

На рисунку 3.10 наведено діаграми карт Карно для всіх входів J і K (порожні клітини в діаграмах – стани лічильника, що не використовують).

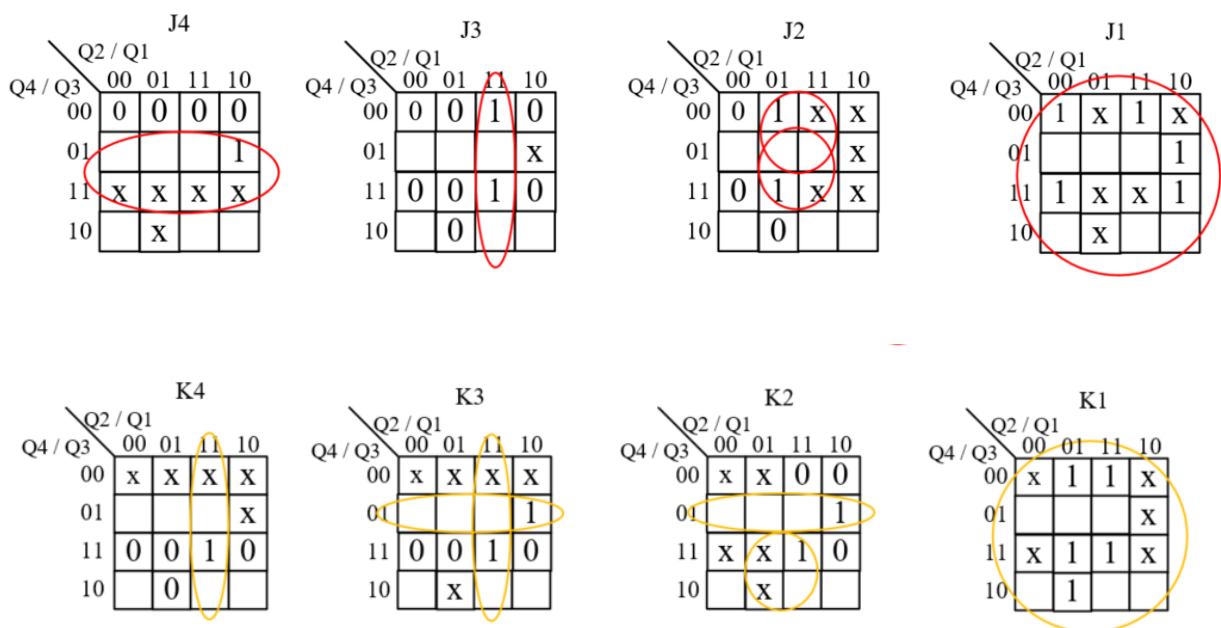


Рисунок 3.10 – Діаграми карт Карно для всіх входів J і K

Після мінімізації функції J_i , K_i мають вигляд

$$J_4 = Q_3$$

$$K_4 = Q_1 Q_2$$

$$J_3 = Q_1 Q_2$$

$$K_3 = Q_1 Q_2 + Q_3 \bar{Q}_4$$

$$J_2 = Q_1 \bar{Q}_4 + Q_1 Q_3$$

$$K_2 = Q_3 \bar{Q}_4 + Q_1 Q_4$$

$$J_1 = 1$$

$$K_1 = 1.$$

На рисунку 3.11 наведена схема синхронного лічильника, підготовленого для дослідження в пакеті *Multisim*.

Логічні функції для керування входами J та K реалізовані на окремих елементах І, АБО. Механічний контакт формує одиночний негативний імпульс тривалістю 0,5 с після включення живлення і подає цей імпульс на інверсні входи асинхронної установки тригерів у початковий стан.

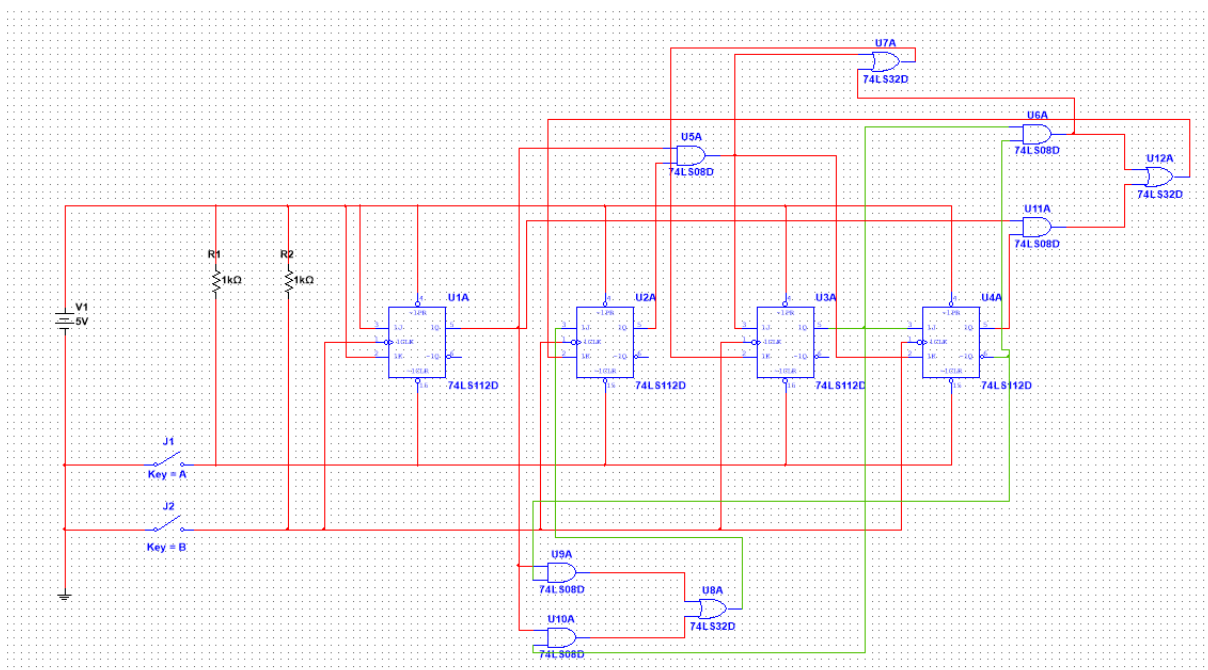


Рисунок 3.11 – Схема синхронного лічильника

Вхідні лічильні імпульси формуються механічним контактом, який управляється клавішею **Пробіл** (*Space*). Для індикації станів тригерів можна використовувати світлодіодні індикатори, а також додатковий семисегментний індикатор з дешифратором.

Приклад 2. Реалізацію лічильника з довільним коефіцієнтом ділення розглянемо на прикладі дільника на $k = 24$:

– визначаємо кількість тригерів:

$$N = \lceil \log_2 (k - 2) \rceil,$$

(знак $\lceil \dots \rceil$ – означає: найближче більше ціле),

$$N = \lceil \log_2 (24 - 2) \rceil = 5;$$

– переводимо в двійковий код числа « $k - 2$ »:

$$24 - 2 = 22_{10} \Rightarrow 10110_{2};$$

– у підсумовуючому лічильнику з кількістю тригерів N виділяємо ті розряди, яким у двійковому коді числа « $k - 2$ » відповідають одиниці; з виходів цих тригерів подаємо сигнали на елемент Шеффера; вихідний сигнал цього елемента є інформаційним для додаткового D -тригера, сигнал з виходу якого подається на вхід асинхронного скидання всіх тригерів лічильника.

Дільник реалізований на D -тригерах типу $K1533TM2$ (рисунок 3.12).

Над тригерами $T1 \dots T5$ наведено двійковий код числа 22 – (молодший розряд коду – над першим тригером). Виходи тригерів $T2, T3$ і $T5$ підключені до входів елемента Шеффера І–НЕ.

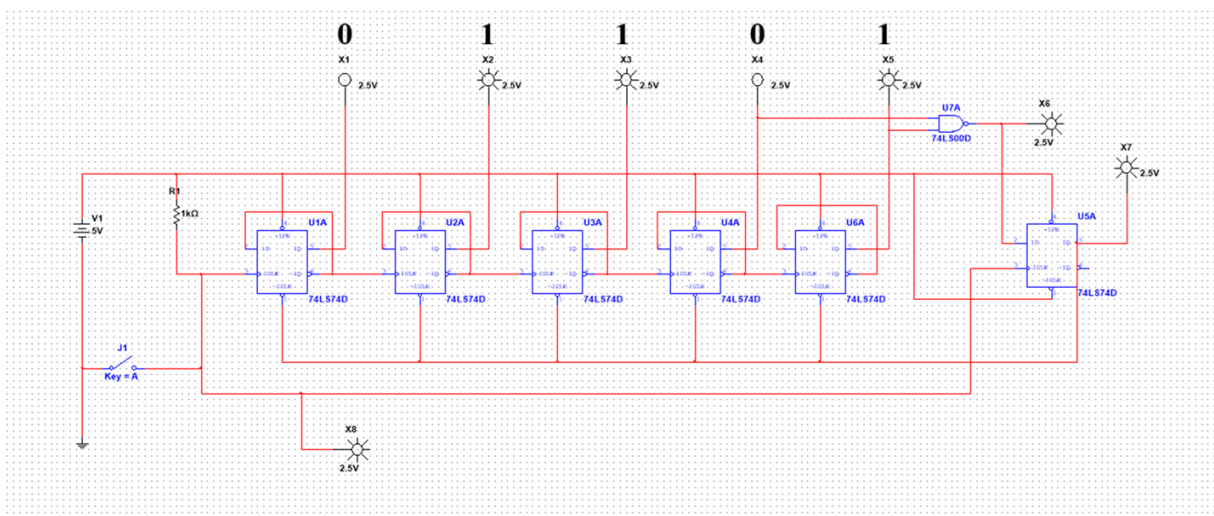


Рисунок 3.12 – Схема дільника на 24

Коди вихідних логічних сигналів для всіх тригерів і елемента І–НЕ (точка *A*) наведено в таблиці 3.3.

Таблиця 3.3 – Кодові комбінації лічильника $k = 24$

Код	T5	T4	T3	T2	T1	A	T6
0	0	0	0	0	0	1	1
1	0	0	0	0	1	1	1
2	0	0	0	1	0	1	1
3	0	0	0	1	1	1	1
4	0	0	1	0	0	1	1
5	0	0	1	0	1	1	1
6	0	0	1	1	0	1	1
7	0	0	1	1	1	1	1
8	0	1	0	0	0	1	1
9	0	1	0	0	1	1	1
10	0	1	0	1	0	1	1
11	0	1	0	1	1	1	1
12	0	1	1	0	0	1	1
13	0	1	1	0	1	1	1
14	0	1	1	1	0	1	1
15	0	1	1	1	1	1	1
16	1	0	0	0	0	1	1
17	1	0	0	0	1	1	1
18	1	0	0	1	0	1	1
19	1	0	0	1	1	1	1
20	1	0	1	0	0	1	1
21	1	0	1	0	1	1	1
22	1	0	1	1	0	0	1
23	0	0	0	0	0	1	0

При всіх станах, крім 22-го, на виході елемента Шеффера встановлюється логічна «1», яка по вихідному фронту кожного вхідного імпульсу записується в додатковий тригер T_6 . Після приходу 22-го імпульсу на виході схеми І - НЕ встановлюється логічний «0», але в тригер T_6 логічний «0» запишеться по задньому (вихідному) фронту наступного вхідного імпульсу (див. останній рядок таблиці 3.3).

Після запису в тригер T_6 «нуля» всі тригери лічильника ($T_1..T_5$) встановлюються в нульовий стан низьким активним сигналом на входах асинхронного скидання R . При цьому на виході елемента Шеффера встановлюється «логічна 1», яка переписується в тригер T_6 по закінченню наступного вхідного імпульсу і лічильник переходить в початковий стан (див. перший рядок у таблиці 3.3).

Отже, лічильник по черзі перебирає всі стани від «00000» до «10110» і має два нульових стани (див. перший і останній рядок таблиці 3.3). Тому при реалізації лічильника необхідно використовувати код « $k - 2$ ».

3.2 Порядок виконання роботи

Під час виконання лабораторної роботи проведіть такі експерименти в програмі *Electronic Workbench* [2].

1 Дослідження підсумовуючого лічильника. Зберіть схему за рисунком 3.13. Увімкніть схему. Подаючи на вхід тактові імпульси за допомогою ключа (Space) і спостерігаючи стан виходів лічильника за допомогою логічних пробників та індикатора, заповніть таблицю станів лічильника. Наведіть часові діаграми.

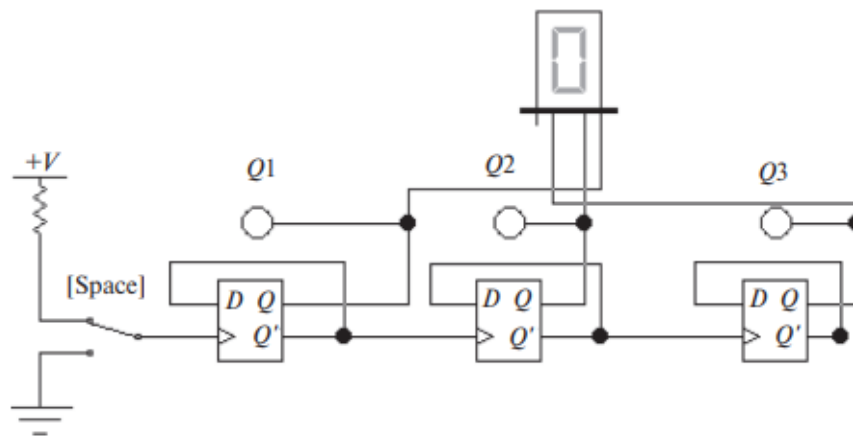


Рисунок 3.13 – Схема підсумовуючого лічильника

2 Дослідження лічильника, що віднімає. Зберіть схему за рисунком 3.14. Генератор тактових імпульсів розташований у каталозі **Sources**, логічний аналізатор – у каталозі **Instruments**. Відкрийте логічний аналізатор, клацнувши правою кнопкою миші по ньому і вибравши вкладку **Open**. Увімкніть схему і зарисуйте тимчасові діаграми роботи лічильника, що віднімає.

Переключіть входи логічного аналізатора до інверсних виходів тригерів. Зніміть отримані тимчасові діаграми та порівняйте їх з отриманими в завданні 1. Зробіть висновки.

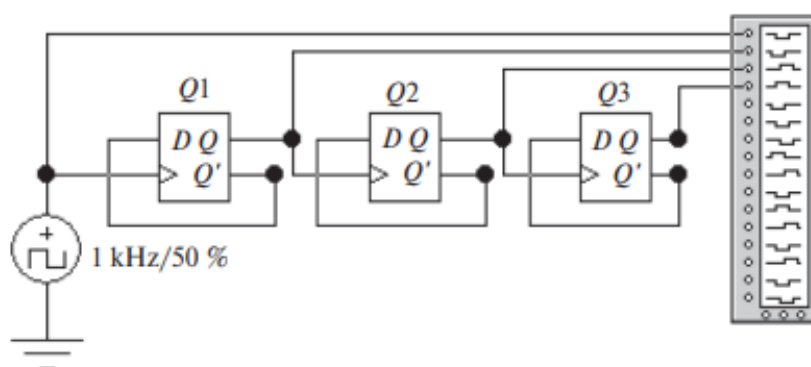


Рисунок 3.14 – Схема лічильника, що віднімає

3 Дослідження лічильника, що підсумовує, з довільним модулем лічби. Зберіть схему за рисунком 3.15. Увімкніть схему. Подаючи на вхід схеми тактові імпульси за допомогою ключа C і спостерігаючи стан виходів лічильника за допомогою логічних пробників, накресліть тимчасові діаграми роботи лічильника і визначте коефіцієнт лічби.

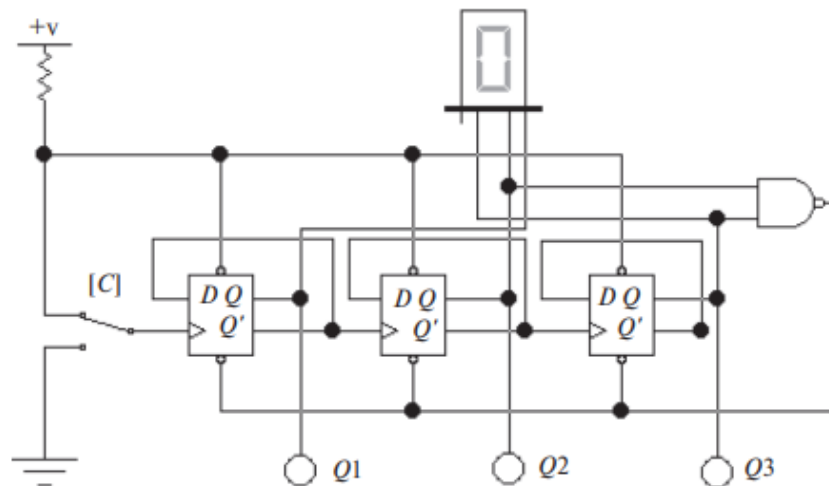


Рисунок 3.15 – Схема лічильника з модулем рахунку 6

Змініть структуру комбінаційної частини лічильника відповідно до схеми на рисунку 3.16. Подаючи на вхід схеми тактові імпульси за допомогою ключа C і спостерігаючи стан виходів лічильника за допомогою логічних пробників, накресліть часові діаграми роботи лічильника.

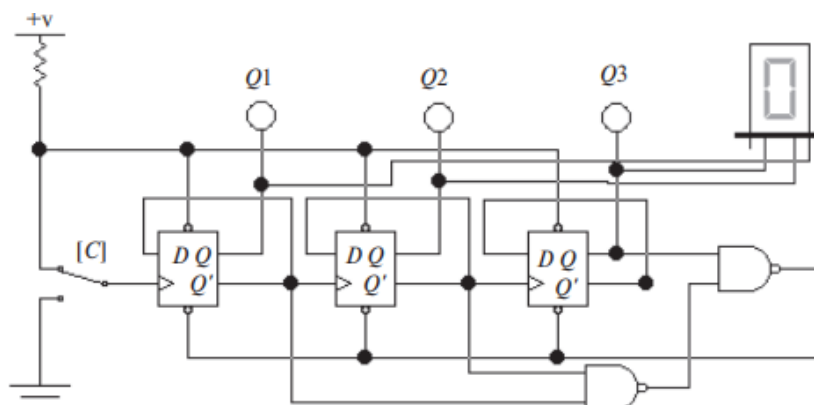


Рисунок 3.16 – Схема лічильника з модулем рахунку 5

4 Дослідження лічильника в коді "1 з N". Зберіть схему за рисунком 3.17. Увімкніть схему. До подавання лічильних імпульсів короткочасним підключенням ключа S до "землі" в молодший розряд лічильника Q0 запишіть логічну 1. Подаючи лічильні імпульси C, зніміть і побудуйте часові діаграми сигналів на виходах тригерів. Лічильні імпульси подають перемиканням ключа C від "землі" до живлення. Визначте коефіцієнт лічби лічильника.

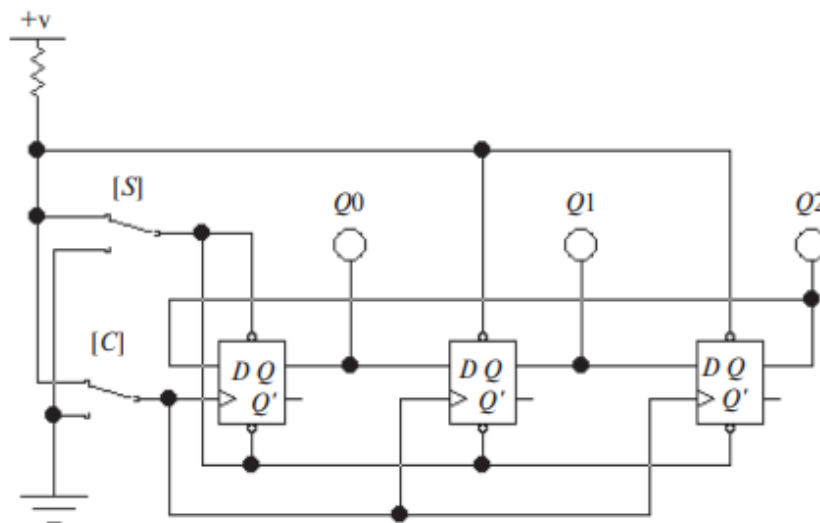


Рисунок 3.17 – Схема лічильника в коді "1 з N"

3.3 Індивідуальні завдання

Завдання 1

Зберіть і змодельуйте роботу лічильників за варіантом із таблиці 3.4. У таблиці позначено: 3.18 – лічильник з паралельним переносом; 3.19 – реверсивний лічильник з паралельним переносом і спільним входом додавання-віднімання; 3.20 – реверсивний лічильник з роздільними входами додавання і віднімання. Результати моделювання оформіть у вигляді таблиць станів лічильників і часових діаграм.

Таблиця 3.4 – Вихідні дані для індивідуального завдання 1

Варіант	Номер рисунка	Кількість розрядів лічильника	Тип тригера
B-01	3.18	2	D
B-02	3.19	2	D
B-03	3.20	2	D
B-04	3.18	3	D
B-05	3.19	3	D
B-06	3.20	3	D
B-07	3.18	4	D
B-08	3.19	4	D
B-09	3.20	4	D
B-10	3.18	3	JK
B-11	3.19	3	JK
B-12	3.20	2	JK
B-13	3.18	2	JK
B-14	3.19	4	JK
B-15	3.20	4	JK

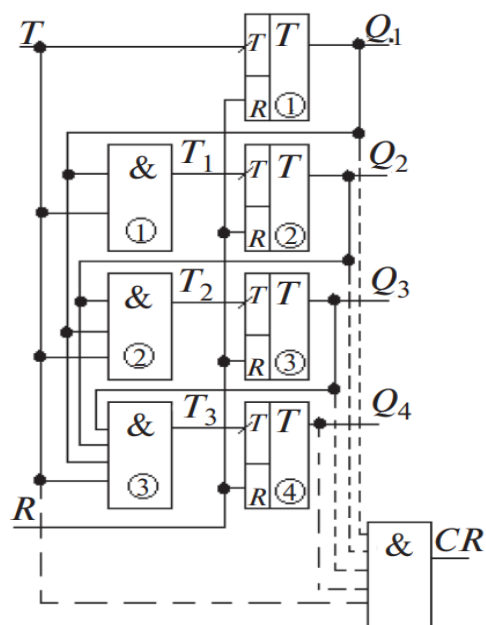


Рисунок 3.18 – Схема лічильника з паралельним переносом

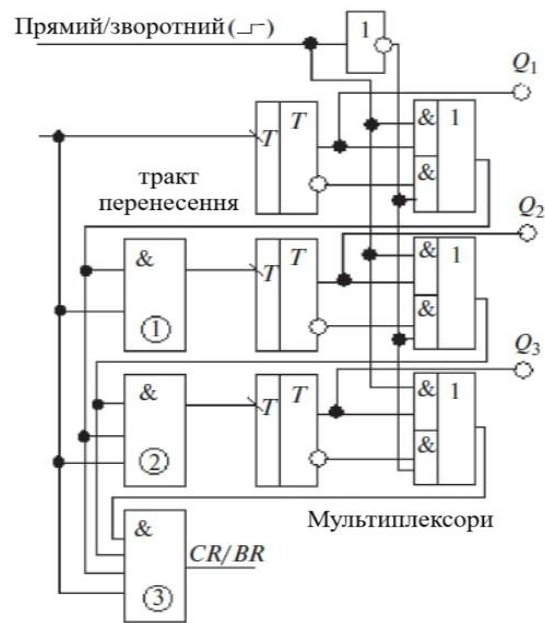


Рисунок 3.19 – Схема реверсивного лічильника з паралельним переносом і спільним входом додавання-віднімання

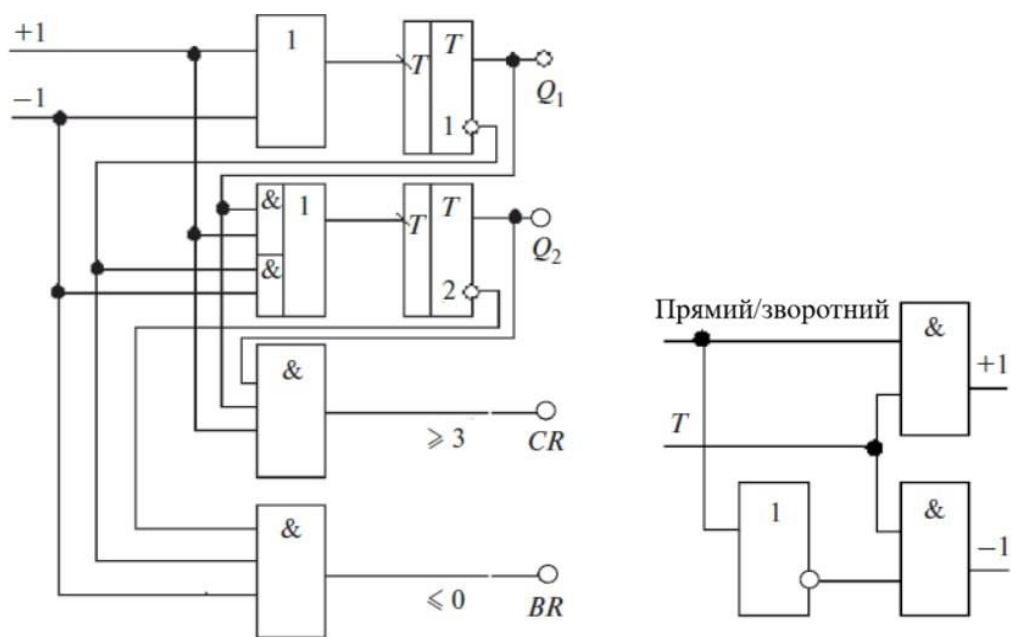


Рисунок 3.20 – Схема реверсивного лічильника з роздільними входами додавання і віднімання

Завдання 2

Відповідно до варіанта завдання (таблиця 3.5) синтезувати чотирьохрозрядний синхронний лічильник (аналогічно прикладу 1).

Таблиця 3.5 – Вихідні дані для індивідуального завдання 2

Номер варіанта	Послідовність кодів, що генеруються (шістнадцятирічні цифри)
B-01	3, 4, 5, 6, 7, 8, 9, A, B, C
B-02	0, 1, 2, 3, 5, A, C, D, E, F
B-03	0, 1, 4, 5, 7, 8, A, C, E, F
B-04	0, 1, 2, 3, 4, 5, 8, 9, A, B
B-05	0, 1, 2, 3, 6, 9, C, D, E, F
B-06	0, 1, 2, 3, 4, 8, 9, A, B, C
B-07	0, 1, 2, 3, 4, 5, 6, 7, C, D
B-08	0, 1, 2, 3, 5, 6, 9, A, C, D
B-09	4, 5, 6, 7, 8, 9, A, B, C, D
B-10	0, 1, 2, 3, 4, 5, 8, 9, B, C
B-11	5, 6, 7, 8, 9, A, B, C, D, E
B-12	0, 1, 2, 3, 4, 7, 9, A, B, C
B-13	4, 5, 6, 7, 8, 9, A, B, E, F
B-14	0, 1, 2, 4, 5, 6, 9, A, C, E
B-15	2, 4, 5, 6, 7, 8, 9, A, D, E

Завдання 3

Розробіть схему лічильника з коефіцієнтом ділення, рівним «номер варіанта + 15» (за методикою, описаною в прикладі 2).

3.4 Зміст звіту

Звіт з лабораторної роботи має містити: тему, мету, комбінаційні схеми, що підлягають дослідженню, з вказаними параметрами радіоелементів відповідно до варіанта; дані, які отримано експериментальним шляхом (таблиці, скріни схем і т. п.); висновки з виконаної роботи.

Контрольні питання і завдання

1 Чим визначається максимальна частота надходження вхідних сигналів на лічильник?

2 Як підвищити швидкодію лічильника?

3 Що відбувається після переповнення лічильника?

4 Які закономірності використовують під час побудови лічильників, що підсумовують (віднімають)?

5 Які переваги та недоліки лічильників із послідовним і паралельним перенесенням?

6 Як вводиться в лічильник задане число (передумовка)?

7 Як конструктивно виконують багаторозрядні лічильники?

8 Якими способами можна змінити коефіцієнт рахунку лічильника?

9 Від чого залежить модуль рахунку?

10 Число десяткових розрядів лічильника дорівнює 3. Скільки тригерів він містить? Яке максимальне число можна записувати в лічильник?

11 Скільки потрібно тригерів для побудови лічильника з коефіцієнтом рахунку рівним 10? Як працює такий лічильник?

12 Скільки JK-тригерів потрібно використати для побудови лічильника з дійсним порядком рахунку 16? Чому?

13 Як потрібно увімкнути Т-тригери з прямим і зворотним динамічним керуванням для одержання сумуючого та віднімаючих двійкових лічильників?

СПИСОК ЛІТЕРАТУРИ

- 1 Сосков А. Г., Колонтаєвський Ю. П. Промислова електроніка : Теорія і практикум: підручник / за ред. А. Г. Соскова. Київ : Каравела, 2013. 496 с.
- 2 Побєдаш К. К., Святненко В. А. Інтерфейс програмного комплексу Electronics Workbench: навч. посіб. Київ: НТУУ «КПІ», 2014. 57 с.
- 3 Цифрова схемотехніка електронних систем: підручник / В. І. Бойко, В. Я. Жуйков, А. А. Зорі та ін. Вид. 3-тє допов. і перероб. Київ: Вища шк., 2010. 426 с.
- 4 Рябенський В. М., Жуйков В. Я., Гулий В. Д. Цифрова схемотехніка: навч. посіб. Львів: Новий світ-2000, 2009. 736 с.
- 5 Бабич М. П. Жуков І. А. Комп'ютерна схемотехніка : навч. посіб. Київ : МК-Прес, 2004. 412 с.
- 6 Петух А. М., Обідник Д. Т., Обідник М. Д. Цифрова схемотехніка: навч. посіб. Вінниця : ВНТУ, 2015. 120 с.
- 7 Основи технічної електроніки. У 2 кн. Кн. 2. Схемотехніка : підручник / В. І. Бойко, А. М. Гуржій, В. Я. Жуков та ін. Київ : Вища шк., 2007. 510 с.
- 8 Матвієнко М. П. Комп'ютерна логіка : навч. посіб. Київ : Вид-во Ліра-К, 2012. 288 с.
- 9 Бойко В. І., Багрій В. В. Цифрова схемотехніка : навч. посіб. Київ : ІЗМН, 2001. 228 с.
- 10 Щерба А. А., Побєдаш К. К., Святненко В. А. Електроніка та мікросхемотехніка: навч. посіб. Київ : НТТУ «КПІ». 360 с. URL : <http://ela.kpi.ua/handle/123456789/3569>.
- 11 Електротехніка і мікросхемотехніка: підручник. Т. 3. Цифрові пристрої / В. І. Сенько, М. В. Панасенко, Є. В. Сенько та ін. Київ: Каравела, 2008. 400 с.

МЕТОДИЧНІ ВКАЗІВКИ
до практичних і лабораторних робіт

із дисципліни
«ПРИСТРОЇ ТЕЛЕКОМУНІКАЦІЙНИХ СИСТЕМ»

Частина 2
СИНТЕЗ ТА МОДЕЛЮВАННЯ ПОСЛІДОВНІСНИХ СХЕМ

Відповідальний за випуск Ковтун І. В.

Редактор Ібрагімова Н. В.

Підписано до друку 09.07.2025 р.
Умовн. друк. арк. 3,5. Тираж . Замовлення № .
Видавець та виготовлювач Український державний університет залізничного
транспорту,
61050, Харків-50, майдан Фейєрбаха, 7.
Свідоцтво суб'єкта видавничої справи ДК № 6100 від 21.03.2018