

та операторської компанії, потребують формування і впровадження ефективні технології організації вантажних перевезень, а саме управління вагонним парком, та методи їх реалізації, засновані на інтелектуалізації системи на всіх ланках транспортного процесу, що у свою чергу надасть гнучкості системі та підвищить ефективність транспортного обслуговування.

На основі цього розроблено оптимізаційні моделі двох варіантів управління парком вантажних вагонів різних форм власності. Сформовані оптимізаційні моделі адекватно відтворюють процес управління парком вантажних вагонів, як операторських компаній, так і залізниць, та враховують різні тарифні складові при організації залізничних перевезень. Вирішення поставленого завдання являє собою основу формування автоматизованої технології розподілу парку вантажних вагонів в умовах функціонування конкурентних операторських компаній.

*Шкіль А.С., к.т.н., Кулак Э.Н., к.т.н.,
Гребенюк А.С. (ХНУРЕ)*

УДК 681.326

ДИАГНОСТИРОВАНИЕ HDL-МОДЕЛЕЙ КОНЕЧНЫХ АВТОМАТОВ ПО ГРАФУ ПЕРЕХОДОВ

Верификация HDL-моделей – это один из важных и наиболее затратных по времени этапов автоматизированного проектирования современных цифровых устройств. В процессе верификации идет проверка соответствия полученного кода изначальной спецификации. Одним из способов описания моделей цифровых устройств в форме конечных автоматов на языках описания аппаратуры является автоматный шаблон. Это специальная структура HDL-модели, в которой функции переходов и выходов выделены в отдельные процессы, а назначение нового состояния осуществляется в специальном процессе, связанном с синхронизацией. В данной работе рассматривается верификация HDL-моделей конечных автоматов, представленных в виде двухпроцессного автоматного шаблона путем проведения диагностического эксперимента (ДЭ) по обходу всех дуг графа переходов, начиная с начальной вершины.

Для HDL-моделей конечных автоматов можно определить следующие типы ошибок проектирования:

- «замена оператора» (логического или арифметического);
- «замена операнда» (в операторе назначения или условном).

Для HDL-моделей в форме автоматного шаблона ошибки проектирования реализуются в виде:

- ошибка в выборе текущего состояния в операторе

when;

- ошибка выбора следующего состояния в функции переходов (a_i вместо a_j);

- ошибка в операторе if () при анализе входного сигнала;

- ошибка в назначении выходного сигнала.

На основании спецификации к HDL-модели строится граф переходов автомата и по нему строится тест. Для построения теста реализуется стратегия обхода всех дуг графа переходов конечного автомата начиная с начальной вершины при условии допустимости наличия более, чем одной дуги (смешанная стратегия). Данный подход предусматривает проведение так называемого «неразрушаемого» эксперимента, в котором в конце каждой проверки автомат возвращается в начальное состояние.

ДЭ над HDL-моделью конечного автомата состоит в подаче на нее входных воздействий в соответствии с выбранной стратегией обхода содержательного графа переходов, получении выходных реакций в виде списка состояний автомата на Waveform, функции выходов или списка обхода графа в файле и сравнения полученных реакций с эталоном визуальным или программным путем. На основании этого делается вывод о соответствии HDL-модели спецификации. ДЭ проводится с использованием системы верификации HDL-моделей (TestBench) в среде проектирования Active-HDL.

В качестве элементарной проверки P_i при проведении ДЭ используется реализация определенного маршрута обхода графа, при этом номер маршрута соответствует номеру элементарной проверки. Результат элементарной проверки v_i считается отрицательным (0), если терминальная вершина на этом маршруте достигнута, в противном случае результат элементарной проверки считается положительным (1).

Для реализации стратегии обхода всех дуг графа строится дерево решений (дерево обхода графа). Результатом проведения ДЭ по обходу графа является вектор экспериментальных проверок (ВЭП) $V = (v_1, v_2, \dots, v_m)$, где m – число терминальных вершин дерева решений.

Для проведения диагностического эксперимента использована встроенная система верификации HDL-моделей (TestBench) в среде проектирования Active-HDL. Результат проведения диагностического эксперимента над HDL-моделью с ошибкой проектирования рассматривается также в виде временной диаграммы (Waveform).

Место возникновения одиночной ошибки в маршруте обхода графа переходов находится по формуле

$$D = \cap_{j=1} M_j - \cup_{j=0} M_j,$$

где M_j – j -я строка матрицы маршрутов обхода графа переходов автомата и ВЭП.

Формула позволяет найти неисправную дугу в графе переходов автомата.

Ошибка в HDL-коде, вероятнее всего, находится во фрагменте кода автоматного шаблона, связанного с вершиной (состоянием) откуда исходит ошибочная дуга. Связь именно с исходящей дугой объясняется тем, что формат автоматного шаблона представляет собой описание поведения автомата по прямой структурной таблице. Для нахождения места возникновения ошибки проектирования необходимо возвратиться к HDL-коду автоматного шаблона и выполнить визуальное инспектирование участка кода, реализующего ошибочный фрагмент маршрута обхода графа, вычисленного по формуле выше.

В результате эксперимента существуют случаи, когда результат по функции выходов совпал с эталоном, что обуславливает отсутствие ошибки в VHDL-модели. Но если внимательно проанализировать Waveform, то можно заметить, что после определенной проверки автомат не возвращается в исходное состояние a_0 . Но функция выходов при этом дает правильный результат.

В результате проведенного анализа, было определено, что такая ситуация возникает в случае, если рассматриваемый автомат не принадлежит к так называемому «исключительному классу автоматов», которые имеют различные (уникальные) функции выходов для каждого состояния. Предложенный способ проведения ДЭ не гарантирует правильного результата для данного класса автоматов.

Для HDL-моделей моделей конечных автоматов, не принадлежащих «исключительному классу» целесообразно восстанавливать граф переходов по коду конкретной HDL-модели, по нему строить стратегию обхода графа и проводить диагностический эксперимент. Несмотря на дополнительные вычислительные затраты, указанный подход позволяет находить ошибки проектирования HDL-моделях с произвольной структурой функции выходов в автоматном шаблоне.

Литература

1. Шкиль А.С. Поиск ошибок проектирования в HDL-моделях цифровых автоматов / С. Альмадхоун, Е.Е. Сыревич, А.С. Шкиль // Вестник Херсонского государственного технического университета. – 2013. – №2 (46). – С. 377-383.

*Врублевський А.Р., Лісовий І.П., д.т.н.,
Пилипенко Г.В. (ОНАЗ ім.О.С. Попова)*

ЗАСТОСУВАННЯ НЕЧІТКОЇ ЛОГІКИ ДЛЯ МАРШРУТИЗАЦІЇ ЗА ПРОТОКОЛОМ RIP

Вступ

Проведений аналіз існуючих протоколів маршрутизації показав, що такий параметр як завантаженість буферного накопичувача стиків, при обчисленні метрики зазвичай не враховується. Маршрутизація пакету, виходячи тільки з параметрів які враховуються в протоколі маршрутизації RIP, в гетерогенних мережах породжує ряд проблем, що ставлять доцільність використання протоколу RIP під велике питання. Пропонується збільшити кількість параметрів для обчислення метрики протоколу RIP, а саме урахуванням динаміки завантаження буферів маршрутизатора.

Модифікація протоколу RIP. Протокол RIP дуже простий і досі продовжує застосовуватись. У великих мережах, що використовують протокол RIP, спостерігаються занадто тривалі затримки поширення інформації про новий маршрут. Такі затримки є неприпустимими для багатьох комерційних застосувань, що здійснюють доступ до баз даних або фінансові транзакції.

Протокол маршрутизації RIP використовує найлегшу для подання метрику, кількість маршрутизаторів, які пакет повинен перетнути, щоб досягти цільової мережі. Проте використання даного критерію в цілому ряді випадків не може забезпечити оптимальний вибір маршруту.

Маршрутизатору є доступною тільки маршрутна інформація, отримана від його сусідів. Пакети, що надходять у вузол, залишаються в черзі до тих пір, поки не будуть відправлені далі. Якщо пакети надходять зі швидкістю, яка наближається до пропускної спроможності вузла, то пакети будуть накопичуватися в буфері, і середня затримка збільшиться до нескінченності. На практиці буфер має скінчену довжину, і пакети будуть губитися або змінюватиметься їх маршрут. Перевантаження буфера може стати результатом рішень, пов'язаних з маршрутизацією, або просто наслідком непомірного навантаження на канал. При великій кількості вимог на встановлення віртуального каналу, можливість встановлення каналу не гарантує, що не виникне перевантаження.

До алгоритму маршрутизації за протоколом RIP, не включений механізм керування перевантаженням. Всі запити будуть направлятися за найкоротшим маршрутом. Надмірно спрощена система обліку "відстаней", прийнята в протоколі RIP, створює неоптимальні таблиці маршрутів, і в результаті пакети пересилаються через повільні або занадто дорогі лінії