

**ФАКУЛЬТЕТ АВТОМАТИКИ, ТЕЛЕМЕХАНІКИ ТА
ЗВ'ЯЗКУ**

Кафедра «Транспортний зв'язок»

МЕТОДИЧНІ ВКАЗІВКИ

**до лабораторних робіт
з дисципліни**

"ЕЛЕКТРОНІКА ТА МІКРОСХЕМОТЕХНІКА"

Харків 2011

Методичні вказівки розглянуто та рекомендовано до друку на засіданні кафедри „Транспортний зв’язок” 26 квітня 2010 року, протокол № 9.

Рекомендуються для студентів факультету АТЗ спеціалізації „Автоматизовані системи технологічного зв’язку на залізничному транспорті” всіх форм навчання.

Укладачі:

доценти М.П. Кириченко,

К.А. Трубчанінова

Рецензент

доц. К.С. Клименко

МЕТОДИЧНІ ВКАЗІВКИ

до лабораторних робіт
з дисципліни

"ЕЛЕКТРОНІКА ТА МІКРОСХЕМОТЕХНІКА"

Відповідальний за випуск Кириченко М.П.

Редактор Решетилова В.В.

Підписано до друку 30.06.10 р.

Формат паперу 60x84 1/16 . Папір писальний.

Умовн.-друк.арк. 1,5. Тираж 50. Замовлення №

Видавець та виготовлювач Українська державна академія залізничного транспорту
61050, Харків - 50, майдан Фейербаха, 7

Свідоцтво суб'єкта видавничої справи ДК № 2874 від 12.06.2007 р.

ЗМІСТ

1 Мета роботи	5
2 Короткі теоретичні відомості	5
2.1 Основні логічні схеми	5
2.2 Параметри і характеристики логічних елементів	8
2.3 Системи інтегральних елементів	17
3 Домашнє завдання	33
4 Програма роботи	34
5 Методичні вказівки до виконання роботи	34
6 Зміст звіту	36
Контрольні питання	37
Список літератури	37

СПИСОК СКОРОЧЕНЬ

ЛС – логічна схема

ІЛС - інтегральна логічна схема

ПХ - передаточна характеристика

ООС – зворотний від'ємний зв'язок

ОПХ - зворотна передаточна характеристика

НСТЛ - транзисторна логічна схема з безпосередніми зв'язками

РСТЛ - транзисторна логічна схема з резистивними зв'язками

РЄСТЛ - транзисторна логічна схема з резистивно-ємнісними зв'язками

ДТЛ - діод-транзисторна логічна схема

ТТЛ - транзисторно-транзисторна логічна схема

ПТТЛ - логічна схема на перемикачах струму

ЕЗЛ - емітерно-зв'язана логіка

МТ - багатоемітерний транзистор

ЛАБОРАТОРНА РОБОТА 11

ДОСЛІДЖЕННЯ ОСНОВНИХ ЛОГІЧНИХ СХЕМ

1 Мета роботи

1.1 Ознайомитися з типами, будовою, параметрами, конструктивними особливостями і системою позначення типових логічних елементів.

1.2 Оволодіти методикою зняття характеристик і визначення основних параметрів логічних елементів.

2 Короткі теоретичні відомості

2.1 Основні логічні схеми

Операції, виконувані над логічними змінними (тобто змінними, які набувають тільки двох різних значень, умовно названих "0" і "1"), називаються логічними, а електронні схеми, які реалізують ці операції, – логічними схемами. Схему, яка реалізує елементарну логічну операцію (І, АБО, НІ і т.п., див. нижче), будемо називати логічною схемою (ЛС). У випадку інтегрального виконання будемо іменувати її інтегральною логічною схемою (ІЛС).

Окремі ІЛС при їх з'єднанні між собою утворюють логічний пристрій, що реалізує необхідний, часто складний, алгоритм обробки двійкової інформації. З'єднання ІЛС між собою виконуються без використання узгоджуючих елементів, (рисунок 2.1), утворюючи послідовні кола. У цьому випадку можна вважати кожен ІЛС навантаженням для попередньої і генератором для наступної аналогічних схем. Отже, вихідна напруга даної ІЛС є вхідною для наступної.

Значенням "0" і "1" у системі потенційних логічних елементів відповідають різні рівні напруги. При використанні в ІЛС транзисторів переважно n-p-n-типу зручно низькому рівню напруги (на колекторі відкритого транзистора) надавати значення "0", а високому (на колекторі замкненого транзистора) – значення "1".

Такий спосіб кодування, при якому рівень одиниці більший рівня нуля, називається позитивною логікою.

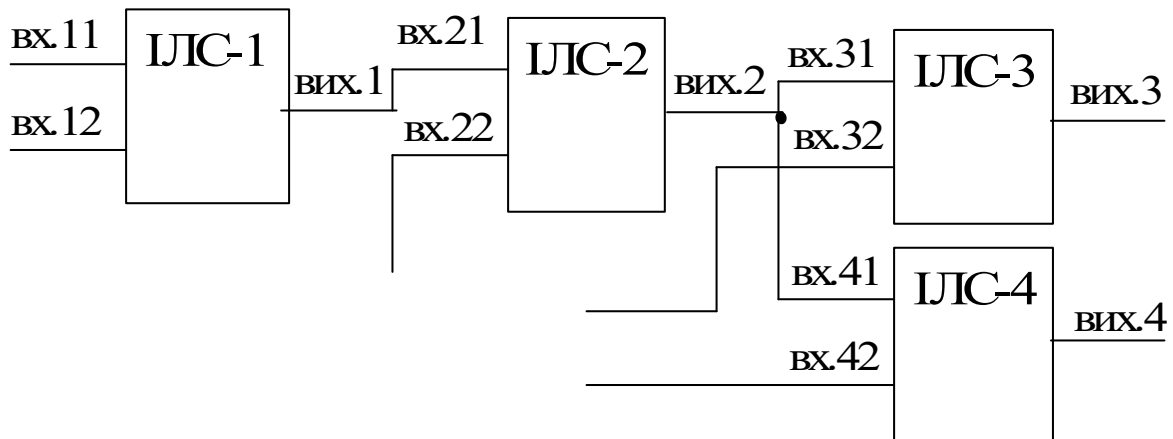


Рисунок 2.1 – З'єднання ІЛС між собою без використання узгоджуючих елементів

При використанні транзисторів р-п-р типу зручніше за нуль приймати малу негативну напругу (на колекторі відкритого транзистора), а за одиницю – велику негативну (на колекторі замкненого транзистора). Таке кодування, при якому рівень нуля вищий від рівня одиниці, називається негативною логікою.

Надалі будемо розглядати ІЛС із позитивною логікою.

При реалізації логічних схем на транзисторах найбільш використовуваними логічними операціями є операції І, АБО, НІ. Логічні схеми, що виконують перелічені операції, називаються відповідно схемами І (схемами збігу), АБО (схемами складання) і НІ (інверторами).

Схемою І називається схема, яка має багато (два чи більше) входів, одиничний сигнал на виході її існує тільки при одиничних значеннях усіх вхідних сигналів.

Схемою АБО називається схема, яка має багато (два чи більше) входів, одиничний сигнал на виході її існує при наявності сигналу одиниці хоча б на одному із входів.

Схема НІ – це схема, що має один вхід, значення вихідного сигналу якої протилежне значенню вхідного.

Правила роботи перерахованих схем, які мають мінімально можливу кількість входів, подані в таблицях 2.1, 2.2 і 2.3 відповідно (А, В – значення вхідних сигналів, Q – значення

вихідного сигналу). Ці три логічні схеми утворять функціонально повну систему елементів, з яких можна побудувати логічний пристрій будь-якої складності.

Таблиця 2.1

A	B	Q
0	0	0
0	1	0
1	0	0
1	1	1

I

Таблиця 2.2

A	B	Q
0	0	0
0	1	1
1	0	1
1	1	1

АБО

Таблиця 2.3

A	Q
0	1
1	0

НІ

Схеми, що випускає промисловість, реалізують, як правило, складніші логічні функції. Найбільш розповсюдженими з них є схеми I-НІ, АБО-НІ, кожна з яких є функціонально повною системою елементів. Правила роботи цих схем подані в таблицях 2.4 і 2.5.

Умовні позначення розглянутих логічних елементів на функціональних схемах наведені на рисунку 2.2.

Таблиця 2.4

A	B	Q
0	0	1
0	1	1
1	0	1
1	1	0

I-НІ

Таблиця 2.5

A	B	Q
0	0	1
0	1	0
1	0	0
1	1	0

АБО-НІ

У складних пристроях обробки інформації логічні елементи з'єднані так, що вихід кожного логічного елемента навантажений декількома входами інших елементів (у тому числі, можливо, і своїми виходами). Тому логічні елементи повинні бути сумісні по вхідних і вихідних рівнях, тобто значення рівнів логічного нуля й одиниці для вхідних і вихідних сигналів повинні збігатися.

Логічна схема повинна мати достатню кількість входів для реалізації виконуваної логічної операції з необхідною кількістю змінних. Треба, щоб до виходу схеми можна було підключити різну (у деяких межах) кількість входів наступних елементів, а

працездатність схеми забезпечувалася при наявності завад на її входах. Перехідні процеси в ЛС повинні протікати досить швидко, щоб забезпечувалася необхідна швидкодія всього логічного пристрою.

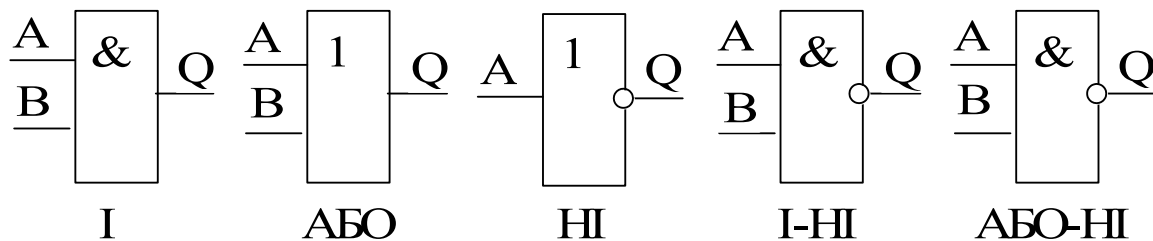


Рисунок 2.2 – Умовні позначення логічних елементів

Перераховані вимоги до логічних схем у кожному конкретному випадку застосування змінюються в досить широких межах. Тому на практиці не можна розраховувати на індивідуальне узгодження і регулювання елементів у процесі виготовлення й експлуатації пристрою.

2.2 Параметри і характеристики логічних елементів

Характеристики і параметри ІЛС повинні досить повно описувати їхні властивості, бути стабільними при зміні умов експлуатації і давати можливість розроблювачу визначити, чи придатна ІЛС у конкретному випадку.

Такими параметрами ІЛС, що характеризують її властивості в узагальненому вигляді, є:

- коефіцієнти об'єднання і розгалуження;
- передаточна характеристика;
- завадостійкість;
- вхідна і вихідна характеристики;
- середній час затримки;
- споживана потужність.

Коефіцієнт об'єднання по входу m дорівнює максимальній кількості входів логічної схеми. Для різних типів ІЛС значення m змінюються переважно від 2 до 6...10. Збільшення кількості входів викликає погіршення деяких інших основних параметрів.

Тому при необхідності мати більшу кількість входів звичайно використовуються додаткові схеми (розширювачі), приєднання яких до основної схеми дозволяє збільшити число входів до необхідного значення.

Коефіцієнт розгалуження по виходу n дорівнює максимальній кількості схем, аналогічних розглянутій, котрі можуть бути підключені до її виходу. У залежності від типу ІЛС коефіцієнт розгалуження змінюється в межах від 4 до 25...50. Збільшення n пов'язане, звичайно, з погіршенням параметрів схеми.

Передаточна характеристика (ПХ). Статичні властивості ІЛС найповніше характеризуються передаточною характеристикою, яка являє залежність $U_{\text{вих}} = f(U_{\text{вх}})$, зняту при повільній зміні вхідної напруги $U_{\text{вх}}$. У залежності від схеми ІЛС вона може бути інвертувальною або неінвертувальною. При інвертувальній ПХ низькій вхідній напрузі відповідає висока вихідна, а високій вхідній – низька вихідна. Найбільш розповсюдженою ПХ є інвертувальна передаточна характеристика, наведена на рисунку 2.3.

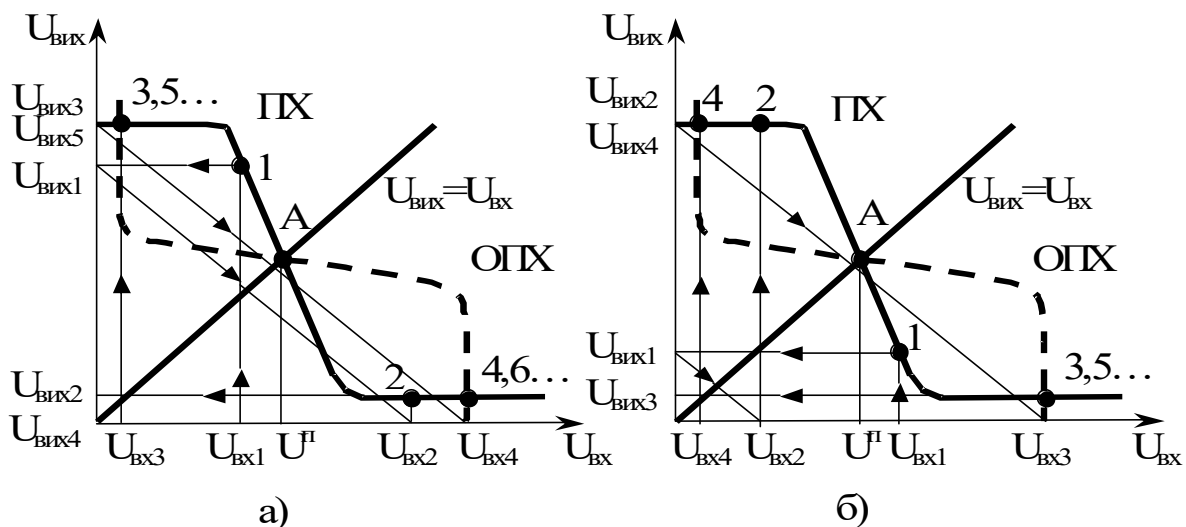


Рисунок 2.3 – Передаточні характеристики логічних схем

Вхідна напруга, що відповідає точці А – перетину ПХ із характеристикою одиничного підсилення ($U_{\text{вих}} = U_{\text{вх}}$), називається граничною напругою перемикавання $U^п$. Це значення напруги розділяє два інтервали значень вхідної напруги, у яких при

послідовному вмиканні ІЛС формуються стандартні рівні одиниці і нуля.

При входній напрузі першої ІЛС $U_{\text{вх1}} < U^{\text{п}}$ (рисунок 2.3, а) її робоча точка відповідає точці 1 передаточної характеристики. Вихідна напруга $U_{\text{вих1}}$ є входною для другої ІЛС ($U_{\text{вих1}} = U_{\text{вх2}}$). Робоча точка другої ІЛС розташована в точці 2, тобто вихідна напруга дорівнює $U_{\text{вих2}}$. Тому що $U_{\text{вих2}} = U_{\text{вх3}}$, на виході третьої ІЛС (робоча точка 3) напруга дорівнює $U_{\text{вих3}}$. Ця напруга є входною для четвертої ІЛС і т.д. Видно, що на виході четвертої, шостої і т.д. схем устанавлюється низький рівень напруги, а на виходах третьої, п'ятої і т.д. ІЛС – високий.

Зробивши аналогічні побудови при $U_{\text{вх1}} > U^{\text{п}}$ (рисунок 2.3, б), можна переконатися, що напруга високого рівня встановлюється на виходах парних ІЛС, а низького – на виходах непарних. Ці напруги різного рівня, що встановлюються на виходах логічних схем, і є рівнями нуля U^0 (низька) і одиниці U^1 (висока) для елементів, що мають передаточну характеристику, наведену на рисунку 2.3. Слід зазначити, що рівні U^0 , U^1 і порогова напруга $U^{\text{п}}$ відповідають точкам перетину ПХ і зворотної передаточної характеристики (ОПХ), показаної на рисунку 2.3 пунктиром, а логічна схема має формуючі властивості.

Для того, щоб у схемі з послідовно ввімкненим ІЛС з ідентичними інвертувальними характеристиками устанавлювалися рівні нуля й одиниці, необхідно, щоб ПХ і ОПХ перетиналися в трьох точках (або щоб точка перетину прямого одиничного підсилення з ПХ (точка А) лежала на крутій ділянці характеристики).

Різниця між рівнями одиниці і нуля називається логічним перепадом

$$\Delta U = U^1 - U^0.$$

Передаточні характеристики аналогічних ІЛС неідентичні внаслідок впливу температури, розходження навантажень, відхилень величин елементів схеми від номінальних та інших факторів.

Тому є деяка область, усередині якої розташовуються передаточні характеристики схем одного типу, а рівні нуля, одиниці і поріг містяться в деяких межах (рисунок 2.4):

$$U_{\min}^0 < U^0 < U_{\max}^0 \quad U_{\min}^1 < U^1 < U_{\max}^1 \quad U_{\min}^n < U^n < U_{\max}^n.$$

При розрахунках схем на гірший випадок необхідно використовувати значення $U^0 = U_{\max}^0$ і $U^1 = U_{\min}^1$, що називаються відповідно максимальним рівнем нуля і мінімальним рівнем одиниці.

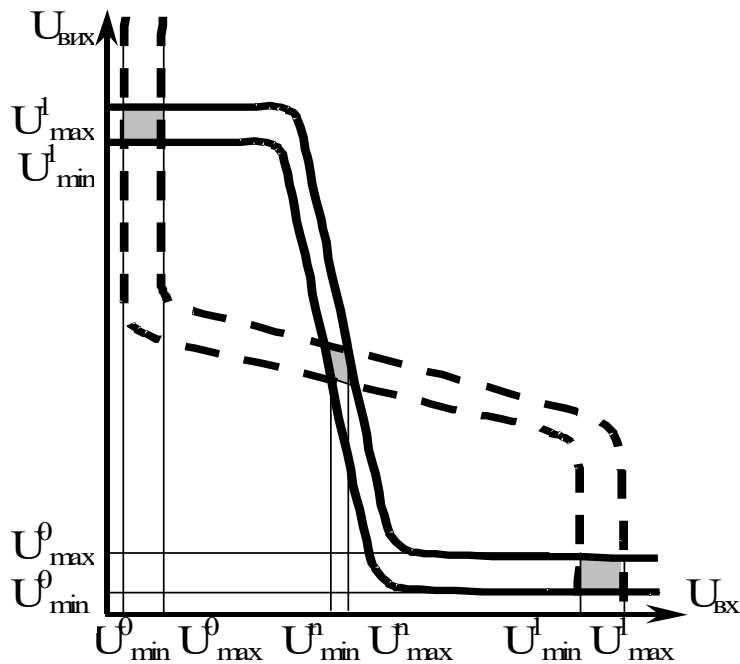


Рисунок 2.4 – Передаточні характеристики логічних схем

Завадостійкість ІЛС. Під завадостійкістю розуміється здатність схеми нормально функціонувати при наявності впливу на вхід перешкоди разом з корисним логічним сигналом. Статична завадостійкість визначає величину напруги, що може бути подана на вхід схеми відповідно рівня нуля чи одиниці, не викликаючи її помилкового спрацьовування. При цьому статичною вважають перешкоду, тривалість якої значно перевищує тривалість перехідних процесів у ІЛС. Визначається статична завадостійкість за допомогою передаточної характеристики.

При відсутності завад у результаті дії на вході першої ІЛС рівня нуля U^0 (рисунок 2.5) її робоча точка відповідає т. В. Вихідна напруга першої ІЛС є вхідною для другої (робоча точка –

т. С) і т.д. При формуванні рівнів нуля й одиниці в колі ІЛС з ідентичними характеристиками (рисунок 2.3, а) при будь-якому $U_{вх1} < U^n$ (тобто при $U_{вх1} < U^0$, що може бути тільки при наявності на вході поряд з напругою нуля позитивної перешкоди U^+) на виходах непарних схем установлюється рівень одиниці, а на виходах парних – нуля. Те саме відбувається при відсутності перешкод, тобто внаслідок наявності в ІЛС формуючих властивостей, при впливі вхідної напруги $U_{вх1} = U^0 + U^+ < U^n$ не відбувається помилкового спрацьовування пристрою. Отже, при наявності на вході першої ІЛС напруги позитивної перешкоди, що відмикає, U^+ величиною $U^+ < U^n - U^0$ не відбувається порушення роботи схеми.

Якщо ж сумарна величина сигналу і перешкоди перевищить рівень U^n (аналогічно рисунку 2.3, б), то на виходах парних схем установлюється рівень одиниці, тоді як при нормальній роботі під час відсутності перешкод повинен бути рівень нуля.

Аналогічно, якщо внаслідок впливу негативної перешкоди U^- (рисунок 2.5) при подачі на вхід першої ІЛС рівня одиниці вхідна напруга зменшується і дорівнює $U_{вх1} = U^1 - U^- < U^n$ (цей випадок аналогічний точці 1 на рисунку 2.3, б), то на виході непарних схем установлюється рівень нуля (як і повинно бути при відсутності перешкоди). Отже, при наявності на вході ІЛС перешкоди негативної полярності, що зменшує величину діючої на вході напруги одиниці, не відбувається порушення працездатності схеми, поки напруга замикаючої негативної перешкоди $U^- < U^1 - U^n$.

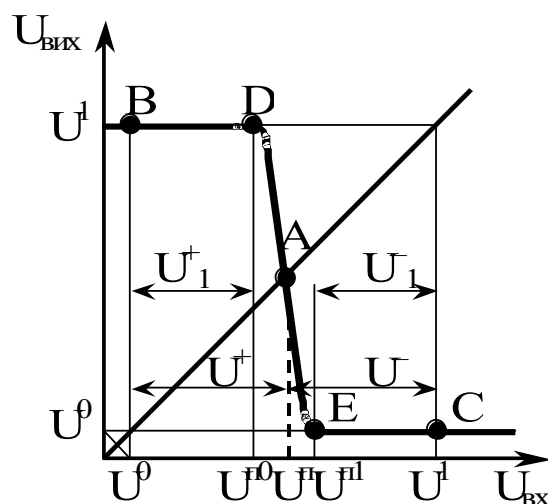


Рисунок 2.5 – Передаточні характеристики логічних схем

У складних системах при наявності зворотних зв'язків може виникнути позитивний зворотний зв'язок. При цьому збільшується коефіцієнт передачі ІЛС на активній (крутій) ділянці ПХ. Відбувається збільшення перешкоди і можливе помилкове спрацьовування ІЛС. Тому необхідно, щоб перешкода, прикладена до входу ІЛС, не викликала перешкоди на її виході, тобто щоб на виході була напруга U^0 чи U^1 . Для цього робоча точка елемента, що знаходиться в стані 1, не повинна зміститися правіше т. D (рисунок 2.5), а робоча точка схеми, що знаходиться в стані 0, – лівіше т. E. Отже, значення перешкоди не повинні перевищувати

$$U_1^+ < U^{n0} - U^0; \quad U_1^- < U^1 - U^{n1},$$

де U^{n0} і U^{n1} – граничні напруги нуля й одиниці.

Завадостійкість, визначена за даною методикою, звичайно і розглядається при оцінюванні можливості використання ІЛС, тому що забезпечує правильне функціонування схеми в будь-якому випадку.

Динамічна завадостійкість оцінюється амплітудою перешкоди, що має вигляд короткого імпульсу. Вона залежить від тривалості, амплітуди і форми сигналу перешкоди, від рівня статичної завадостійкості та швидкості перемикавання ІЛС. У більшості випадків динамічна завадостійкість вища статичної, тому що при короткому імпульсі перешкоди або паразитні ємності схеми не встигають помітно перезарядитися, або транзистор не встигає вийти з насичення.

Вхідна характеристика являє собою залежність вхідного струму від вхідної напруги $i_{вх} = f(U_{вх})$. Вхідна характеристика визначає властивості ІЛС як навантаження попередньої схеми. ІЛС, що випускаються промисловістю, мають ці характеристики двох видів (рисунок 2.6).

Логічні елементи першого типу, що мають характеристику вигляду рисунка 2.6, а, споживають струм від попередньої схеми

і в одиничному, і в нульовому стані. Логічні схеми другого типу споживають струм у вхідному колі при впливі сигналу одиниці і віддають струм у попередню схему при нульовому вхідному сигналі (рисунок 2.6, б). За вхідною характеристикою визначаються значення вхідного струму при дії на вхід схеми сигналу нульового ($I_{\text{вх}}^0$) і одиничного ($I_{\text{вх}}^1$) рівнів.

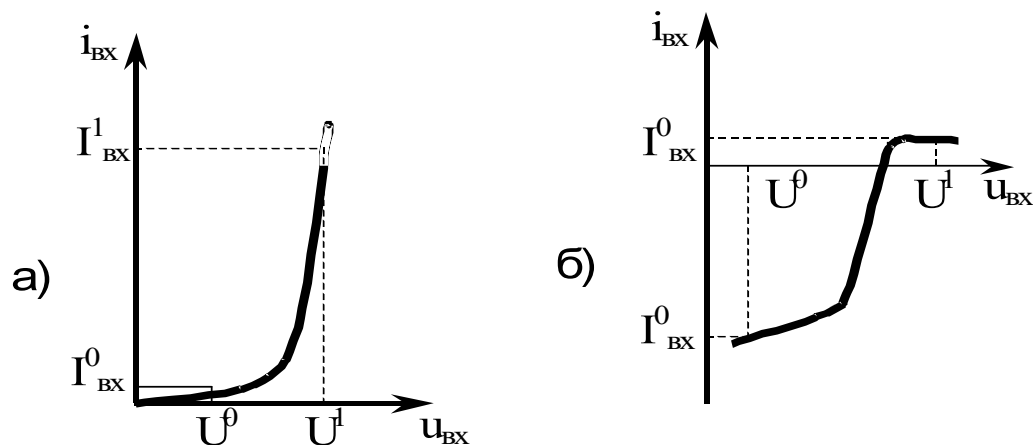


Рисунок 2.6 – Вхідні характеристики логічних елементів

Вихідна характеристика. Є залежністю вихідного струму від вихідної напруги (рисунок 2.7). Вихідна характеристика визначає властивості ІЛС як генератора для наступної схеми. При характеристиці вигляду рисунка 2.7, а вихідний опір схеми малий у відкритому (нульовому) стані і значно більший в закритому (одиничному). Тому позитивний струм, що втікає, при відкритій схемі значно більший струму, що витікає, при закритій схемі.

Схеми другої групи мають малий вихідний опір як у відкритому, так і в закритому станах. Тому схема може забезпечувати великий втічний і великий витічний струми (рисунок 2.7, б). Очевидно, що схеми другого типу мають велику навантажувальну здатність.

За вихідною характеристикою визначаються значення вихідного струму при нульовому ($I_{\text{вих}}^0$) і одиничному ($I_{\text{вих}}^1$) рівнях сигналу на виході. Значення величин струмів $I_{\text{вих}}^0$, $I_{\text{вих}}^1$, а також $I_{\text{вх}}^0$, $I_{\text{вх}}^1$ необхідні для визначення кількості навантажень

$$\left. \begin{aligned} n^0 &= I_{\text{вих}}^0 / I_{\text{вх}}^0 \\ n^1 &= I_{\text{вих}}^1 / I_{\text{вх}}^1 \end{aligned} \right\} .$$

Мінімальне із значень n^0 і n^1 є коефіцієнт розгалуження по виходу n .

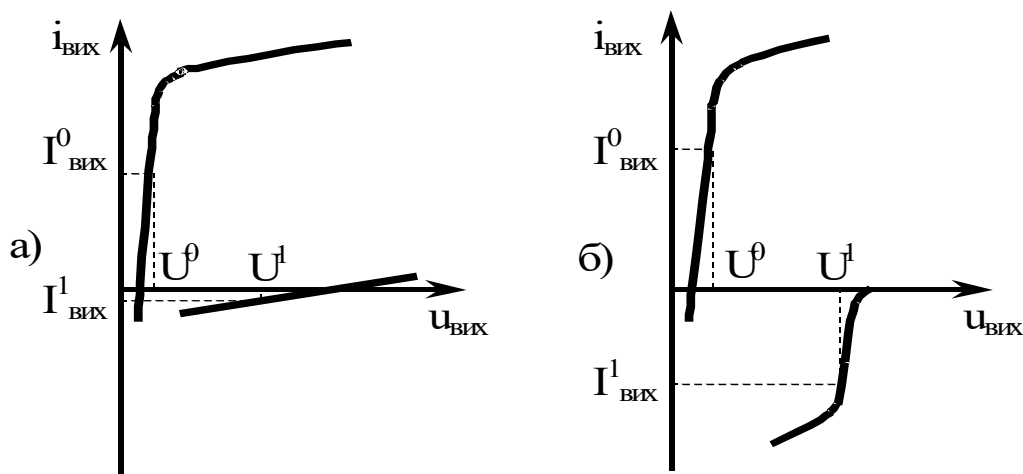


Рисунок 2.7 - Вихідні характеристики логічних елементів

Середній час затримки. Середній час затримки є найбільш розповсюдженим параметром, що характеризує швидкодію ІЛС, тому що він визначає середній час проходження сигналу через одну схему. При зміні значень вхідного сигналу зміна вихідного відбувається з деякою затримкою, що залежить від перехідних процесів у ємностях і розподілення об'ємних зарядів у транзисторах. При інвертувальній характеристиці епюри вхідної і вихідної напруг мають вигляд, як на рисунку 2.8.

Затримки визначаються як проміжки часу між моментами досягнення вхідною і вихідною напругами значень, що відповідають половині логічного перепаду. Розрізняє затримку вмикання (чи затримку при перемиканні з 1 у 0) t_3^{10} і затримку вимикання (чи затримку при перемиканні з 0 у 1) t_3^{01} . Середня затримка t_3 визначається як півсума величин t_3^{10} і t_3^{01} .

$$t_{3cp} = 0,5(t_3^{10} + t_3^{01}) .$$

Іноді як параметри ІЛС наводяться тривалості фронтів вихідного імпульсу, вимірювані на рівнях максимального нуля і мінімальної одиниці: тривалість фронту вмикання t_{ϕ}^{10} і

вимикання t_{ϕ}^{01} .

За швидкістю ІЛС розділяють так:

- надшвидкодіючі ($t_{зср} \leq 5$ нс);
- швидкодіючі ($t_{зср} = 5 \dots 10 \dots 10$ нс);
- середньої швидкодії ($t_{зср} = 10 \dots 100$ нс);
- низької швидкодії ($t_{з порівн} > 100$ нс).

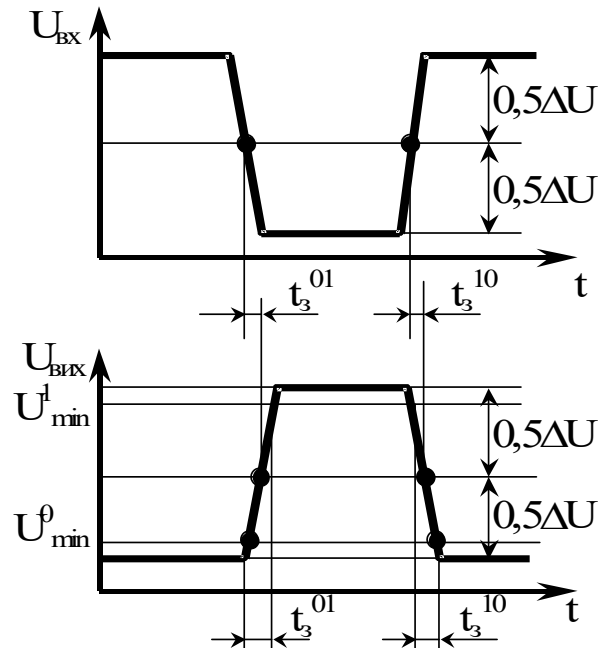


Рисунок 2.8 – Епюри вхідної і вихідної напруг при інвертувальній характеристиці

Споживана потужність. Для оцінки енергоспоживання ІЛС використовується звичайно середня споживана потужність

$$P_{ср} = 0.5E(I_{п}^0 + I_{п}^1),$$

де E – напруга джерела живлення;

$I_{п}^0$ і $I_{п}^1$ – струм, споживаний від джерела схемою, яка знаходиться відповідно в стані нуля чи одиниці.

Таке усереднення справедливе, тому що при роботі в пристрої звичайно половину часу ІЛС знаходиться в стані нуля, а половину – одиниці, тобто в середньому схема споживає струм

$0,5(I_n^0 + I_n^1)$). Умовно ІЛС поділяють на групи:

- потужні ($25 \text{ мВт} < P_{\text{ср}} < 250 \text{ мВт}$);
- ІЛС середньої потужності ($3 \text{ мВт} < P_{\text{ср}} < 25 \text{ мВт}$);
- малопотужні ($0,3 \text{ мВт} < P_{\text{ср}} < 3 \text{ мВт}$);
- мікроватні ($1 \text{ мкВт} < P_{\text{ср}} < 0,3 \text{ мВт}$);
- нановатні ($P_{\text{ср}} < 1 \text{ мкВт}$).

Споживана потужність тісно пов'язана зі швидкодією схеми. Чим більше $P_{\text{ср}}$, тим менше $t_{\text{зср}}$, і навпаки. Тому часто при характеристиці ІЛС використовується узагальнений параметр – робота перемикачів, дорівнює добутку середньої споживаної потужності на середню затримку

$$A = P_{\text{ср}} t_{\text{зср}}.$$

Нарешті, при оцінці ІЛС обов'язково розглядаються експлуатаційні характеристики, що вказують, у якому діапазоні температур, вібрацій, тисків і вологості дана схема працездатна.

2.3 Системи інтегральних елементів

Для побудови схем цифрових пристроїв необхідні не окремі ІЛС, а системи елементів, що містять від трьох – чотирьох до десятків різних схем. Такі системи (чи серії) логічних елементів повинні задовольняти такі вимоги:

- серія повинна бути функціонально повною (тобто забезпечувати побудову логічного пристрою будь-якої складності);
- елементи серії повинні забезпечувати побудову найпростішої схеми пристрою;
- елементи серії повинні забезпечувати необхідні електричні й експлуатаційні параметри пристрою;
- схеми, що входять у серію, повинні відповідати вимогам мікромініатюрності, надійності й економічності.

Як уже вказувалося в розд. 2.1, функціонально повною є система, що містить схему АБО-НІ чи І-НІ. До складу серії звичайно входить кілька різних схем такого типу, що відрізняються коефіцієнтами розгалуження по виходу й

об'єднання по входу. Це необхідно для побудови максимально простої схеми логічного пристрою, тому що полегшує його оптимізацію, скорочує число надлишкових компонентів у схемі. Однак збільшення типів схем у серії викликає підвищення вартості розробки, що й обмежує склад серії. Крім того, на склад серії впливає тип стандартного корпусу, що використовується в даній серії, тому що кількість виводів обмежує можливості ускладнення схем. Звичайно, крім основної схеми з різними кількостями входів, до складу серії входять здвоєні (тобто розташовані в одному корпусі), строєні, зчетверені і більш схеми.

До складу серій часто входять розширювачі, що підключаються до основної схеми для збільшення, при необхідності, кількості її входів.

Звичайно, крім основної логічної схеми, що має мале значення коефіцієнта розгалуження, до складу серії включаються потужні ІЛС, що мають велике значення $n = 15...25$, і схеми, що виконують складніші логічні функції, наприклад І-АБО-НІ і т.п.

За схемотехнічним принципом інтегральні логічні схеми поділяються на основні групи:

- транзисторні логічні схеми з безпосередніми (НСТЛ), резистивними (РСТЛ) і резистивно-ємнісними (РССТЛ) зв'язками;
- діод-транзисторні логічні схеми (ДТЛ);
- транзисторно-транзисторні логічні схеми (ТТЛ);
- логічні схеми на перемикачах струму (ПТТЛ) чи емітерно-зв'язана логіка (ЕЗЛ);
- логічні схеми на МДП-транзисторах;
- інжекційні логічні елементи (І²Л).

Транзисторно-транзисторні логічні елементи. Принципова схема типового елемента наведена на рисунку 2.9.

У вхідному колі як елемент, що реалізує функцію І, використовується багатоемітерний транзистор МТ. Якщо на усі входи схеми подані сигнали низького рівня ($U_{вх1} = U_{вх2} = \dots = U_{вхn} = U^0 = U_{кн}$), то емітерні переходи багатоемітерного транзистора відкриті. Тому що база МТ через резистор R_0 з'єднана з плюсом джерела E_0 , а колектор через вхідний опір транзистора Т з корпусом, то напруга база - колектор багатоемітерного транзистора є додатною ($U_{бк} > 0$). Колекторний перехід

відкритий, тому що всі транзистори, які утворюють МТ, насичені. Напряга на базі вихідного транзистора Т дорівнює

$$U_{бз} = U_{кэ}^{MT} + U^0 = U_{кэн}^{MT} + U_{кн} .$$

З урахуванням реальних значень напруг ($U_{кн} = 0,2 \text{ В}$, $U_{кэн}^{MT} = 0,2 \text{ В}$) ця напруга менша напруги відмикання транзистора ($U_{ботп} = 0,5...0,6 \text{ В}$). Тому транзистор Т замкнений і на його виході буде високий рівень напруги U^1 .

При наявності на входах схеми нулів і одиниць (наприклад, $U_{вх1}=U^0$; $U_{вх2}=...=U_{вхm}=U^1$) схема знаходиться також в одиничному стані. Це пояснюється тим, що поряд із замкненими емітерними переходами існує відкритий (перший) перехід. Тому перший транзистор із структур, що утворюють МТ, насичений і на базі транзистора Т низька напруга $U_{бз}$ є недостатньою для його вимикання.

При дії сигналів логічної одиниці на усіх входах схеми ($U_{вх1}=U_{вх2}=...=U_{вхm}=U^1$) емітерні переходи МТ замкнені, а колекторний – відкритий. Усі транзисторні структури, що входять у МТ, працюють в активному інверсному режимі. Колекторний струм багатоемітерного транзистора великий і забезпечує насичення вихідного транзистора Т. На виході схеми встановлюється низький рівень напруги $U^0=U_{кн}$. Отже, розглянута схема ТТЛ-елемента виконує операцію І-НІ.

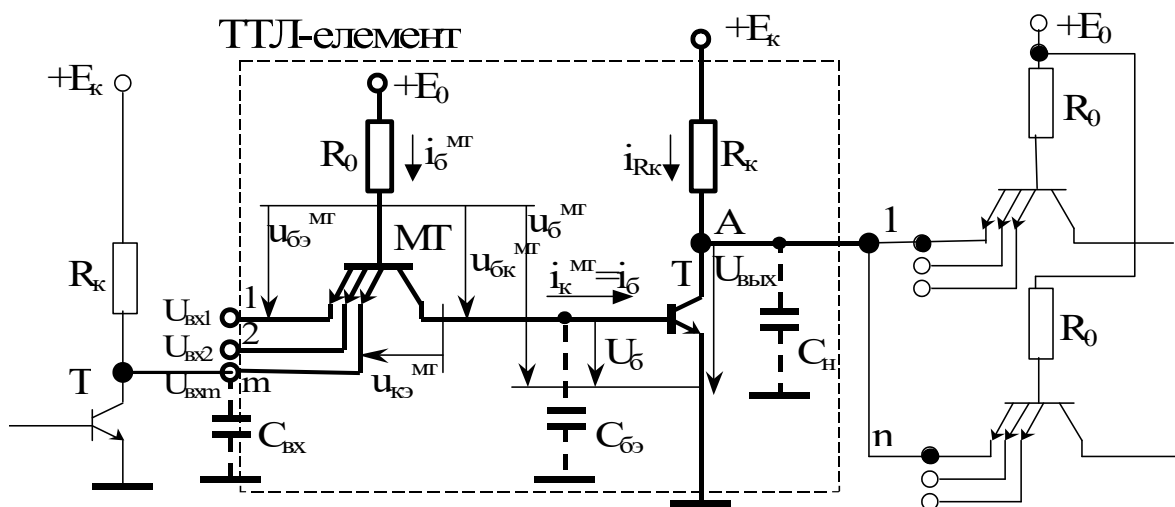


Рисунок 2.9 – Принципова схема типового елемента

Схема (рисунок 2.9) знаходиться у відкритому стані, якщо на усі входи елемента подані напруги високого рівня ($U_{\text{вх1}}=U_{\text{вх2}}=\dots=U_{\text{вхm}}=U^1$). Ці напруги формуються попередніми ТТЛ-елементами у випадку, коли їхні вихідні транзистори замкнені. Отже, входи розглянутої схеми через резистори R_k попередніх схем підключені до плюса джерела живлення E_k . Таке вмикання забезпечує роботу вхідного багатоемітерного транзистора МТ в активному інверсному режимі. Колекторний струм МТ є струмом бази транзистора Т і повинен забезпечувати його насичений режим. Такий режим транзистора Т забезпечується, якщо струм його бази I_b більший $I_{bн}$ – насичуючого струму бази:

$$I_b = S I_{bн} = S \frac{I_{кн}}{h_{21э}}, \quad (2.1)$$

де S , $I_{кн}$ і $h_{21э}$ – відповідно ступінь насичення, колекторний струм у режимі насичення і коефіцієнт передачі струму бази транзистора Т. Струм колектора багатоемітерного транзистора в інверсному режимі є струмом бази транзистора Т і дорівнює

$$I_b = I_{кнв}^{MT} = I_{бнв}^{MT} (1 + \beta_{инв}^{MT}), \quad (2.2)$$

де $I_{бнв}^{MT}$ – струм бази МТ в інверсному режимі (тут і надалі усі величини, що відносяться до багатоемітерного транзистора, наводяться зі знаком МТ у верхньому індексі);

$\beta_{инв}^{MT}$ – інверсний коефіцієнт передачі струму бази МТ.

Як впливає з рисунка 2.9, струм бази в інверсному режимі дорівнює

$$I_{бнв}^{MT} = \frac{E_0 - U_b^{MT}}{R_0} = \frac{E_0 - U_{бк}^{MT} - U_{бн}}{R_0}, \quad (2.3)$$

де $U_{\text{бннв}}^{\text{MT}}$ – напруга на відкритому колекторному переході МТ,
 $U_{\text{бннв}}^{\text{MT}} = 0,5 \dots 0,6 \text{ В}$;
 $U_{\text{бн}}$ – напруга на відкритому емітерному переході транзистора
Т, $U_{\text{бн}} = 0,7 \text{ В}$.

Колекторний струм насиченого транзистора Т дорівнює сумі струму $I_{\text{Rк}}$ і струму навантаження $I_{\text{н}}$:

$$I_{\text{кн}} = I_{\text{Rк}} + I_{\text{н}}. \quad (2.4)$$

Струм $I_{\text{Rк}}$ легко визначити, знаючи напругу на колекторі насиченого транзистора Т (вона дорівнює $U_{\text{кн}}$):

$$I_{\text{Rк}} = \frac{E_{\text{к}} - U_{\text{кн}}}{R_{\text{к}}}. \quad (2.5)$$

Струм навантаження $I_{\text{н}}$ визначається сумою вхідних струмів навантажувальних схем, тобто сумою емітерних струмів насичених структур МТ навантажувальних елементів, підключених до виходу розглянутої схеми

$$I_{\text{н}} = \sum_{i=1}^n I_{\text{вх}i} = \sum_{j=1}^n I_{\text{э}j}^{\text{MT}}. \quad (2.6)$$

Цей струм має максимальне значення, якщо у всіх навантажувальних МТ насичена тільки одна транзисторна структура. У цьому випадку колекторні струми усіх $(m - 1)$ транзисторних структур, які знаходяться в інверсному режимі, замикаються через насичену структуру й утворюють її емітерний струм, тобто вхідний струм навантажувальної схеми. Вважаючи, що всі багатоемітерні транзистори ідентичні, струм навантаження можна прийняти рівним

$$I_{\text{н}} = n I_{\text{эн}}^{\text{MT}} \cong n I_{\text{бн}}^{\text{MT}}, \quad (2.7)$$

де $I_{\text{бн}}^{\text{MT}}$ – струм бази навантажувального МТ при наявності насичених транзисторних структур у ній.

З урахуванням отриманих співвідношень (2.2–2.7) умова (2.1) насичення транзистора Т набуде вигляду

$$\frac{E_0 - U_{\text{бк}}^{\text{MT}} - U_{\text{бн}}}{R_0} (1 + \beta_{\text{инв}}^{\text{MT}}) = \frac{S}{h_{21\text{б}}} \left(\frac{E_{\text{к}} - U_{\text{кн}}}{R_{\text{к}}} + nI_{\text{бн}}^{\text{MT}} \right). \quad (2.8)$$

При виконанні цієї умови схема знаходиться у відкритому (нульовому) стані. Вихідна напруга нуля низького рівня дорівнює колекторній напрузі насиченого транзистора Т: $U^0 = U_{\text{кн}}$. Вхідний струм $I_{\text{вх}}^1$ відкритої схеми – це зворотний емітерний струм багатоемітерного транзистора, який працює в інверсному режимі

$$I_{\text{вх}}^1 = I_{\text{Эинв}}^{\text{MT}} = \beta_{\text{инв}}^{\text{MT}} I_{\text{бинв}}^{\text{MT}} = \beta_{\text{инв}}^{\text{MT}} \frac{E_0 - U_{\text{бк}}^{\text{MT}} - U_{\text{бн}}}{R_0}. \quad (2.9)$$

Цей вхідний струм відкритої схеми протікає через вихідні опори попередніх замкнених схем і викликає зменшення їхнього рівня одиниці. Навіть при дуже малому значенні $\beta_{\text{инв}}^{\text{MT}}$ вхідний струм відкритої схеми досить великий, що є недоліком ТТЛ-схеми.

При збільшенні навантаження (n) відкритої схеми відповідно до (2.4), (2.7) зростає колекторний струм транзистора $I_{\text{кн}}$, тобто збільшується і насичуючий струм бази, $I_{\text{бн}}$. Це може призвести до виходу транзистора Т з насичення і до неприпустимого збільшення рівня логічного нуля схеми.

При запиранні відкритої схеми розсмоктувальний струм бази протікає через малий опір насиченого багатоемітерного транзистора. Тому в базове коло транзистора Т немає необхідності вводити резистор $R_{\text{б}}$.

У закритому стані елемента хоча б на один з його входів повинен подаватися сигнал нуля (наприклад, $U_{\text{вх}1} = U^0$, $U_{\text{вх}2} = \dots = U_{\text{вх}m} = U^1$). Для наочності подамо багатоемітерний транзистор як m транзисторів з паралельно ввімкненими базами і колекторами. У цьому випадку схема елемента має вигляд, як на рисунку 2.10.

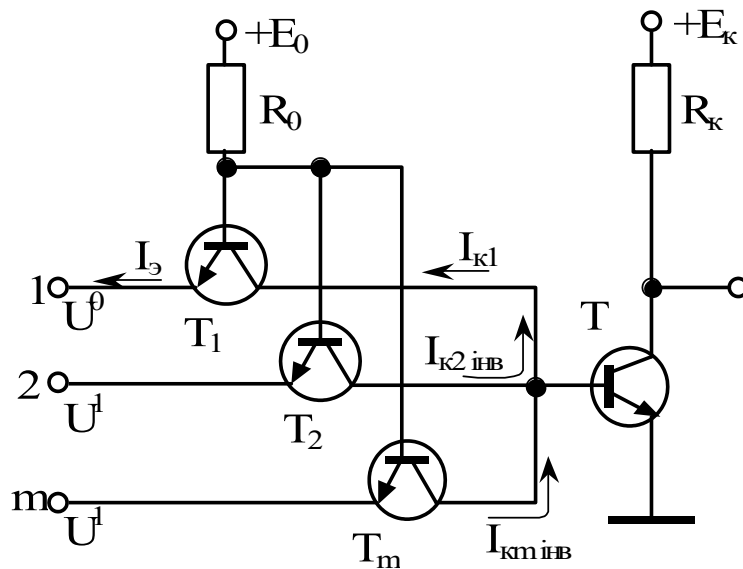


Рисунок 2.10 – Принципова схема типового елемента у закритому стані

Тому що вхідна напруга $U_{вх1} = U^0$ мала, транзистор T_1 насичений. Транзистори T_2, \dots, T_m , на емітери яких подаються сигнали високого рівня, працюють в інверсному режимі. Їх інверсні колекторні струми $I_{K2\text{инв}}, \dots, I_{Km\text{инв}}$ замикаються через насичений перший транзистор T_1 , не викликаючи вимикання транзистора T . Напруга на базі транзистора T , як видно з рисунка 2.9, дорівнює

$$U_6 = U_{кЭ}^{MT} + U_{вх1} = U_{кЭн}^{MT} + U^0 < U_{бЭотп} ,$$

де $U_{кЭн}^{MT} = 0,2$ В – напруга колектор - емітер насиченого багатоемітерного транзистора.

Ця напруга недостатня для вимикання транзистора T , тому в його базовому колі протікає дуже малий струм, що дорівнює зворотному струму $I_{к0}$.

Вхідний струм елемента при подачі на цей вхід рівня нуля визначається колекторними струмами транзисторних структур, які працюють в інверсному режимі (T_2, \dots, T_m , на входи яких надходять напруги одиниці).

Цей струм максимальний, коли насичена тільки одна транзисторна структура, і рівний, як випливає з рисунка 2.9,

$$I_{\text{вх}}^0 = I_{\text{эн}}^{\text{МТ}} \cong I_{\text{бн}}^{\text{МТ}} = \frac{E_0 - U_{\text{бэн}}^{\text{МТ}} - U^0}{R_0} .$$

Цей струм навантажує попередню навантажувальну схему і втікає в неї.

Вхідні струми інших входів елемента (2, ..., m) є зворотними емітерними струмами, що втікають у схему, інверсних транзисторних структур (на емітери яких надходять сигнали одиниці). Інжектвані колектором МТ електрони розподіляються між закритими емітерними переходами МТ і утворюють струми входів елемента.

Очевидно, що вхідний струм максимальний, коли в інверсному режимі працює тільки одна транзисторна структура. Величина його, як було показано раніше, визначається виразом (2.9).

ТТЛ-елемент зі складним інвертором. Розглянута схема ТТЛ-елемента з простим інвертором має ряд недоліків. Найбільш істотним з них є протікання вхідного струму відкритого елемента через резистор R_k попередньої замкненої схеми. З цієї причини напруга одиниці $U^1 = E_k - nI_{\text{вх}}^1 R_k$ знижується, що може при досить великій кількості навантажувальних елементів призвести до порушення нормальної роботи схеми. Отже, навантажувальна здатність ТТЛ-елемента визначається не тільки відкритим, але і закритим станом елемента. Другим істотним недоліком є те, що унаслідок великої величини R_k схема не може забезпечити швидкий заряд ємності навантаження, у зв'язку з чим знижується швидкодія елемента. Тому більшість ТТЛ-елементів, що випускаються промисловістю, містить складний інвертор. Використовуються різні варіанти схем складного інвертора. Одна з таких схем наведена на рисунку 2.11.

Якщо хоча б на один із входів елемента діє сигнал нуля, то багатоемітерний транзистор насичений, напруга на базі транзистора Т менша напруги вимикання. Тому транзистор Т закритий і, отже, закритий транзистор Т₂. Високим рівнем напруги, що існує на колекторі транзистора Т, відкривається транзистор Т₁, який працює в режимі емітерного повторювача.

Вихідна напруга, що знімається з емітера транзистора T_1 , має високий рівень і дорівнює

$$U_{\text{вих}} = U^1 = E_k - I_{\text{б1}}R_k - U_d - U_{\text{бэ1}} .$$

Вихідний опір закритої схеми є малим вихідним опором емітерного повторювача на транзисторі T_1 .

При дії напруг одиниці на усіх входах елемента багатоемітерний транзистор працює в інверсному режимі, у зв'язку з чим транзистори T і T_2 відкриті, а діод D і транзистор T_1 замкнені. На виході схеми напруга низького рівня, дорівнює напрузі колектор - емітер насиченого транзистора T_2 .

Вихідний опір схеми малий і дорівнює вихідному опору насиченого транзистора T_2 .

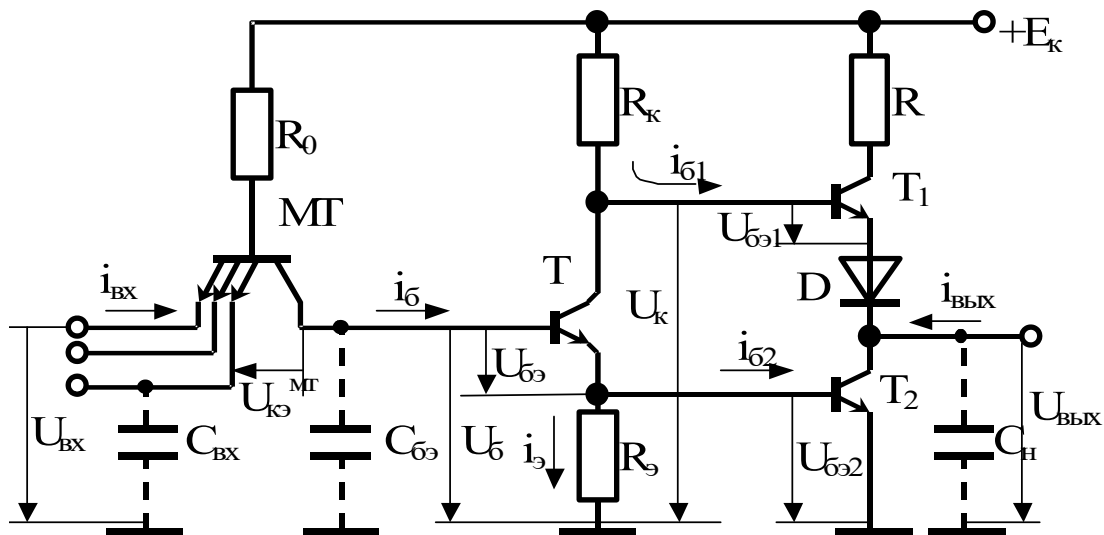


Рисунок 2.11 – Принципова схема ТТЛ-елемента зі складним інвертором

Характеристики ТТЛ-елементів. Передаточна і вхідна характеристики. Передаточна (рисунок 2.12, а) і вхідна (рисунок 2.12, б) характеристики ТТЛ-елемента зі складним інвертором (рисунок 2.11) знімаються при зміні напруги на одному із входів. На інших входах елемента при цьому існує велика позитивна напруга одиниці.

При малих значеннях вхідної напруги (ділянка 0 – 1) багатоемітерний транзистор МТ насичений, транзистори Т і Т₂ замкнені, а Т₁ – в активному режимі. Вихідна напруга схеми, що визначається формулою (2.3), є максимальною. Вхідний струм впливає з елемента (від’ємний) і є струмом емітера насиченого МТ (10). Вхідний опір елемента дорівнює послідовному з’єднанню вхідного опору насиченого МТ і резистора R₀, тобто приблизно R₀.

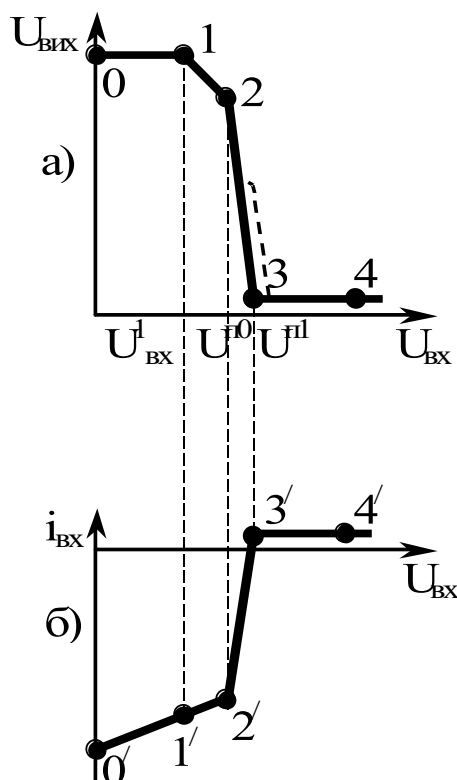


Рисунок 2.12 – Передаточна а) та вхідна б) характеристики ТТЛ-елемента зі складним інвертором

При збільшенні $U_{ВХ}$ вхідний струм зменшується. Напруга на базі транзистора Т дорівнює $U_б = U_{ВХ} + U_{кн}^{МТ}$, збільшується, тому що $U_{ВХ}$ зростає, а напруга на насиченому МТ залишається постійною.

При деякій вхідній напрузі $U_{ВХ} = U^1_{ВХ}$ транзистор Т вимикається і переходить в активний режим. Тепер збільшення вхідної напруги і, отже, напруги на базі викликають зростання колекторного струму транзистора Т, тобто зменшення вихідної напруги $U_{ВХ}$ передаточної характеристики залежить від

коефіцієнта підсилення каскаду на транзисторі Т. У цьому каскаді існує негативний зворотний зв'язок за рахунок спадання напруги на резисторі R_3 . Звичайно $R_3=R_k$, тому коефіцієнт підсилення каскаду близький до одиниці. Наявність за даним каскадом емітерного повторювача на транзисторі T_1 практично не змінює вихідної напруги, тобто кут нахилу передаточної характеристики на ділянці 1 – 2 дорівнює приблизно 45° .

Вхідний опір елемента на цій ділянці, як і раніше, дорівнює R_0 , тому що каскад на Т за рахунок негативного зворотного зв'язку має вхідний опір значно більший, ніж R_0 , і не шунтує його. Тому вхідний струм змінюється за тим же законом, що і на ділянці 0' – 1'.

При подальшому збільшенні $U_{вх}$ (а, виходить, і U_6) при деякому значенні вхідної напруги, що дорівнює граничній напрузі ($U_{вх} = U^{по} = U_{63} + U_{632отп} - U_{кэн}^{MT}$), відбувається вимикання транзистора T_2 (ділянка 2 – 3). Резистор R_3 шунтується вхідним опором другого транзистора, глибина ООС у каскаді на транзисторі Т зменшується. Це призводить до різкого зростання коефіцієнта передачі, тобто до збільшення крутості передаточної характеристики. При деякому значенні $U_{вх}$ настає насичення другого транзистора, у той час як Т залишається ще в активному режимі. Це пояснюється тим, що струм бази транзистора T_2 практично дорівнює емітерному струмові транзистора Т

$$i_{62} = i_3 = (1 + \beta)i_6 .$$

При насиченні T_2 навантаження в емітерному колі транзистора T_1 різко зменшується, і струм колектора $i_{к1}$ зростає. Тому для обмеження цього струму в колекторне коло транзистора T_1 вмикається резистор R невеликої величини (близько 100 Ом). Подальше збільшення $U_{вх}$, тобто зменшення колекторної напруги транзистора Т, призводить до запирання T_1 .

Диференціальний вхідний опір елемента на ділянці 2–3 дорівнює паралельному з'єднанню опору резистора R_0 і вхідних опорів транзисторів Т і T_2 , ввімкнених послідовно. Тому що тут $R_{вх}$ менший, ніж на ділянці 1–2, то вхідний струм змінюється швидше, тобто вхідна характеристика має велику крутість.

Після запирання транзистора T_1 відбувається насичення транзистора T і перехід МТ в інверсний режим.

Вхідний струм змінює свій напрямок і втікає в схему, а його значення визначається формулою (2.9). Диференціальний вхідний опір елемента, унаслідок запирання емітерного переходу МТ, різко зростає, а вхідний струм залишається практично постійним. Вихідна напруга елемента дорівнює напрузі колектор-емітер насиченого транзистора T_2 (ділянка 3 – 4).

Необхідно відзначити, що нижня частина ділянки 2 – 3, що відповідає насиченню T_2 і запиранню T_1 , дуже крута. Тому відповідну вхідну напругу можна прийняти за порогову напругу одиниці $U^{П1}$.

При зміні вихідної напруги на ділянці 2 – 3 відбувається запирання навантажувальних схем. При цьому їх вхідні багатоемітерні транзистори насичуються, а вхідні опори різко зменшуються. Зменшення опору навантаження викликає зменшення коефіцієнта передачі складного інвертора, що проявляється у вигляді сходинки на передаточній характеристиці (рисунок 2.12, а показано пунктиром).

Вихідна характеристика (рисунок 2.13) знімається для відкритого і закритого станів схеми. При подачі на вхід напруги нуля U^0 схема замкнута, тобто знаходиться в одиничному стані (транзистор T_2 закритий). При $U_{\text{вих}} \ll E_k$ транзистор T_1 відкритий і працює в активному режимі (виконується умова $R_k > h_{21э} R$, де $h_{21э}$ – коефіцієнт підсилення струму бази транзистора T_1). Вихідний струм дорівнює емітерному струму $i_{э1}$ транзистора T_1 і впливає із елемента в навантаження (від'ємний). При зниженні $U_{\text{вих}}$, тобто $U_{э1}$, зростає струм бази $i_{б1}$. Тому зростають струм емітера $i_{э1}$ і вихідний струм $i_{\text{вих}}$. Вихідний опір схеми малий і дорівнює вихідному опору емітерного повторювача. Крутість вихідної характеристики (рисунок 2.13, крива а) велика (ділянка 0' – I').

При подальшому зростанні струмів $i_{э1}$ та $i_{\text{вих}}$ (тобто зменшенні $U_{\text{вих}}$) зростає коефіцієнт підсилення струму першого транзистора $h_{21э}$. Тому при деякому значенні $U_{\text{вих}}$ умова забезпечення активного режиму транзистора T_1 ($R_k > h_{21э} R$) не виконується, і транзистор T_1 переходить у насичений режим. Вихідний опір $R_{\text{вих}}$ елемента зростає і стає приблизно рівним R (насичений T_1 являє коротке замикання, а опором діода можна

знехтувати). Унаслідок збільшення $R_{\text{вих}}$ вихідний струм змінюється повільніше (ділянка 1' – 2'). Ця ділянка вихідної характеристики зв'язана з неприпустимим зниженням вихідної напруги ($U_{\text{вих}} < U^{\text{П1}}$), виникає при перевантаженні схеми ($n > n_{\text{max}}$) і тому не використовується.

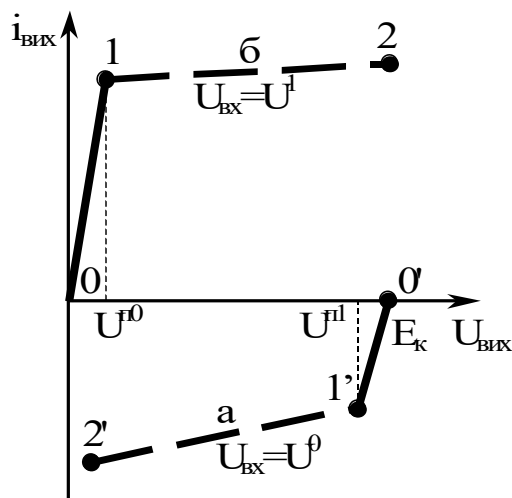


Рисунок 2.13 – Вихідна характеристика ТТЛ – елемента зі складним інвертором

При подачі на вхід елемента напруги одиниці транзистор T_1 закритий, а T_2 – відкритий. Вихідний опір схеми дорівнює дуже малій величині опору насиченого транзистора T_2 . Тому при зміні вихідної напруги струм $i_{\text{вих}}$, що втікає в схему, зростає дуже швидко (ділянка 0 – 1, лінія б).

При подальшому збільшенні вихідної напруги транзистор T_2 переходить в активний режим і вихідний струм змінюється повільно (ділянка 1 – 2). З вихідної характеристики відкритої схеми ясно, що а ділянка 1–2 зв'язана з неприпустимим підвищенням вихідної напруги ($U_{\text{вих}} > U^{\text{П0}}$) за рахунок зростання вихідного струму елемента при великій кількості навантажувальних схем ($n > n_{\text{max}}$). Тому розглянута ділянка характеристики не використовується.

Перехідні процеси при перемиканнях елемента визначаються інерційністю транзисторів і наявністю паразитних ємностей. При вмиканні елемента відбуваються такі процеси:

1 Заряд паразитної вхідної ємності $C_{вх}$, тобто ємності навантаження попереднього елемента, через вихідний опір попередньої закритої схеми (R_k для схеми рисунка 2.9 або вихідний опір емітерного повторювача для схеми рисунка 2.11). Очевидно, що при використанні складного інвертора цей процес протікає дуже швидко. Одночасно відбувається заряд вхідної ємності $C_{б}$ транзистора T колекторним струмом багатоемітерного транзистора. Закінчується даний етап початком вимикання транзистора T , а його тривалість визначає затримку вмикання t_3^{10} .

2 Швидке вимикання транзистора T і T_2 великим струмом багатоемітерного транзистора в інверсному режимі.

3 Запирання транзистора T_1 . Через те, що до цього транзистор працював в активному режимі, відсутнє розсмоктування надлишкового заряду в базі і процес протікає дуже швидко.

4 Розряд ємності навантаження C_n через малий вихідний опір насиченого транзистора T_2 .

Останні три етапи визначають фронт вмикання $t_{фр}^{01}$.

Отже, у ТТЛ-елементах, особливо зі складним інвестором, забезпечується дуже швидке вмикання з малою затримкою (порядку 20 -30 нс і меншою).

Вимикання елемента можна розділити на такі етапи:

1 Розряд вхідної ємності через вихідний транзистор попередньої схеми, що відкривається. Цей етап триває до переходу багатоемітерного транзистора в режим насичення і визначає затримку вимикання $t_{зд}^{01}$.

2 Вимикання насичених транзисторів (T для простого інвертора, T і T_2 для складного). Розсмоктування надлишкового заряду в базах цих транзисторів здійснюється через дуже малі опори насичених багатоемітерного транзистора і вихідного транзистора попередньої відкритої схеми. Через малу величину цього опору немає необхідності в резисторі R_6 у базовому колі транзистора.

3 Вимикання транзистора T_1 протікаючим струмом, від джерела E_k через резистор R_k .

4 Заряд ємності навантаження, через малий вихідний опір емітерного повторювача на транзисторі T_1 для складного інвертора або через R_k для простого.

Очевидно, що через процес розсмоктування тривалості затримки $t_{зд}^{01}$ і фронту $t_{фр}^{01}$ при вимиканні будуть трохи більшими, ніж при вмиканні (порядку 20-40 нс).

Коефіцієнт розгалуження по виходу. У ТТЛ-елемента коефіцієнт розгалуження по виходу залежить від його вихідного струму, який забезпечує нормальне функціонування навантажувальних схем. З умови насичення вихідного транзистора схеми (рисунок 2.9), формула (2.8), впливає, що максимальна навантажувальна здатність відкритої схеми дорівнює

$$n = \frac{1}{I_{бн}^{MT}} \left(\frac{\beta(1 + \beta_{инв}^{MT})(E_0 - U_{бк}^{MT} - U_{бн})}{sR_0} - \frac{E_k - U_{кн}}{R_k} \right). \quad (2.10)$$

Збільшити n можна за рахунок збільшення E_0 у порівнянні з E_k . Однак робити це недоцільно з наступних причин. У виразі (2.10) $\beta_{инв}^{MT} \ll 1$, ступінь насичення $S \cong 1$,

$$\frac{E_0 - U_{бк}^{MT} - U_{бн}}{R_0} = I_{бнв}^{MT} \cong I_{кнв}^{MT} \cong I_б; \quad \frac{E_k - U_{кн}}{R_k} = I_{кн}.$$

Тому коефіцієнт розгалуження простої схеми

$$n \cong \frac{\beta I_{бнв}^{MT}}{I_{бн}^{MT}} - \frac{I_{кн}}{I_{бн}^{MT}}.$$

Оскільки у першому наближенні $I_б \cong I_{бнв}^{MT} \cong I_{бн}^{MT}$, тому відношення $\frac{I_{кн}}{I_{бн}^{MT}} \cong \frac{I_{кн}}{I_б}$ при $s=1$ дорівнює приблизно $h_{21э}$, тобто коефіцієнт розгалуження простої схеми дуже малий ($n = 2...3$). Тому звичайно використовуються схеми зі складним інвертором, коефіцієнт розгалуження яких досягає 10, а при використанні складеного транзистора замість T_1 значення n може бути доведене до 30. При цьому немає необхідності використовувати джерело $E_0 > E_k$ і досить одного джерела напруги E_k . У той же час у складних інверторах вимоги до величини і розкиду значень коефіцієнта $h_{21э}$ транзисторів T_1 та T_2 невисокі.

Коефіцієнт об'єднання по входу. Коефіцієнт об'єднання по входу визначається кількістю емітерів МТ. Збільшення m пов'язане зі збільшенням площі багатоемітерного транзистора i , крім того, обмежується числом виводів у стандартному корпусі. Практично максимальне значення коефіцієнта об'єднання дорівнює 8...10.

Середній час затримки у ТТЛ-елементів визначається перехідними процесами в паразитних ємностях і процесами розсмоктування надлишкового заряду. Для схем зі складним інвертором середній час затримки досить малий і досягає 10...40 нс. При застосуванні діодів Шоттки, що запобігають насиченню транзисторів завдяки використанню нелінійного від'ємного зворотного зв'язку, середній час затримки складає одиниці наносекунд.

Завадостійкість ТТЛ-елемента з простим інвертором дуже мала. Напруга на базі закритого резистора T складає близько 0,3÷0,4 В, що при напрузі вимикання транзистора 0,6 В забезпечує запас по вимиканню, тобто завадостійкість до вимикаючої перешкоди, U^+ , порядку 0,20-3 В. У схемі зі складним інвертором напруга вимикання двох послідовно ввімкнених транзисторів T і T_2 дорівнює приблизно 1,2 В, що забезпечує досить високу завадостійкість, яка складає ~0,9...1...1 В.

Завадостійкість елемента по замикаючій перешкоді U^- визначається запасом по запиранню емітерних переходів багатоемітерного транзистора. Як впливає з рисунка 2.11, у відкритій схемі напруга на базі МТ, що працює в інверсному режимі, визначається сумою напруг на відкритих емітерних переходах транзисторів T та T_2 і колекторному переході МТ. Вона дорівнює $U_{\text{бинв}}^{\text{MT}} = U_{\text{бк}}^{\text{MT}} + U_{\text{бэн}} + U_{\text{бэ2н}} \cong 2\text{В}$. Емітерні переходи замкнені напругою $U_{\text{энт}}^{\text{MT}} - U_{\text{бинв}}^{\text{MT}} = U^1 - U_{\text{бинв}}^{\text{MT}}$. Тому що величина напруги одиниці залежить від струму навантаження попередньої керуючої схеми і дорівнює $U^1 = E_{\text{к}} - I_{\text{н}} R_{\text{вих}}$ (де $R_{\text{вих}}$ – вихідний опір керуючої схеми), то завадостійкість по замикаючій перешкоді можна зробити необхідної величини відповідним вибором $E_{\text{к}}$. Однак слід мати на увазі, що збільшення $E_{\text{к}}$ призводить до зниження швидкодії схеми за рахунок збільшення тривалості перехідних процесів у паразитній ємності навантаження. Для практичних схем при використанні $E_{\text{к}} = 5 \text{ В}$ величина $U^- \cong 1 \text{ В}$.

Необхідно відзначити, що ТТЛ-елементи, маючи велику завадостійкість, самі є джерелами сильних завад. Це пояснюється тим, що при перемиканні схеми всі транзистори складного інвертора протягом короткого проміжку часу відкриті. У результаті схема споживає від джерела великий струм, для обмеження якого вводиться резистор R . Цей струм викликає імпульсні перешкоди на шині живлення, тобто створює перешкоди для інших елементів. У зв'язку з таким недоліком ТТЛ-схеми зі складним інвертором вимагають вживання заходів конструктивного характеру. У схему обов'язково включають конденсатори з малою власною індуктивністю (керамічні) між шиною живлення і корпусом у безпосередній близькості до корпусу ІЛС.

Споживана потужність ТТЛ-елементів зі складним інвертором складає близько 10...30 мвт і меншу величину для схем із простим виходом. При великих робочих частотах, коли збільшується число перемикань елемента в одиницю часу, зростає споживання енергії від джерела за рахунок зростання струму транзисторів при перезарядженні ємностей. У результаті збільшення середньої потужності розігрівання елементів зростає і, тим самим, обмежує максимальну робочу частоту (не більш десятків мегагерц).

3 Домашнє завдання

3.1 Вивчити основні типи і принцип дії логічних схем [1, гл. 4; 2, §5.5].

3.2 З довідника [3, 4] виписати параметри однієї з типових ІЛС ТТЛ (серій ДО155, ДО555, ДО1533, ДО1531), що виконують операцію І-НІ (АБО); КМОП – логіки (серій ДО176, ДО561, ДО564).

3.3 Підготувати бланк звіту, що містить п.п. 6.1, 6.2, 6.3.

4 Програма роботи

4.1 Дослідження елемента ТТЛ у статичному режимі роботи.

4.2 Дослідження елемента ТТЛ у динамічному режимі роботи.

5 Методичні вказівки до виконання роботи

5.1 Досліджувати вхідну і передаточну характеристики елемента ТТЛ D1.1 за схемою, наведеною на рисунку 5.1. Для цього, змінюючи напругу на вході логічного елемента U1 від нуля до максимального значення, зняти залежності $I_2=F(U_1)$ і $U_4=F(U_1)$. Перша з цих залежностей відповідає вхідній характеристиці елемента $I_{вх}=F(U_{вх})$, а друга – передаточній $U_{вих}=F(U_{вх})$.

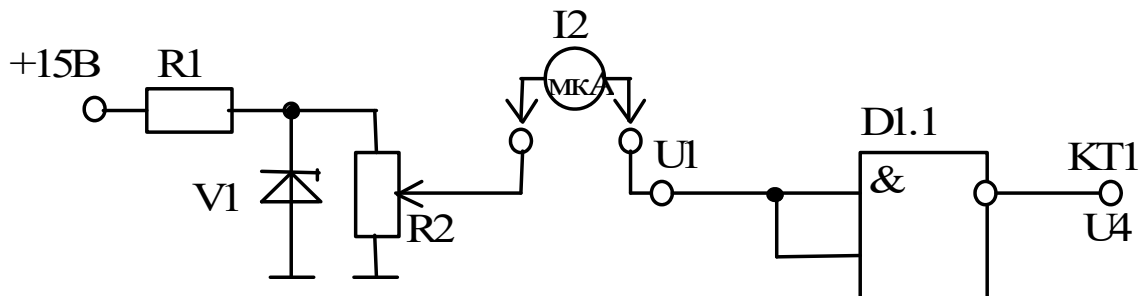


Рисунок 5.1 – Схема дослідження ТТЛ D1.1

5.2 Досліджувати вихідні характеристики $I_{вих}=F(U_{вих})$ логічного елемента ТТЛ D1.2 у ввімкненому і вимкненому станах (рисунок 5.2).

5.2.1 Для одержання вихідної характеристики $I_{вих}^0=F(U_{вих}^0)$ увімкненого логічного елемента необхідно установити на вході схеми D1.2 сигнал високого рівня ($U_2 > 2,5$ В), ввімкнути комутатори 4, 9 і змінювати опір навантажувального резистора R6 від максимального (крайне праве положення регулятора) до мінімального значення, знімаючи при цьому залежність $I_3=F(U_3)$.

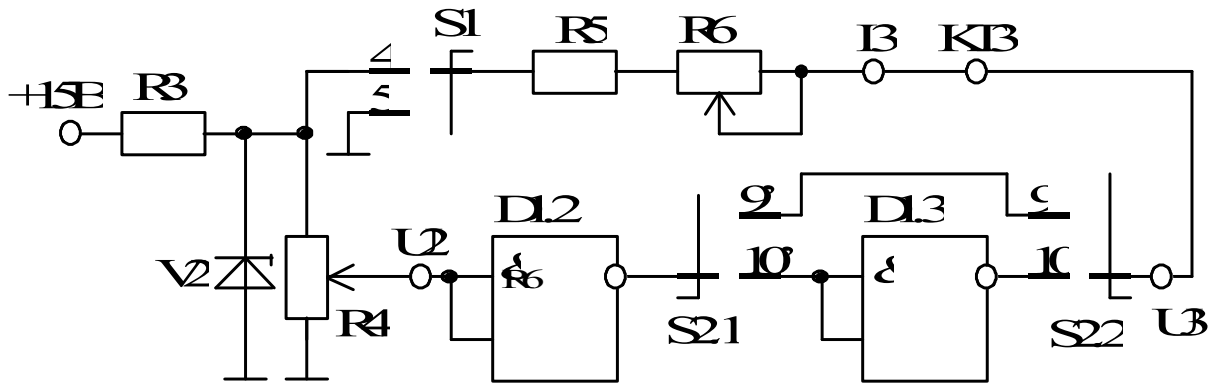


Рисунок 5.2 – Схема одержання вихідної характеристики вимкненого логічного елемента

5.2.2 Для одержання вихідної характеристики вимкненого логічного елемента $I^1_{\text{вих}}=F(U^1_{\text{вих}})$ необхідно (рисунок 5.2) установити на вході схеми D1.2 сигнал низького рівня ($U_2 < 0,5 \text{ В}$), ввімкнути комутатор 5 і також змінювати опір резистора R6 від максимального до мінімального значення, знімаючи залежність $I_3=F(U_3)$.

5.3 Використовуючи отримані передаточну, вхідну і вихідні статичні характеристики логічного елемента, визначити його основні статичні параметри: U^0 ; U^1 ; $U^{\text{п}}$; U^+ ; U^- .

5.4 Досліджувати основні динамічні (часові) параметри універсального логічного елемента І-НІ:

- час затримки поширення сигналу при вмиканні – $t^1_{\text{зд.п}}$;
- час затримки поширення сигналу при вимиканні – $t^0_{\text{зд.п}}$;
- середній час затримки поширення сигналу, обумовлений співвідношенням

$$t_{\text{зд.п.ср}} = \frac{t^1_{\text{зд.п}} + t^0_{\text{зд.п}}}{2}.$$

Для одержання зазначених параметрів необхідно зробити таке:

5.4.1 Замкнути комутатори 8,12 і подати на вхід схеми, яка містить послідовно з'єднані елементи D2.1, D2.2 (рисунок 5.3), сигнал у вигляді послідовності прямокутних імпульсів з частотою проходження $\sim 500 \dots 1000$ кГц і амплітудою ~ 3 В.

5.4.2 Сумістити часові діаграми вхідного і вихідного сигналів на екрані двопробеневого осцилографа і виміряти час затримки поширення сигналу при вмиканні і вимиканні схеми.

5.4.3 З огляду на те, що досліджувана схема містить чотири послідовно з'єднаних типових елементи І-НІ, оцінити час поширення сигналу для одного логічного елемента при його вмиканні $t_{зд.р}^{10}$ і вимиканні $t_{зд.р.}^{10}$. Розрахувати середній час затримки поширення сигналу для елемента ТТЛ.

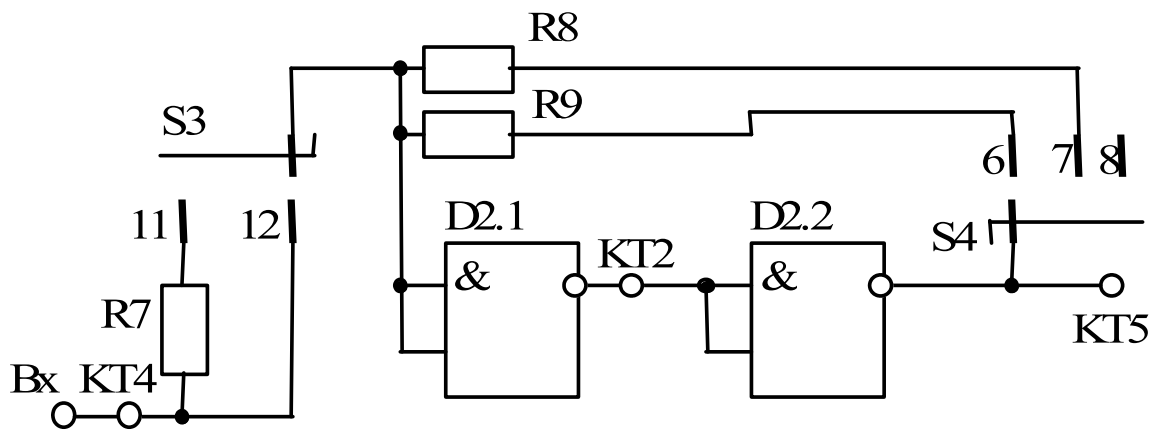


Рисунок 5.3 – Схема для дослідження основних динамічних параметрів елемента І-НІ

6 Зміст звіту

- 6.1 Мета роботи.
- 6.2 Схеми досліджень (рисунок 5.1 – 5.3).
- 6.3 Результати виконання домашнього завдання.
- 6.4 Таблиці вимірів, графіки характеристик і значення обмірюваних параметрів.
- 6.5 Висновки з роботи.

Контрольні питання

- 1 Характеристики логічних елементів.
- 2 Принцип роботи ТТЛ-елемента.
- 3 Принцип роботи випадкового інвертора.
- 4 Призначення елементів у складному інверторі.
- 5 Як впливає на характеристики логічного елемента використання складного інвертора?
- 6 Як працює багатомітерний транзистор, якщо на його емітери подані рівні логічного нуля? Рівні логічної одиниці?
- 7 Типи логічних елементів і їхні параметри.

СПИСОК ЛІТЕРАТУРИ

- 1Ерофеев Ю.Н. Импульсные устройства. – М.: Высшая школа, 1989.
- 2Скаржепа В.А., Луценко А.Н. Електроніка і мікросхемотехніка. – К.: Вища школа, 1989. – Ч. 1.
- 3Шило В.Л. Популярные цифровые микросхемы. – М.: Радио и связь, 1988.

