

ФАКУЛЬТЕТ АВТОМАТИКИ, ТЕЛЕМЕХАНІКИ ТА ЗВ'ЯЗКУ

Кафедра «Спеціалізовані комп'ютерні системи»

МЕТОДИЧНІ ВКАЗІВКИ

**до практичних занять та самостійної роботи
з дисципліни**

***«ЕЛЕКТРОНІКА ТА МІКРОСХЕМОТЕХНІКА»,
«КОМП'ЮТЕРНА ЕЛЕКТРОНІКА» ТА
«ПРИКЛАДНА ТЕОРІЯ ЦИФРОВИХ АВТОМАТІВ»***

Розділ

СИНТЕЗ АВТОМАТІВ ІЗ ПАМ'ЯТТЮ

Частина 3

Харків 2013

Методичні вказівки розглянуто та рекомендовано до друку на засіданні кафедри «Спеціалізовані комп'ютерні системи» 20 жовтня 2011 року, протокол № 3.

Рекомендуються для студентів спеціальності «Автоматика та автоматизація на транспорті» та «Спеціалізовані комп'ютерні системи».

Укладачі:

проф. Г.І. Загарій,
старш. викл. Л.В. Бушевська

Рецензент

проф. М.М. Бабаєв

МЕТОДИЧНІ ВКАЗІВКИ
до практичних занять та самостійної роботи
з дисципліни

*«ЕЛЕКТРОНІКА ТА МІКРОСХЕМОТЕХНІКА»,
«КОМП'ЮТЕРНА ЕЛЕКТРОНІКА» ТА
«ПРИКЛАДНА ТЕОРІЯ ЦИФРОВИХ АВТОМАТІВ»*

Розділ «Синтез автоматів із пам'яттю»

Частина 3

Відповідальний за випуск Загарій Г.І.

Редактор Решетилова В.В.

Підписано до друку 21.11.11 р.

Формат паперу 60x84 1/16. Папір писальний.

Умовн.-друк.арк. 0,5. Тираж 50. Замовлення №

Видавець та виготовлювач Українська державна академія залізничного транспорту,
61050, Харків-50, майдан Фейербаха, 7.

Свідоцтво суб'єкта видавничої справи ДК № 2874 від 12.06.2007 р.

ЗМІСТ

ВСТУП.....	4
1 ДИСКРЕТНИЙ АВТОМАТ ІЗ ПАМ'ЯТТЮ (ОСНОВНІ ПОНЯТТЯ).....	4
2 АВТОМАТИ МІЛІ І МУРА.....	5
3 СПОСОБИ ЗАДАННЯ САП.....	7
3.1 ТАБЛИЦІ ПЕРЕХОДІВ І ВИХОДІВ.....	7
3.2 ГРАФИ ПЕРЕХОДІВ І ВИХОДІВ.....	8
4 ЕЛЕМЕНТИ ПАМ'ЯТІ АП.....	9
5 ПРОЦЕС СИНТЕЗУ САП.....	9
6 СИНТЕЗ ПРИСТРОЮ ВИЗНАЧЕННЯ ПОСЛІДОВНОСТІ.....	16
7 ПРИКЛАДИ СИНТЕЗУ САП.....	20
7.1 ОДНОРОЗРЯДНИЙ СУМАТОР.....	20
7.2 РЕГІСТР ЗСУВУ ІНФОРМАЦІЇ ВПРАВО.....	23
7.3 ЛІЧИЛЬНИК.....	25
8 ЗАДАЧІ.....	26
9 ЛАБОРАТОРНА РОБОТА. ЕЛЕМЕНТИ ПАМ'ЯТІ ДИСКРЕТНИХ АВТОМАТІВ.....	28
СПИСОК ЛІТЕРАТУРИ.....	30

ВСТУП

Останніми роками велика увага приділяється методам проектування цифрових пристроїв.

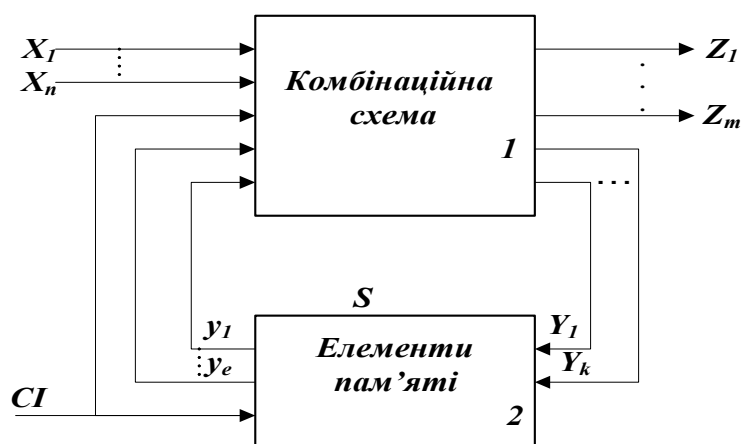
В даних методичних указівках розглядаються процедури, що лежать в основі проектування та реалізації синхронних послідовнісних схем, інша назва яких – синхронні автомати. Такі схеми широко використовуються в цифрових пристроях і складаються як із елементів комбінаційної логіки ([15,16]), так і елементів пам'яті (тригерів різних типів).

В методичних указівках розглянуті питання синтезу структури автоматів (етапи синтезу схем автоматів); приклади синтезу суматора, регістра зсуву, лічильника, пристрою виявлення послідовності сигналів; подані різноманітні задачі для самостійного розв'язання та проведення практичних занять.

1 ДИСКРЕТНИЙ АВТОМАТ ІЗ ПАМ'ЯТТЮ (ОСНОВНІ ПОНЯТТЯ)

Дискретні автомати з пам'яттю (ДАП) характеризуються тим, що стан їх виходів залежить як від сигналів, що діють на їх входах у даний момент часу, так і від послідовності сигналів, які надійшли на входи автомата в попередні моменти часу. В загальному вигляді ДАП мають схему, показану на рисунку 1.1.

Для опису ДАП необхідно оперувати з двома різними функціями: φ та f . Функція φ (функція переходів) описує



зміну вмісту пам'яті, в залежності від того, що в ній зберігалось, і від того, які відбувалися зміни вхідних сигналів. Функція f (функція виходів) описує зміну вихідних сигналів автомата під впливом

Рисунок 1.1

вхідних сигналів у залежності від того, що було записано в пам'яті ДАТ.

ДАП складається з комбінаційної схеми (КС) 1 та елементів пам'яті (ЕП) 2. На входи КС надходять сигнали X_1, \dots, X_n . Крім вихідних сигналів Z_1, \dots, Z_m , КС1 формує сигнали Y_1, \dots, Y_k , що здійснюють перемикання ЕП2 в різні стани S . Вихідні сигнали ЕП2 y_1, \dots, y_e надходять на КС1.

Найбільш відомим різновидом дискретного АП є синхронний АП (САП).

Функціонування такого АП визначається сигналами, що надходять від деякого незалежного джерела синхронізації сигналів (СІ), які визначають такти роботи.

2 АВТОМАТИ МІЛІ І МУРА

У класі САП виділяються два основних типи автоматів:

1) автомат I роду (автомат Мілі):

$$S(t+1) = \varphi [S(t), X(t)];$$

$$Z(t) = f [S(t), X(t)];$$

2) автомат II роду (автомат Мура):

$$S(t+1) = \varphi [S(t), X(t)];$$

$$Z(t) = f [S(t)],$$

де $Z(t)$ – стан АП на виході в момент часу t ;

$X(t)$ – стан на вході в момент часу t ;

$S(t)$ – внутрішній стан у момент часу t ;

$S(t+1)$ – внутрішній стан у наступний момент часу $(t+1)$.

Видно, що в автоматі Мілі функція виходу залежить від стану входу та внутрішнього стану, а в автоматі Мура – тільки від внутрішнього стану.

Питання до самостійної роботи та контролю матеріалу

- 1 Що таке дискретний час та такти спрацьовування автоматів?
- 2 Як формується внутрішній стан автомата?
- 3 Чим відрізняється комбінаційна схема від автомата з пам'яттю?
- 4 Під впливом яких сигналів змінюється внутрішній стан автомата?
- 5 Відмінності автоматів Мілі та Мура?
- 6 Які блоки входять до складу автомата з пам'яттю?
- 7 З якого стану починається робота автомата?
- 8 Чи можуть існувати вихідні сигнали автомата при відсутності вхідних сигналів?

3 СПОСОБИ ЗАДАННЯ САП

3.1 ТАБЛИЦІ ПЕРЕХОДІВ І ВИХОДІВ

При цьому способі кожна функція – переходів і виходів – задається у вигляді таблиці, яку називають відповідно таблицею переходів і таблицею виходів. Розглянемо таблиці 3.1 а, б, що являють собою приклад таблиці переходів і таблиці виходів ДАП Мілі .

Таблиця 3.1

$S(t)$)	$X(t)$		$S(t)$	$X(t)$		$S(t)$	$X(t)$	
	X_1	X_2		X_1	X_2		X_1	X_2
S_1	S_3	S_1	S_1	Z_1	Z_1	S_1	$\overline{3}, \overline{Z_1}$	$\overline{1}, \overline{Z_1}$
S_2	S_1	S_3	S_2	Z_1	Z_2	S_2	$\overline{1}, \overline{Z_1}$	$\overline{3}, \overline{Z_2}$
S_3	S_1	S_2	S_3	Z_2	Z_1	S_3	$\overline{1}, \overline{Z_2}$	$\overline{2}, \overline{Z_1}$

а) $S(t+1)$

б) $Z(t)$

в) $S(t+1), Z(t)$

Результатом переходу із внутрішнього стану S_i (i -й рядок) під дією вхідного сигналу X_j (j -й стовпчик) є внутрішній стан $S(t+1)$, який у таблиці переходів (таблиця 3.1, а) указується на перетині i -го рядка та j -го стовпчика. Задання стану $S(t+1)$ являє собою задання функції φ .

Таким само чином для таблиці 3.1, б на перетині i -го рядка та j -го стовпчика вказується стан виходу $Z(t)$, який буде мати АП у момент часу t із внутрішнім станом S_i та вхідним сигналом X_j . Задання стану $Z(t)$ являє собою задання функції f .

Часто таблицю переходів і виходів об'єднують в одну, як показано в таблиці 3.1, в.

Записом у кожній клітинці цієї таблиці є значення функції f у вигляді $Z(t)$ та φ – у вигляді $S(t+1)$, які розділяються комою .

Доведено, що АП Мілі може бути перетворений в еквівалентний йому АП Мура. Процедура перетворення наступна.

Оскільки в АП Мура стан виходу однозначно визначається внутрішнім станом, то таблиця виходів для нього вироджується в один стовпчик, який розміщується поряд із таблицею переходів. З таблиці 3.1, в видно, що перехід із стану 1 у стан 1 супроводжується видачею сигналу Z_1 (1-й рядок таблиці), а зі стану 3 у 1 – сигналу Z_2 (3-й рядок таблиці). Тому замінюємо стан 1 двома різними станами: станом 1 із вихідним сигналом Z_1 і станом 4 із вихідним сигналом Z_2 .

Далі, перехід із стану 1 у стан 3 супроводжується видачею сигналу Z_1 (1-й рядок таблиці), а зі стану 2 у 3 – сигналу Z_2 (2-й рядок таблиці). Тому також замінюємо стан 3 двома станами: станом 3 із вихідним сигналом Z_1 і станом 5 із вихідним сигналом Z_2 . Вносимо ці зміни в таблицю 3.1, в і отримуємо таблицю 3.1, г.

3.2 ГРАФИ ПЕРЕХОДІВ І ВИХОДІВ

Задання АП графом переходів має наочність. Прикладом графа переходів є рисунок 3.1, який відповідає таблиці 3.1, в.

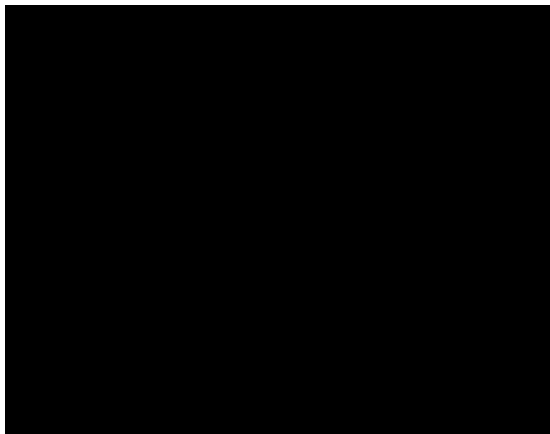


Рисунок 3.1

Продовження таблиці 3.1

$Z(t)$	$S(t)$	$X(t)$	
		X_1	X_2
Z_1	1	3	1
Z_1	2	1	5
Z_1	3	4	2
Z_2	4	3	1
Z_2	5	4	2

г) S (t+1)

Тут кружками зображені вершини графів переходів, що відповідають внутрішньому стану АП, який указується в середині кружка. Направлені дуги із стрілками та подвійним записом над ними означають, що перехід АП, наприклад, із стану 1 у стан 3, відбувся під дією вхідного сигналу X_1 , при цьому сигнал на виході набув значення Z_1 , а перехід із стану 3 у стан 1 – під дією вхідного сигналу X_1 із сигналом на виході Z_2 і т.д.

4 ЕЛЕМЕНТИ ПАМ'ЯТІ АП

При реалізації АП як однобітові елементи пам'яті використовуються тригери різних типів. Найбільш розповсюдженими на практиці є: RS -, \overline{RS} -, D -, T -, JK -тригери. Умовні позначення, призначення входів, відповідні таблиці переходів та рівняння тригерів подано в таблиці 4.1.

З таблиці 4.1 може бути отримана таблиця збудження тригерів (таблиця 4.2), що показує, які сигнали необхідно подавати на входи тригерів для забезпечення всіх можливих переходів тригерів. В таблиці 4.2: y – стани виходів тригерів в моменти часу t та $t+1$: $Y_S, Y_R, Y_{\bar{S}}, Y_{\bar{R}}, Y_D, Y_T, Y_J, Y_K$ – вхідні сигнали відповідних тригерів; « \sim » – означає 0 або 1.

5 ПРОЦЕС СИНТЕЗУ САП

Процедура синтезу САП складається з п'яти етапів. Розглянемо цю процедуру на прикладі побудування схеми, що сприймає послідовність із трьох двійкових цифр і видає сигнал $Z=1$ тільки тоді, коли на вхід X схеми подано комбінації 010, 011, 100, 111. При будь-яких інших послідовностях із трьох двійкових цифр $Z=0$. Сигнал Z повинен з'явитися при поданні третьої цифри послідовності. Тривалість сигналу Z має бути рівна тривалості СІ.

На першому етапі, етапі становлення задачі, дається словесний опис задачі, деталізуються відомі входи та необхідні виходи. Легше всього цю інформацію зобразити у вигляді структурної схеми, показаної на рисунку 5.1, а.

На другому етапі, будується граф переходів (рисунок 5.1, б). Пересування по цьому графу завжди буде починатися зі стану S_1 . З цього стану можна потрапити в стан S_2 , якщо подається сигнал X , або в стан S_3 , якщо подається сигнал \bar{X} . Зі стану S_2 і S_3 ведуть два шляхи: один – зв'язаний із сигналом переходу X , а інший – із сигналом переходу \bar{X} .

Таким чином, всього маємо чотири шляхи, які ведуть до станів S_4 , S_5 , S_6 та S_7 . Для кожного з цих чотирьох станів існує вихідний шлях, що приводить у стан S_1 (так як аналізуються послідовності, що складаються із трьох цифр, то і кількість переходів від початкового стану S_1 до повернення в нього ж рівна трьом).

Шлях $S_1 - S_2 - S_4 - S_1$ веде до вихідного сигналу $Z=1$ (у стані S_4). Шлях $S_1 - S_3 - S_6 - S_1$ таким само чином приводить до вихідного сигналу $Z=1$ (у стані S_6). Інші два шляхи ($S_5 - S_1$ та $S_7 - S_1$) графа переходів зв'язані з тими послідовностями, розглядати які немає необхідності, так як у цьому разі $Z=0$.

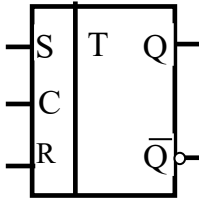
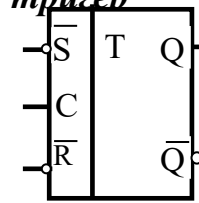
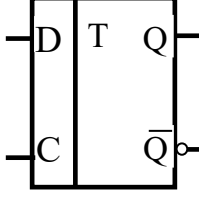
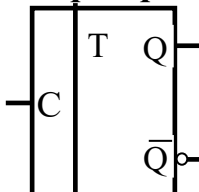
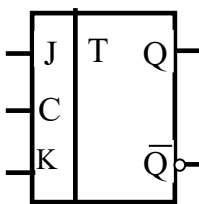
Розроблений граф переходів має сім станів, тобто, для реалізації схеми, показаної на рисунку 5.1, потрібно три тригери (наприклад JK -тригери) і деяка додаткова кількість схем комбінаційної логіки.

Чим більше станів на графі переходів, тим більше апаратури необхідно для реалізації схеми.

З цієї причини на третьому етапі синтезу САП проводиться процес *мінімізації* числа станів. Скорочення станів відбувається за визначеними правилами за допомогою таблиці станів. Наприклад, на рисунку 5.1, г подана таблиця станів, що відповідає графу переходів, зображеному на рисунку 5.1, б.

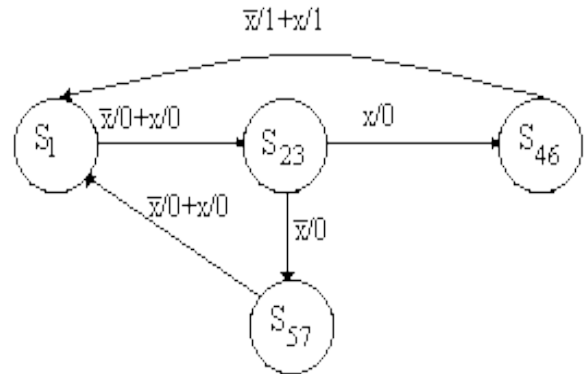
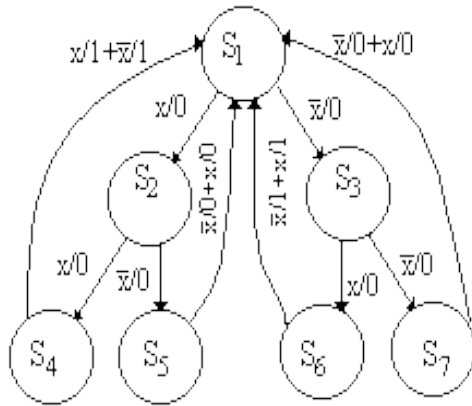
Об'єднання рядків у таблиці станів (переходів-виходів) можна провести в тому випадку, якщо збігаються значення станів та виходів, вказаних у відповідних клітинках кожного з порівнюваних рядків. В таблиці на рисунку 5.1, г цим вимогам відповідають рядки S_4 та S_6 , S_5 та S_7 . Шляхом об'єднання станів S_4 та S_6 створюється новий стан, який позначається S_{46} , до того ж, якщо в таблиці де-небудь присутній стан S_4 або S_6 , то він повинен бути замінений на стан S_{46} . Стани S_5 та S_7 також після об'єднання створюють новий стан S_{57} . Використовуючи процедуру злиття, таблицю, подану на рисунку 5.1, г, можна перетворити в таблицю, зображену на рисунку 5.1, д.

Таблиця 4.1 – Види тригерів (функціональне призначення)

Умовне позначення	Призначення входів	Таблиця переходів				Рівняння тригера	
		Такт t	Такт $(t+1)$				
		$y(t)=Q(t)$	$y(t+1)=Q(t+1)$				
RS-тригер 	S - вхід установленн я 1	S(t)R(t)				$y(t+1) = y(t) \bar{R}(t) + S(t)$	
		00	01	11	10		
	0	0	0	-	1		
	1	1	0	-	1		
R - вхід установленн я 0	$\bar{S}(t) \bar{R}(t)$						
	00	01	11	10			
$\bar{R}\bar{S}$-тригер 	C-вхід синхронізації	0	-	1	0	0	
		1	-	1	1	0	
D-тригер 	D - вхід установленн я 0 або 1 C - вхід синхронізації	D(t)				$y(t+1) = D(t)$	
		0	0	1	1		
		1	0	1	1		
T-тригер 	C - лічильний вхід	C(t)				$y(t+1) = y(t) \bar{N}(t) + \bar{y}(t) C(t)$	
		0	0	1	1		
		1	1	0	0		
JK-тригер 	J-вхід установленн я 1 K-вхід установленн я 0	J(t)K(t)				$y(t+1) = y(t) \bar{K}(t) + \bar{y}(t) J(t)$	
		00	01	11	10		
	0	0	0	1	1		
	1	1	0	0	1		
-*заборонений стан.							



а)



б)

в)

$S(t)$	$x(t)$	
	0	1
S_1	$S_3, 0$	$S_2, 0$
S_2	$S_5, 0$	$S_4, 0$
S_3	$S_7, 0$	$S_6, 0$
● S_4	$S_1, 1$	$S_1, 1$
○ S_5	$S_1, 0$	$S_1, 0$
● S_6	$S_1, 1$	$S_1, 1$
○ S_7	$S_1, 0$	$S_1, 0$

$S(t)$	$x(t)$	
	0	1
S_1	$S_3, 0$	$S_2, 0$
S_2	$S_5, 0$	$S_4, 0$
S_3	$S_5, 0$	$S_4, 0$
● S_4	$S_1, 1$	$S_1, 1$
● S_5	$S_1, 0$	$S_1, 0$

$S(t)$	$x(t)$	
	0	1
S_1	$S_{23}, 0$	$S_{23}, 0$
S_{23}	$S_{57}, 0$	$S_{46}, 0$
S_{46}	$S_1, 1$	$S_1, 1$
S_{57}	$S_1, 0$	$S_1, 0$

з)

д)

е)

t			$t+1$		Триггер 1		Триггер 2		Z
x	y_1	y_2	y_1	y_2	Y_{j1}	Y_{k1}	Y_{j2}	Y_{k2}	
0	0	0	0	1	0	~	1	~	0
0	0	1	1	0	1	~	~	1	0
0	1	1	0	0	~	1	~	1	1
0	1	0	0	0	~	1	0	~	0
1	0	0	0	1	0	~	1	~	0
1	0	1	1	1	1	~	~	0	0
1	1	1	0	0	~	1	~	1	1
1	1	0	0	0	~	1	0	~	0

ж)

Рисунок 5.1

Таблиця 4.2 – Таблиця збудження тригерів

y		RS		$\overline{R}\overline{S}$		D	T	JK	
t	$t+1$	Y_S	Y_R	$Y_{\overline{S}}$	$Y_{\overline{R}}$	Y_D	Y_T	Y_J	Y_K
0	0	0	~	1	~	0	0	0	~
0	1	1	0	0	1	1	1	1	~
1	0	0	1	1	0	0	1	~	1
1	1	~	0	~	1	1	0	~	0

В таблиці наявні два рядки, що позначені як S_2 та S_3 , які також можна об'єднати. В результаті буде створено новий стан S_{23} . Відповідно таблиця на рисунку 5.1, д може бути перетворена в таблицю на рисунку 5.1, е. Їй відповідає граф переходів (рисунок 5.1, в), який тотожний графу переходів на рисунку 5.1, б. Розглянуте зменшення числа станів автомата називається *мінімізацією станів*.

На четвертому етапі синтезу АП необхідно розробити логічні рівняння схеми. Враховуючи число станів АП, необхідно визначити кількість тригерів, що забезпечать реалізацію цих станів. В даному випадку необхідно використати два тригери. Крім того, необхідно вибрати тип цих тригерів. Наприклад, виберемо JK -тригери (див. таблицю 4.1). Далі будемо функціональну таблицю АП (рисунок 5.1, ж). В цій таблиці здійснено кодування станів АП шляхом заміни їх умовних позначень $S_1, S_{23}, S_{46}, S_{57}$ кодовими комбінаціями $y_1y_2=00, y_1y_2=01, y_1y_2=11, y_1y_2=10$. В лівій частині таблиці розміщений стовпчик значень вхідного сигналу X автомата, потім показані стани АП на тактах t і $t+1$. Сигнали Y_{J1} і Y_{K1}, Y_{J2} і Y_{K2} відповідають двом використовуваним тригерам. Їх значення визначаються для кожного рядка на підставі таблиці збудження тригерів (таблиця 4.2). Наприклад, якщо поточний стан АП $y_1y_2=00$ (S_1 на рисунку 5.1, е) і $X=0$, тоді наступним станом АП буде $y_1y_2=01$ (S_{23} на рисунку 5.1, е). Із таблиці 4.2 отримуємо сигнали $Y_{J1} = 0, Y_{K1} = \sim, Y_{J2} = 1, Y_{K2} = \sim$, які необхідно подавати на входи J та K тригерів для забезпечення названих переходів (перемикання тригерів). Так само заповнюються всі рядки

таблиці на рисунку 5.1, ж. Для отримання алгебраїчних виразів для функцій Y_{J1} , Y_{K1} , Y_{J2} та Y_{K2} складемо відповідні карти Карно і проведемо мінімізацію функцій (рисунок 5.2, а). В результаті отримаємо такі вирази: $Y_{J1} = y_2$, $Y_{K1} = 1$, $Y_{J2} = \bar{y}_1$, $Y_{K2} = \bar{x} + y_1$. Аналогічно визначається вираз для функції, що характеризує вихідний сигнал Z . Столпчик значень вихідного сигналу АП Z розміщений у правій частині таблиці на рисунку 5.1, ж.

На п'ятому етапі синтезу АП відбувається реалізація схеми АП. З використанням логічних елементів $I-HE$ та JK -тригерів схема набуває вигляду, показаного на рисунку 5.2, б.

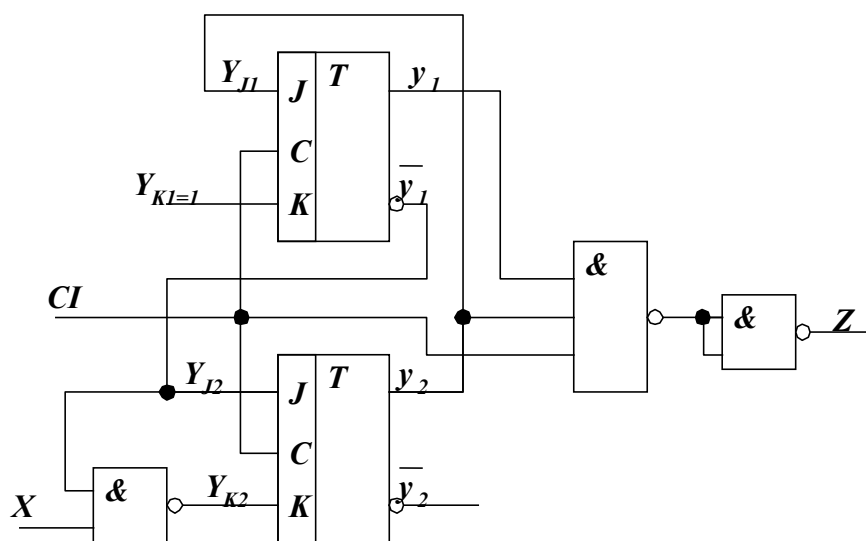
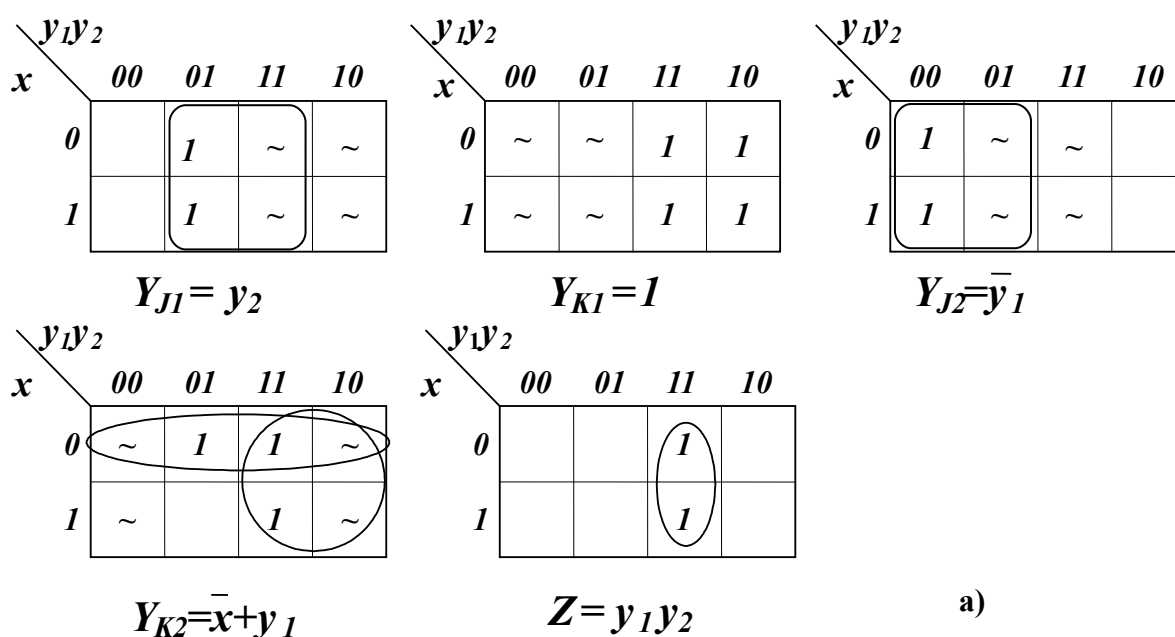


Рисунок 5.2

6 СИНТЕЗ ПРИСТРОЮ ВИЗНАЧЕННЯ ПОСЛІДОВНОСТІ

Завдання

Двійкові дані, у вигляді послідовного коду, надходять на вхід X автомата (рисунок 6.1, а). З'явлення бітів сигналу збігається з поданням CI (рисунок 6.1, б). При виявленні послідовності бітів 101 на виході Z АП повинен формуватися вихідний сигнал, рівний 1.

Граф переходів АП показаний на рисунку 6.1, в. Для виявлення послідовності 101 необхідно, щоб АП мав три стани S_1 , S_2 та S_3 . Реалізація трьох станів вимагає використання двох тригерів. Два тригери дозволяють закодувати чотири стани 00, 01, 11, 10. В даному випадку один із станів не використовується. Це стан S_4 на схемі (рисунок 6.1, в). Після попадання в нього схема повинна наступним CI переводитись в стан S_1 .

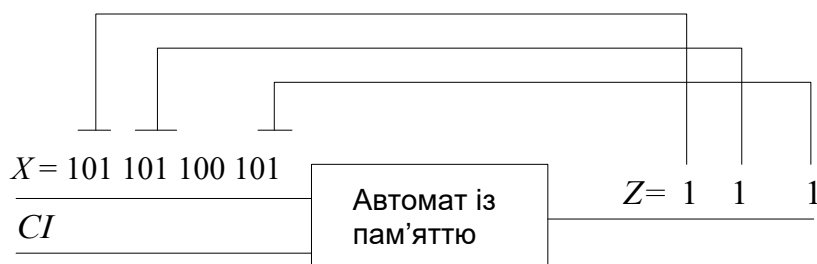
Аналіз таблиці (рисунок 6.1, г) показує, що зменшити кількість станів неможливо, тому що в таблиці (рисунок 6.1, г) немає рядків, які повторюються.

Для отримання рівнянь, що описують поведінку АП, виберемо JK -тригери і складемо функціональну таблицю АП, яка подана на рисунку 6.1, д. Рівняння отримуємо шляхом використання карт Карно (рисунок 6.1, е).

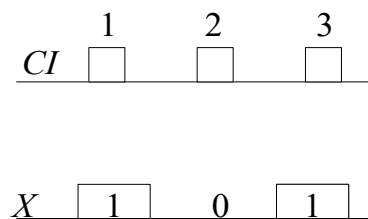
Схема, що показана на рисунку 6.1, ж, являє собою АП Мілі, так як вихідний сигнал залежить як від станів тригерів y_1 , y_2 , так і від значення входу X : $Z = x y_1 y_2$. Перетворимо схему на рисунку 6.1, ж в схему, що є автоматом Мура. Для цього проведемо зміну таблиці на рисунку 6.1, г таким чином, щоб вихідний сигнал $Z=1$ формувався тільки в одному стані, незалежно від значення вхідного сигналу X . З цією метою скористаємося станом S_4 (рядок 4 таблиці на рисунку 6.2, а). Як видно, вихідний сигнал $Z=1$ формується тільки в цьому стані. Отже, можна виділити стовпчик виходу, що залежить тільки від внутрішніх станів АП, показаний на рисунку 6.2, б. Ця таблиця відповідає АП Мура.

Перехід від таблиці АП Мілі (рисунок 6.2, г) до таблиці еквівалентного АП Мура (рисунок 6.2, а) показаний на

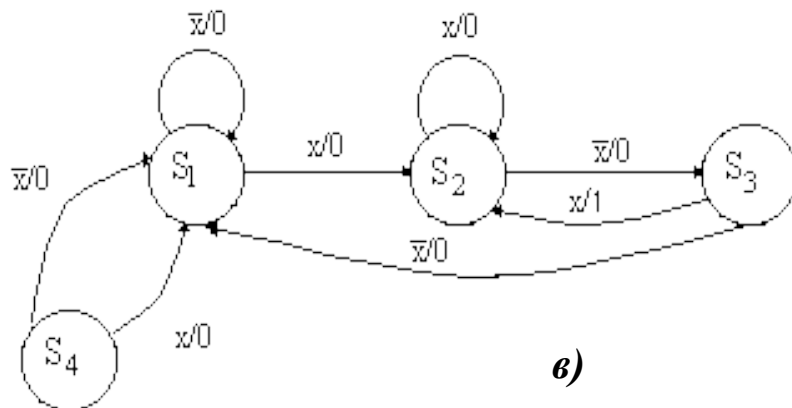
рисунок 6.3, де стан $S_{2,1}$ (рисунок 6.3, а) замінено станом $S_{4',0}$ (рисунок 6.3, б, в).



а)



б)



в)

$S(t)$	$x(t)$	
	0	1
S_1	$S_{1,0}$	$S_{2,0}$
S_2	$S_{3,0}$	$S_{2,0}$
S_3	$S_{1,0}$	$S_{2,1}$
S_4	$S_{1,0}$	$S_{1,0}$

г)

t			$t+1$		Тригер 1		Тригер 2		Z
x	y_1	y_2	y_1	y_2	Y_{j1}	Y_{k1}	Y_{j2}	Y_{k2}	
0	0	0	0	0	0	~	0	~	0
0	0	1	1	1	1	~	~	0	0
0	1	1	0	0	~	1	~	1	0
0	1	0	0	0	~	1	0	~	0
1	0	0	0	1	0	~	1	~	0
1	0	1	0	1	0	~	~	0	0
1	1	1	0	1	~	1	~	0	1
1	1	0	0	0	~	1	0	~	0

д)

Рисунок 6.1

		$y_1 y_2$			
		00	01	11	10
x	0		1	~	~
	1			~	~

$$Y_{j_1} = \overline{x} y_2$$

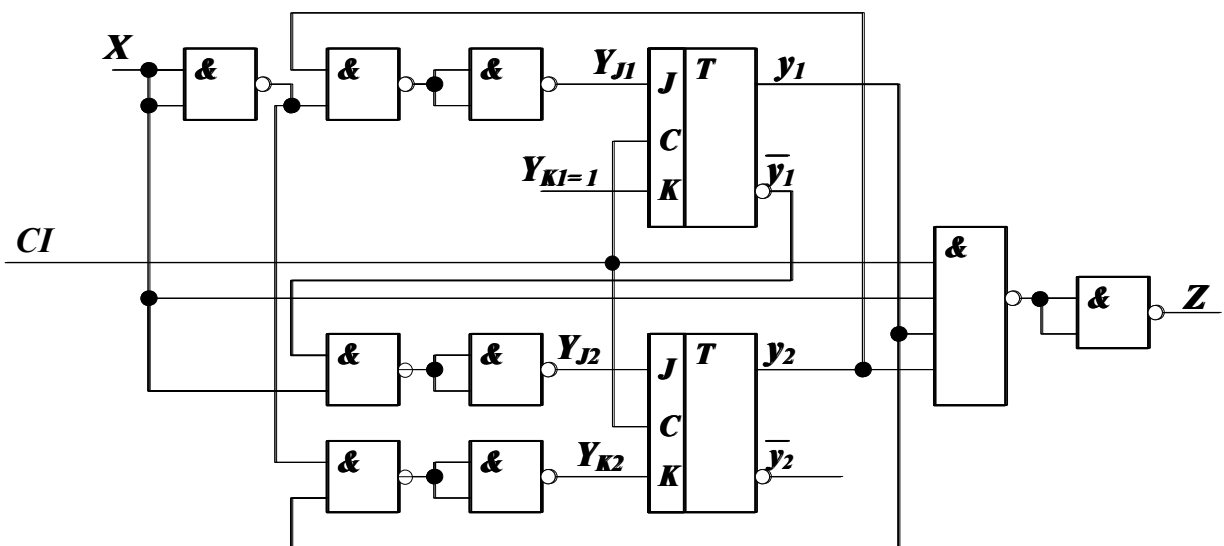
$$Y_{k_1} = 1$$

$$Y_{j_2} = x \overline{y_1}$$

$$Y_{k_2} = \overline{x} y_1$$

$$Z = x y_1 y_2$$

e)



жс)

Рисунок 6.1, аркуш 2

t	$x(t)$	
	0	1
S_1	$S_{1,0}$	$S_{2,0}$
S_2	$S_{3,0}$	$S_{2,0}$
S_3	$S_{1,0}$	$S_{4,0}$
S_4	$S_{3,1}$	$S_{2,1}$

a)

$Z(t)$	$S(t)$	$x(t)$	
		0	1
0	S_1	S_1	S_2
0	S_2	S_3	S_2
0	S_3	S_1	S_4
1	S_4	S_3	S_2

б)

t			$t+1$		Триггер 1		Триггер 2		Z
x	y_1	y_2	y_1	y_2	Y_{j1}	Y_{k1}	Y_{j2}	Y_{k2}	
0	0	0	0	0	0	~	0	~	0
0	0	1	1	1	1	~	~	0	0
0	1	1	0	0	~	1	~	1	0
0	1	0	1	1	~	0	1	~	1
1	0	0	0	1	0	~	1	~	0
1	0	1	0	1	0	~	~	0	0
1	1	1	1	1	~	0	~	1	0
1	1	0	0	1	~	1	1	~	1

в)

		$y_1 y_2$			
		00	01	11	10
x	0		1	~	~
	1			~	~

$$Y_{j1} = \bar{x}y_2$$

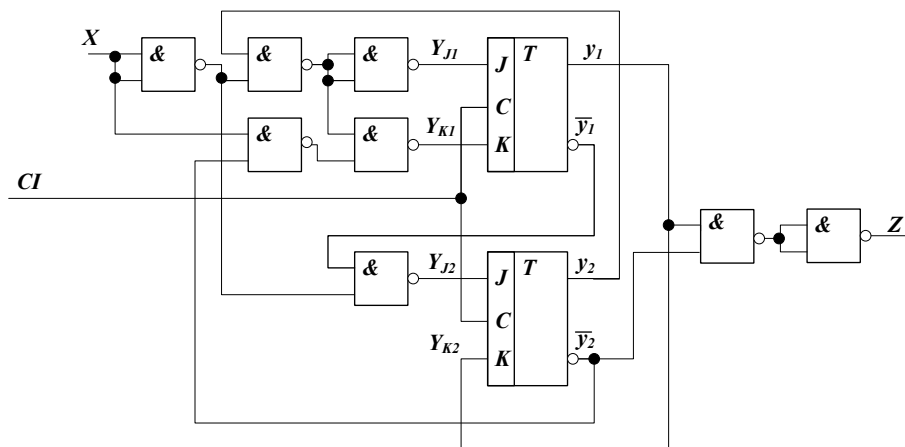
$$Y_{k1} = \bar{x}y_2 + x\bar{y}_2$$

$$Y_{j2} = x + y_1$$

$$Y_{k2} = y_1$$

$$Z = y_1 \bar{y}_2$$

г)



д)

Рисунок 6.2

$S(t)$)	$X(t)$	
	0	1
S_1	$S_{1,0}$	$S_{2,0}$
S_2	$S_{3,0}$	$S_{2,0}$
S_3	$S_{1,0}$	$S_{2,1}$
S_4	$S_{1,0}$	$S_{1,0}$

$S(t)$)	$X(t)$	
	0	1
S_1	$S_{1,0}$	$S_{2,0}$
S_2	$S_{3,0}$	$S_{2,0}$
S_3	$S_{1,0}$	$S_4^1,0$
S_4^1	$S_{3,1}$	$S_{2,1}$

$Z(t)$	$S(t)$	$x(t)$	
		0	1
0	S_1	S_1	S_2
0	S_2	S_3	S_2
0	S_3	S_1	S_4^1
1	S_4^1	S_3	S_2

a)
б)
в)

Рисунок 6.3

Рядок, відповідний переходам із S_4^1 , містить стани $S_{3,1}$ та $S_{2,1}$ (див. переходи зі стану S_2).

Рівняння для вхідних сигналів JK -тригерів, що визначають стани АП Мура, отримані за описаним вище правилом, тобто за допомогою функціональної таблиці (рисунок 6.2, в) та карт Карно (рисунок 6.2, г).

На рисунку 6.2, д зображена логічна схема АП Мура, що виконує функції пристрою виявлення послідовності 101.

7 ПРИКЛАДИ СИНТЕЗУ САП

7.1 ОДНОРОЗРЯДНИЙ СУМАТОР

Завдання

Побудувати САП на два входи X_1 , X_2 та один вихід Z , що виконує складення двох двійкових чисел послідовно, розряд за розрядом.

При складенні двійкових чисел послідовно, розряд за розрядом, результат кожного кроку залежить від того, що запам'ятовується після попереднього кроку. Наприклад, після складення молодших розрядів чисел 11 та 01 у молодшому

розряді формується 0, а 1 запам'ятовується, потім додаються наступні розряди і до них додається 1 переносу, тобто 0+1+1. Відповідно до двійкової арифметики утворюється сума, рівна 0, а одиниця переносу знову запам'ятовується й додається в третій розряд суми. Оскільки в пам'яті необхідно зберігати тільки значення переносу з попереднього розряду (перенос може бути рівний або 0, або 1), то АП, що реалізує додавання, повинен мати відповідно два стани: $S_1=0$ та $S_2=1$. На рисунку 7.1, а-е відображені етапи синтезу АП. На етапі комбінаційного синтезу отримуємо вирази для функції виходу

$$Z = \bar{y}(x_1 \cdot x_2 + x_1 \cdot \bar{x}_2) + y(x_1 \cdot x_2 + x_1 \cdot \bar{x}_2)$$

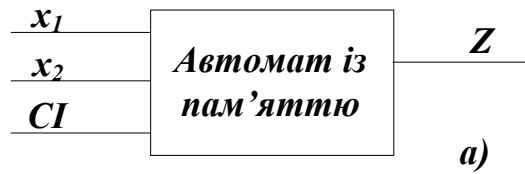
та функції вмикання при використанні *RS*-тригера

$$Y_S = x_1 \cdot x_2 ; \quad Y_K = \bar{x}_1 \cdot x_2 .$$

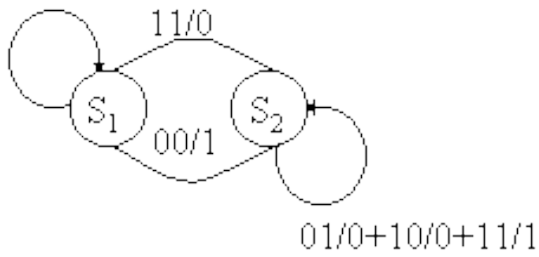
Реалізуючи АП у базисі І-НЕ, приведемо Z до потрібного вигляду за теоремою Де Моргана

$$\begin{aligned} Z &= \overline{\bar{y}(x_1 \bar{x}_2 + \bar{x}_1 x_2)} + y(x_1 x_2 + \bar{x}_1 \bar{x}_2) = \overline{\bar{y}(\bar{x}_1 + x_2)(x_1 + \bar{x}_2)} + y(x_1 x_2 + \bar{x}_1 \bar{x}_2) = \\ &= \overline{\bar{y}(\bar{x}_1 x_1 + x_1 x_2 + x_2 \bar{x}_2 + \bar{x}_1 \bar{x}_2)} + y(x_1 x_2 + \bar{x}_1 \bar{x}_2) = \overline{\bar{y}(x_1 x_2 + \bar{x}_1 \bar{x}_2)} + y(x_1 x_2 + \bar{x}_1 \bar{x}_2) = \\ &= \overline{\overline{\bar{y}(x_1 x_2 \cdot \bar{x}_1 \bar{x}_2)}} \cdot \overline{\overline{y(x_1 x_2 \cdot \bar{x}_1 \bar{x}_2)}} \end{aligned}$$

Схема суматора показана на рисунку 7.1, е.



00/0+01/1+10/1



$S(t)$	$x_1(t), x_2(t)$			
	00	01	10	11
S_1	$S_1, 0$	$S_1, 1$	$S_1, 1$	$S_2, 0$
S_2	$S_1, 1$	$S_2, 0$	$S_2, 0$	$S_2, 1$

б)

в)

t			$t+1$	Z	Триггер	
x_1	x_2	y	y		Y_S	Y_R
0	0	0	0	0	0	~
0	1	0	0	1	0	~
1	0	0	0	1	0	~
1	1	0	1	0	1	0
0	0	1	0	1	0	1
0	1	1	1	0	~	0
1	0	1	1	0	~	0
1	1	1	1	1	~	0

а)

Рисунок 7.1

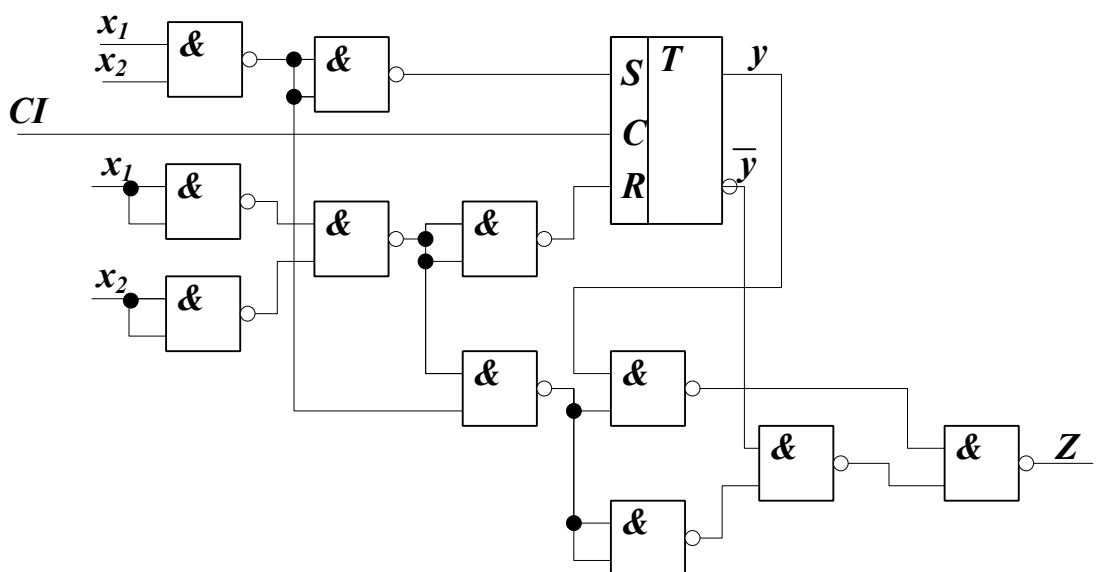
		x_1x_2			
y		00	01	11	10
0			1		1
1		1		1	

$$Z = y\bar{x}_1\bar{x}_2 + \bar{y}\bar{x}_1x_2 + \bar{y}x_1\bar{x}_2 + yx_1x_2$$

$$Y_S = x_1x_2$$

$$Y_R = \bar{x}_1\bar{x}_2$$

б)



7.2 РЕГІСТР ЗСУВУ ІНФОРМАЦІЇ ВПРАВО

Завдання

Розробити схему трирозрядного регістру зсуву інформації вправо на RS-тригерах.

Етапи синтезу САП показані на рисунку 7.2. Заданий САП є АП другого роду (АП Мура), вихідні сигнали якого збігаються з його внутрішніми станами, тобто для кожного внутрішнього стану і стану виходу справедливий такий вираз: $Z_1(t)=y_1(t)$, $Z_2(t)=y_2(t)$, $Z_3(t)=y_3(t)$.

Заповнимо таблицю істинності (рисунок 7.2, а). Оскільки в першому рядку $y_1(t)=y_2(t)=y_3(t)=0$, то в стовпчиках Z_1 , Z_2 , Z_3 запишемо 000 . Такий само запис буде і в другому рядку. У третьому рядку $y_1(t)=y_2(t)=0$, $y_3(t)=1$, відповідно, в цьому рядку в стовпчиках Z_1 , Z_2 , Z_3 запишемо 001 . Тим же чином заповнюються інші рядки. Далі визначаємо функції вмикання Y_R та Y_S для всіх тригерів, використовуючи карти Карно (рисунок 7.2, б). Відповідна схема АП на RS-тригерах подана на рисунку 7.2, в.

t				$t+1$			Триггеры						$Z_1 Z_2 Z_3$		
x	y_1	y_2	y_3	y_1	y_2	y_3	Y_S	Y_R	Y_S	Y_R	Y_S	Y_R	Z_1	Z_2	Z_3
							1	1	2	2	3	3			
0	0	1	0	0	0	1	0	~	0	1	1	0	0	1	0
0	0	1	1	0	0	1	0	~	0	1	~	0	0	1	1
0	1	0	0	0	1	0	0	1	1	0	0	~	1	0	0
0	1	0	1	0	1	0	0	1	1	0	0	1	1	0	1
0	1	1	0	0	1	1	0	1	~	0	1	0	1	1	0
0	1	1	1	0	1	1	0	1	~	0	~	0	1	1	1
1	0	0	0	1	0	0	1	0	0	~	0	~	0	0	0
1	0	0	1	1	0	0	1	0	0	~	0	1	0	0	1
1	0	1	0	1	0	1	1	0	0	1	1	0	0	1	0
1	0	1	1	1	0	1	1	0	0	1	~	0	0	1	1
1	1	0	0	1	1	0	~	0	1	0	0	~	1	0	0
1	1	0	1	1	1	0	~	0	1	0	0	1	1	0	1
1	1	1	0	1	1	1	~	0	~	0	1	0	1	1	0
1	1	1	1	1	1	1	~	0	~	0	~	0	1	1	1

a)

	$y_2 y_3$				
$x y_1$		00	01	11	10
00					
01					
11		~	~	~	~
10		1	1	1	1

$$Y_{S1} = x$$

	$y_2 y_3$				
$x y_1$		00	01	11	10
00		~	~	~	~
01		1	1	1	1
11					
10					

$$Y_{S2} = y_1$$

$$Y_{R2} = \bar{y}_1$$

$$Y_{S3} = y_2$$

$$Y_{R3} = \bar{y}_2$$

$$Y_{R1} = \bar{x}$$

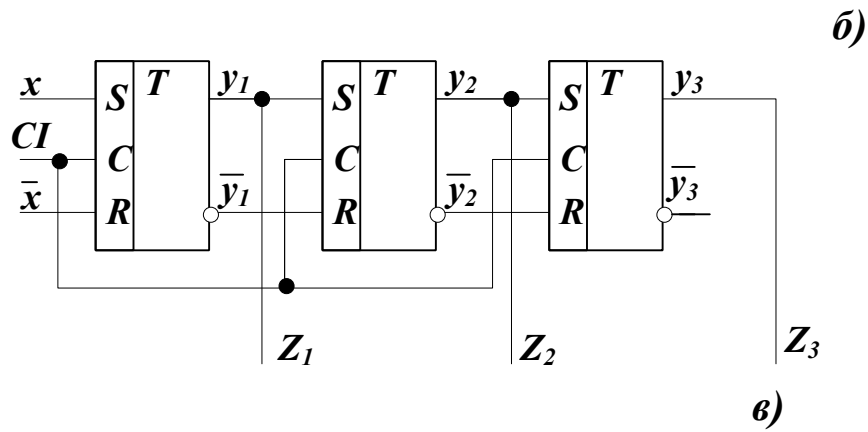


Рисунок 7.2

7.3 ЛІЧИЛЬНИК

Завдання

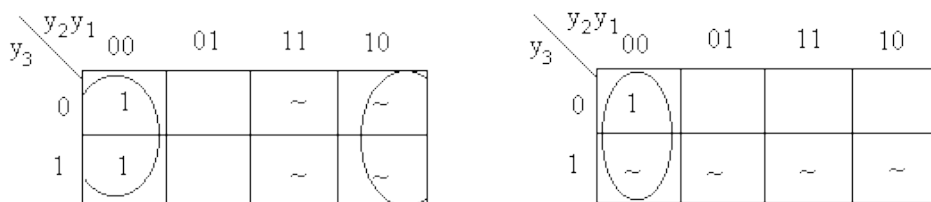
Побудувати синхронний лічильник зворотного рахунку на три розряди.

Для проектування заданого лічильника використовуємо ті самі методи, що і для проектування звичайних двійкових лічильників (етапи синтезу показано на рисунку 7.3, а, б, в).

t			$t+1$			Y_{J3}	Y_{K3}	Y_{J2}	Y_{K2}	Y_{J1}	Y_{K1}
y_3	y_2	y_1	y_3	y_2	y_1						
0	0	0	1	1	1	1	~	1	~	1	~
0	0	1	0	0	0	0	~	0	~	~	1
0	1	0	0	0	1	0	~	~	1	1	~
0	1	1	0	1	0	0	~	~	0	~	1
1	0	0	0	1	1	~	1	1	~	1	~
1	0	1	1	0	0	~	0	0	~	~	1
1	1	0	1	0	1	~	0	~	1	1	~
1	1	1	1	1	0	~	0	~	0	~	1

$$Y_{J1} = Y_{K1} = 1$$

а)



$$Y_{J2}=Y_{K2}=\bar{y}_1$$

$$Y_{J3}=Y_{K3}=\bar{0}_2\bar{y}_1$$

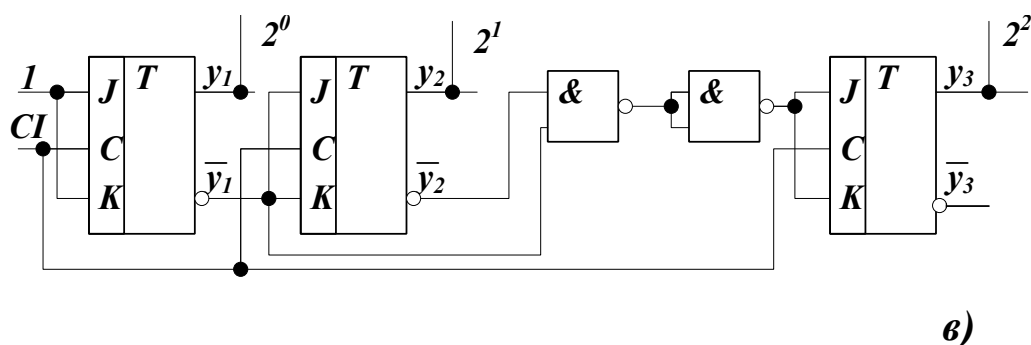


Рисунок 7.3

8 ЗАДАЧІ

1 Двійкові дані у послідовній формі, синхронізовані тактовими імпульсами, надходять по лінії X в логічну схему. На виході Z сигнал з'являється тільки тоді, коли на вхід подається рядок 1101 (якщо два рядки перекривають один одного, наприклад, 1101101, тоді повинні формуватися два вихідних сигнали $Z=1$, що йдуть один за одним). Розробити синхронну послідовну схему пристрою виявлення рядків 1101.

2 Логічна схема отримує по лінії X двійкову інформацію в послідовній формі, робота схеми синхронізується зовнішнім сигналом. Схема аналізує рядки символів із трьох цифр, що надходять на її вхід і не перекривають один одного. Якщо остання цифра рядка 1, на вихідній лінії Z з'являється 1. Розробити синхронну послідовну схему пристрою для розв'язання такої задачі.

3 Побудувати САП на два входи X_1 , X_2 і один вихід Z , що виконує віднімання двох двійкових чисел послідовно, розряд за розрядом, використовуючи D -тригери й базис АБО-НІ.

4 Побудувати реверсивний двійковий лічильник на 4 розряди, використовуючи керуючий сигнал A , такий, що коли $A=1$, рахунок ведеться у прямому напрямку, а якщо $A=0$ – у зворотному.

5 Побудувати двійково-десятковий лічильник прямого рахунку на JK -тригерах.

6 Послідовна логічна схема повинна використовуватись для підрахунку кількості 1 у рядку двійкових цифр. Якщо в рядку міститься парна кількість одиниць, то на виході повинен

з'явиться сигнал $Z=1$, але тільки за умови, що в рядку немає підряд двох 0. Якщо зустрічаються підряд два 0, то схема повинна повернутися у свій початковий стан і розпочати рахунок з нуля. Розробити схему, що виконує ці функції, і реалізувати її на D -тригерах у базисі І-НІ.

7 Використовуючи регістр зсуву і комбінаційну логіку, спроектувати генератор послідовності 0-1-0-0-1-0-1-1-1-0-1.

8 Розробити лічильник по модулю 12, використовуючи регістр зсуву і логічні схеми в ланцюгу зворотного зв'язку.

9 Спроектувати десятковий лічильник на основі 4-розрядного регістру зсуву.

10 Побудувати десятковий лічильник на JK -тригерах. Сусідні клітки карти Карно, охоплені контуром із стрілками (рисунок 8.1), відповідають сусіднім кодовим комбінаціям вибраного коду. При мінімізації значень вхідних сигналів задіяти стани, що не використовуються.

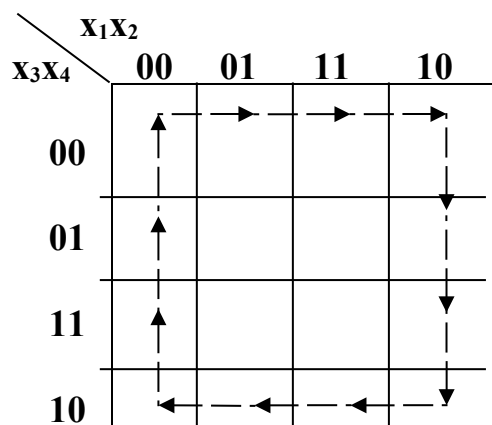


Рисунок 8.1

9 ЛАБОРАТОРНА РОБОТА ЕЛЕМЕНТИ ПАМ'ЯТІ ДИСКРЕТНИХ АВТОМАТІВ

1 Мета роботи

1.1 Вивчення тригерів – елементів пам'яті дискретних автоматів.

1.2 Складання таблиць переходів і одержання рівнянь тригерів.

- 1.3 Реалізація тригерів у різних базисах.
- 1.4 Реалізація схем на стенді.
- 1.5 Перевірка правильності функціонування складених схем.

2 Порядок виконання роботи

- 2.1 Вивчити теоретичні відомості стосовно тригерів.
- 2.2 Ознайомитися з лабораторним стендом УМ11 /13/.
- 2.3 Записати характеристичні рівняння для всіх типів тригерів.
- 2.4 Побудувати графи переходів всіх тригерів.
- 2.5 На елементах І-НІ скласти синхронний і асинхронний RS-тригер.
- 2.6 На базі JK-тригера побудувати D-, T-, \overline{RS} -, RS-тригер.
- 2.7 На базі D-тригера побудувати RS-, \overline{RS} -, T-, JK-тригер.
- 2.8 Пересвідчитися в правильності функціонування схем.

3 Зміст звіту

- 3.1 Таблиці переходів тригерів.
- 3.2 Графи переходів тригерів.
- 3.3 Характеристичні рівняння тригерів.
- 3.4 Схема RS-тригера в базисі І-НІ.
- 3.5 На базі кожного з вивчених тригерів (RS-, \overline{RS} -, D-, T-, JK-тригерів) побудувати всі інші тригери.

4 Контрольні питання.

- 4.1 Призначення тригера.
- 4.2 Типи тригерів і їхні відмінності.
- 4.3 Синхронні й асинхронні тригери.
- 4.4 Принцип дії тригера.
- 4.5 Одержати T-тригер з JK -тригера.
- 4.6 Одержати D-тригер з JK-тригера.
- 4.7 Одержати RS-тригер з JK-тригера.
- 4.8 Чому JK-тригер називається універсальним?
- 4.9 Чому тригер називається однобітним елементом пам'яті?

- 4.10 Що таке зворотний зв'язок у тригерах?
- 4.11 Що таке бістабільна комірка?
- 4.12 Яким чином забезпечити роботу двотактного тригера від одного синхронізуючого імпульсу?

СПИСОК ЛІТЕРАТУРИ

- 1 Сапожников В.В., Кравцов Ю.А., Сапожников Вл.В. Теория дискретных устройств железнодорожной автоматики, телемеханики и связи. – М.: УМК МПС России, 2001.
- 2 Амбросов А.Е., Плактеев А.Е., Тимонькин Г.Н. и др. Дискретные устройства автоматизированных систем управления. – Харьков: МО СССР, 1990.
- 3 Голдсуорт Б. Проектирование цифровых логических устройств. – М.: Машиностроение, 1985.
- 4 Токхейм Р. Основы цифровой электроники. – М.: Мир, 1988.
- 5 Цифрова схемотехніка: Підручник / В.І. Бойко, А.М.Гуржій, В.Я. Жуков та ін. – К.: Вища шк., 2004.
- 6 Новиков Ю. В. Основы цифровой схемотехники. Базовые элементы и схемы. Методы проектирования. – М.: Мир, 2001.
- 7 Самофалов К.Б. Прикладная теория ЦА. – К.: Высшая школа, 1987.
- 8 Опадчий Ю.Ф., Глудкин О.П., Гуров А.И. Аналоговая и цифровая электроника. – М.: Телеком, 2000.
- 9 Пухальский Г.И., Новосельцева Т.Я. Цифровые устройства. – СПб.: Политехника, 1996.
- 10 Загарий Г.И., Ковзель Н.О. и др. Программируемые контроллеры для систем управления. Часть 1. Архитектура и технологии применения. – Харьков: Издательство «Регион-информ», 2001.
- 11 Кравець В.О., Сокол Є.І., Рисований О.М. Комп'ютерна схемотехніка: Підручник. – Харків: НТУ «ХП», 2007.

12 Стенд лабораторный ЛАТ-01. Паспорт.

13 Установка для изучения построения логических схем на микросхемах серии 155. Паспорт.

14 Методичні вказівки до виконання й оформлення курсових і дипломних робіт / Уклад. Б.Т. Ситнік, В.Б. Ситнік, А.О. Махота. – Харків: УкрДАЗТ, 2006.

15 Загарій Г.І., Бушевська Л.В. Методичні вказівки з дисциплін «Електроніка та мікросхемотехніка», «Комп'ютерна електроніка» і «Прикладна теорія цифрових автоматів». Розділ «Синтез комбінаційних схем». – Харків: УкрДАЗТ, 2006. – Ч.1. – 30 с.

16 Загарій Г.І., Бушевська Л.В. «Електроніка та мікросхемотехніка», «Комп'ютерна електроніка» і «Прикладна теорія цифрових автоматів». Розділ «Синтез комбінаційних автоматів». Розділ «Синтез комбінаційних схем». – Харків: УкрДАЗТ, 2008. – Ч.2. – 23 с.