





Запропонована корисна модель належить до фазових вимірювачів і може використовуватись у когерентних системах та системах синхронізації ліній зв'язку.

Відомий цифровий фазовий детектор: Цифровой фазовый измеритель. Алешин Г.В., Урвачев В.И. А. С. СССР № 464858, Бюл. № 11 від 25.03.75 р. Він обладнаний ключовою схемою (схемою «I») і дільником частоти рахункових імпульсів, причому до входів ключової схеми підключені виходи формувача опорного коливання (формувача опорних імпульсів), генератора рахункових імпульсів і вихід з негативним імпульсом формувача сигналу (формувача сигнальних імпульсів), що приймається, вихід ключової схеми підключено через електронний комутатор до входу дільника частоти імпульсів на 2 і до входу лічильника імпульсів, вихід з позитивним імпульсом формувача сигналу, що приймається, підключено до управляючого входу електронного комутатора, а вихід дільника частоти рахункових імпульсів на 2 - до входу лічильника імпульсів.

Недоліком відомого цифрового фазового детектору є те, що він працює лише в обмеженому діапазоні різниці фаз, або в нециклічному режимі.

Ціллю створення завадостійкого цифрового фазового детектору є розширення можливостей його використання при збереженні високої точності та оперативності вимірювань різниці фаз.

В основу корисної моделі, завадостійкого цифрового фазового вимірювача, поставлена задача такого удосконалення відомого цифрового фазового детектору, при якому він буде працювати у всьому діапазоні зсувів фази і в циклічному режимі.

Поставлена задача вирішується тим, що завадостійкий цифровий фазовий детектор, що містить послідовно включені генератор рахункових імпульсів, першу схему «I», електронний комутатор, дільник частоти рахункових імпульсів на 2, лічильник, формувач сигнальних імпульсів, формувач опорних імпульсів, додатково містить послідовно з'єднані з формувачем сигнальних імпульсів діод, схему затримки, другу схему «I» та перший тригер, що з'єднаний з першою схемою «I», послідовно з'єднані з формувачем опорних імпульсів блокінг-генератор, третю схему «I», другий тригер, з'єднаний з другою схемою «I», причому, вихід першого тригера підключений до лічильника для виводу результату та для його обнулення, вихід формувача опорних імпульсів підключений до першого тригера, вихід діода підключений до входу третьої схеми «I», а вхід - до управляючого входу комутатора.

Фіг. 1 - Функціональна схема завадостійкого цифрового фазового детектора.

На фіг. 1 представлені елементи завадостійкого цифрового детектору: 1) генератор рахункових імпульсів, 2) формувач сигнальних імпульсів, 3) перша схема «I», 4) формувач опорних імпульсів, 5) електронний комутатор, 6) дільник частоти на 2, 7) лічильник, 8) блокінг-генератор, 9) третя схема «I», 10) другий тригер, 11) друга схема «I», 12) перший тригер, 13) лінія затримки, 14) діод.

Фіг. 2 - Часова діаграма роботи цифрового фазового детектора.

Принцип дії завадостійкого цифрового детектора полягає в наступному. На фіг. 2а зображена послідовність імпульсів на виході формувача опорних імпульсів. На фіг. 2б зображений сигнал на вході формувача сигнальних імпульсів з негативною завадою. Очевидно, що вузькосмугова негативна завада, або кодозалежний джитер, як би зміщує сигнал униз таким чином, що точки перетинання вісі зміщуються з моменту 1 до моменту 2. Це призводить до похибки у часі  $\Delta t$  та у фазі -  $\omega \Delta t$ . Звичайними засобами точно компенсувати заваду неможливо. Тому пропонується використати незмінність у часі точки 3 при будь-якому впливі такої завади. Її можна розрахувати методом «виделки», тобто відмітивши точки 2 та 4 поділеною частотою. Знаючи точку 3, можна визначити точку 1, якщо з інтервалу з 0 по 3 відняти інтервал від 1 по 3, який відповідає значенню  $\frac{\pi}{2}$ . Точка 1 відповідає сигнальному імпульсу на виході формувача сигнальних імпульсів, тобто моменту закінчення виміру, якщо б не було завади. Начало координат відповідає опорному імпульсу.

На виході формувача сигнальних імпульсів 2 є позитивні та негативні імпульси.

Алгоритм детектору наступний. Імпульс формувача опорних імпульсів 4 опрокидує перший тригер 12 та відкриває першу схему «I» 3 для проходження рахункових імпульсів з генератора 1 через комутатор 5 на лічильник 7 в обхід дільника частоти 6 до тих пір, поки не з'явиться перший сигнальний імпульс з формувача сигнальних імпульсів 2. Заодно імпульс формувача опорних імпульсів 4 запускає блокінг-генератор 8 з довжиною імпульсу  $\pi + \Delta$  та відкриває третю схему «I».

Якщо першим у часі після опорного імпульсу (у момент 2 фіг. 2б) буде позитивний імпульс сигналу з формувача сигнальних імпульсів 2, то він поступає на комутатор 5, який переключає вихід через дільник частоти 6 на лічильник (фіг. 2в). У момент 4 (фіг. 2б) формувачем сигнальних імпульсів 2 формується негативний імпульс закриття рахунку через другу схему «I»

11. Оскільки частота рахунку імпульсів удвічі менша, у лічильнику 7 накопичувалось число імпульсів відповідне інтервалу від 0 до 3. Якщо з числа, відповідного інтервалу від 0 по 3 відняти  $\frac{\pi}{2}$ , то у лічильнику зостанеться число імпульсів відповідне інтервалу від 0 по моменту 1.

Тобто, якби не було завад.

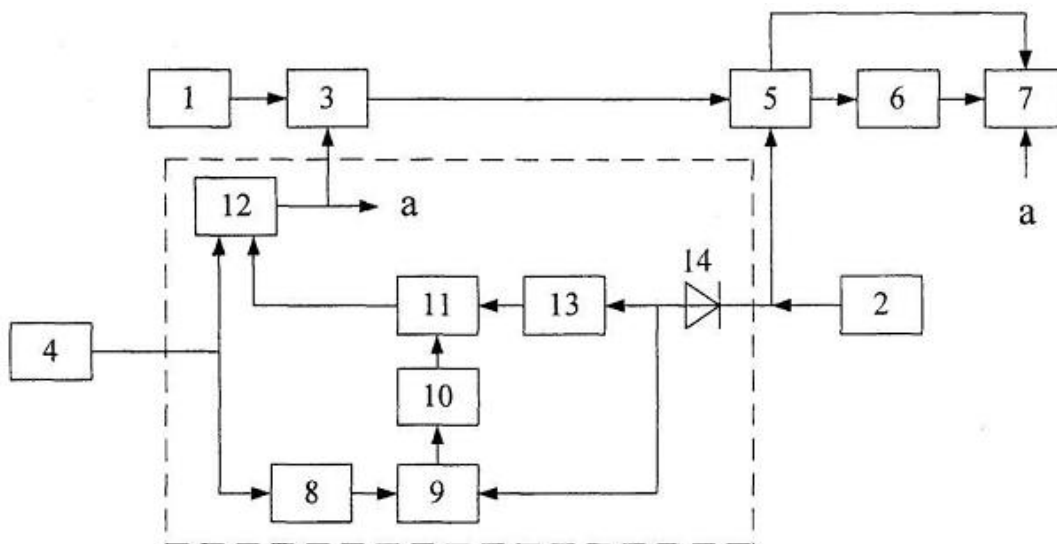
5 Якщо першим у часі після опорного імпульсу буде негативний імпульс, то схема спрацює таким чином. Наприклад, опорний імпульс буде у момент 3 (фіг. 2б). Негативний імпульс від формувача сигнальних імпульсів 2 через відкриту на час  $\pi+\Delta$  третю схему «І» 9 опрокидує другий тригер 10, що закриває другу схему «І» 11. Тому затриманий лінією затримки 13 негативний імпульс не проходить до першого тригера 12 та не закриває рахування рахункових імпульсів першою схемою «І» 3. Рахування лічильником 7 продовжується у такому ж алгоритмі, поки не прийде другий негативний сигнальний імпульс. Другий негативний імпульс з формувача сигнальних імпульсів 2 проходить через діод 14, лінію затримки 13 і через другу схему «І» 11 для закриття рахування на перший тригер 12, тому що з виходу діода трохи раніше цей імпульс пройшов через третю схему «І» 9, опрокинув удруге другий тригер 10, який відкрив другу схему «І» 11.

Затримка на один-два періоду рахункових імпульсів не заважає вимірюванням, тому що з лічильника знімається результат без молодшого розряду. Параметр  $\Delta$  вибирається з формули:

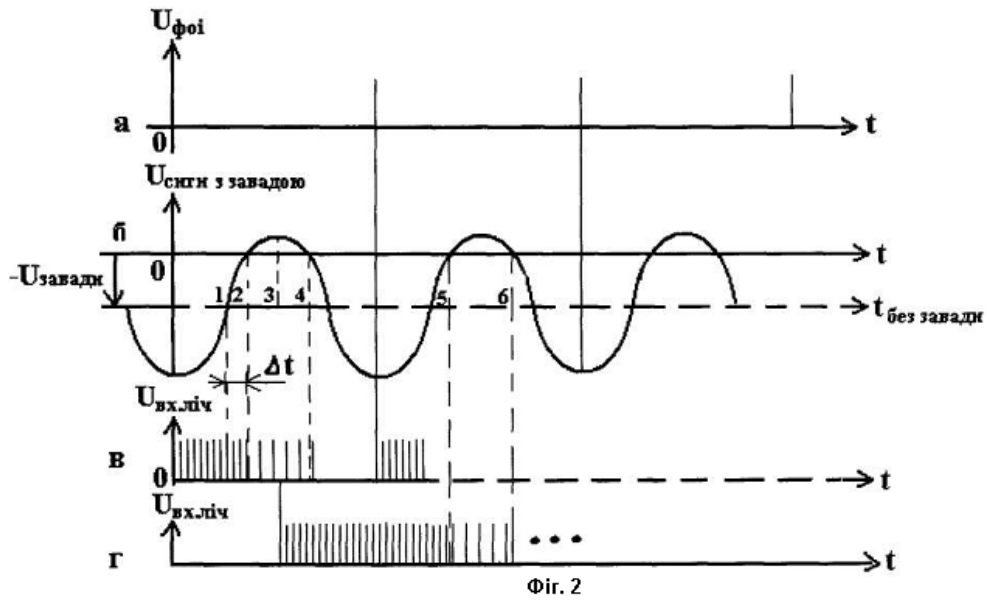
$$\sin \Delta \leq \frac{1}{q}, \text{ де } q - \text{ відношення сигнал/завада.}$$

20 **ФОРМУЛА КОРИСНОЇ МОДЕЛІ**

Завадостійкий цифровий фазовий детектор, що містить генератор рахункових імпульсів, першу схему "І", електронний комутатор, дільник частоти рахункових імпульсів на 2, лічильник імпульсів, формувач сигнальних імпульсів, формувач опорних імпульсів, який **відрізняється** тим, що він додатково містить послідовно з'єднані з формувачем сигнальних імпульсів діод, схему затримки, другу схему "І" та перший тригер, що з'єднаний з першою схемою "І", послідовно з'єднані з формувачем опорних імпульсів блокінг-генератор, третю схему "І", другий тригер, з'єднаний з другою схемою "І", причому вихід першого тригера підключений до лічильника для виводу результату та для його обнулення, вихід формувача опорних імпульсів підключений до першого тригера, вихід діода підключений до входу третьої схеми "І", а вхід - до управляючого входу комутатора.



Фіг. 1



Комп'ютерна верстка В. Мацело

Державна служба інтелектуальної власності України, вул. Урицького, 45, м. Київ, МСП, 03680, Україна

ДП "Український інститут промислової власності", вул. Глазунова, 1, м. Київ – 42, 01601