



УКРАЇНА

(19) UA (11) 84838 (13) C2
(51) МПК (2006)
H04N 7/18

МІНІСТЕРСТВО ОСВІТИ
І НАУКИ УКРАЇНИ

ДЕРЖАВНИЙ ДЕПАРТАМЕНТ
ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІ

ОПИС ДО ПАТЕНТУ НА ВИНАХІД

(54) АДАПТИВНИЙ ПРИСТРІЙ СТИСКУ ТЕЛЕВІЗІЙНОГО СИГНАЛУ

1

2

(21) 20040705750

(22) 13.07.2004

(24) 10.12.2008

(46) 10.12.2008, Бюл.№ 23, 2008 р.

(72) ЗАГАРІЙ ГЕННАДІЙ ІВАНОВИЧ, UA,
КОРОЛЬОВА НАТАЛІЯ АНАТОЛІЇВНА, UA,
КОЗЕЛКОВ ОЛЕГ ОЛЕКСАНДРОВИЧ, UA,
ПОДОРОЖНЯК АНДРІЙ ОЛЕКСІЙОВИЧ, UA

(73) УКРАЇНСЬКА ДЕРЖАВНА АКАДЕМІЯ ЗАЛІЗ-
НИЧНОГО ТРАНСПОРТУ, UA

(56) SU 1631752 A1, 28.02.1991

SU 1515400 A1, 15.10.1989

UA 36780 A, 16.04.2001

SU 1529471 A1, 15.12.1989

RU 2218670 C2, 10.12.2003

US 5301032, 05.04.1994

EP 0633701, 11.01.1995

(57) Адаптивний пристрій стиску телевізійного сигналу, що містить три регістри, перші виходи першого регістра підключені до перших входів першого блока порівняння і перших входів першого блока пам'яті, другий вихід першого регістра підключений до першого входу другого регістра, виходи другого регістра підключені до других входів першого блока порівняння, перші виходи третього регістра підключені до перших входів другого блока порівняння і других входів другого блока пам'яті, другий вихід третього регістра підключений до першого входу четвертого регістра, два блоки порівняння, вихід першого блока порівняння підключений до другого входу першого блока пам'яті та першого входу другого тригера, вихід другого блока порівняння підключений до першого входу першого тригера, два блоки пам'яті, виходи першого блока пам'яті підключені до перших входів перетворювача коду, виходи другого блока пам'яті підключені до четвертих входів перетворювача коду, два блоки затримки, вихід першого блока затримки підключений до третього входу першого тригера, вихід другого блока затримки підключений до входу першого генератора пачки імпульсів, перший елемент I, вихід якого підключений до третіх входів обох блоків порівняння, других входів обох тригерів, входу третього блока затримки, других входів третього та четвертого елементів I, перший елемент АБО, вихід якого підключений до першого входу першого ключового елемента, три лічильники, вихід першого лічильника підключений до пер-

шого входу компаратора, вихід другого лічильника підключений до другого входу компаратора, виходи третього лічильника підключені до третіх входів другого блока пам'яті і до входів блока елементів АБО, блок елементів АБО, вихід якого підключений до четвертого входу другого блока пам'яті та другого входу другого елемента I, перетворювач коду, виходом якого є вихід пристрою, який **відрізняється** тим, що додатково введені блок вибірки синхросигналів, на вхід якого надходить вхідний цифровий телевізійний сигнал, перший вихід блока вибірки синхросигналів підключений до третього входу першого блока пам'яті та п'ятого входу другого блока пам'яті, другий вихід блока вибірки синхросигналів підключений до перших входів першого та третього регістрів, третій вихід блока вибірки синхросигналів підключений до першого входу першого елемента АБО, других виходів першого та другого лічильників та четвертого входу компаратора, четвертий вихід блока вибірки синхросигналів підключений до другого входу першого елемента АБО, п'ятий вихід блока вибірки синхросигналів підключений до третього входу першого елемента АБО та другого входу першого елемента I, шостий вихід блока вибірки синхросигналів підключений до четвертого входу першого елемента АБО, третіх входів другого, третього та четвертого регістрів, другого входу четвертого елемента АБО, третього входу компаратора, генератор тактових імпульсів, вихід якого підключений до других входів першого та третього ключових елементів, першого входу другого ключового елемента, першого входу першого елемента I, четвертого входу першого блока пам'яті, другого входу першого блока затримки та п'ятого входу перетворювача коду, три ключових елементи, вихід першого ключового елемента підключений до других входів чотирьох регістрів, вихід другого ключового елемента підключений до першого входу третього елемента АБО, вихід третього ключового елемента підключений до першого входу другого елемента АБО, четвертий регістр, виходи якого підключені до других входів другого блока порівняння, два тригери, вихід першого тригера підключений до входу першого очікуючого мултивібратора, другого входу другого ключового елемента та першого входу третього елемента I, вихід другого тригера підключений до першого входу третього ключового

(13) C2

(11) 84838

(19) UA

елемента, другий, третій та четвертий елементи I, вихід другого елемента I підключений до входу другого блока затримки, вихід третього елемента I підключений до першого входу третього лічильника, вихід четвертого елемента I підключений до першого входу другого блока пам'яті, два очікуючих мультівібратори, вихід першого очікуючого мультівібратора підключений до першого входу першого блока затримки, перших входів другого та четвертого елементів I, входу четвертого блока затримки та входу другого генератора пачки імпульсів, вихід другого очікуючого мультівібратора підключений до другого входу другого елемента АБО, третій та четвертий блоки затримки, вихід третього блока затримки підключений до входу другого очікуючого мультівібратора, вихід четвер-

того блока затримки підключений до першого входу четвертого елемента АБО, перший та другий генератори пачки імпульсів, вихід першого генератора пачки імпульсів підключений до другого входу третього елемента АБО, вихід другого генератора пачки імпульсів підключений до третього входу третього елемента АБО, другий, третій та четвертий елементи АБО, вихід другого елемента АБО підключений до першого входу першого лічильника, вихід третього елемента АБО підключений до першого входу другого лічильника, вихід четвертого елемента АБО підключений до другого входу третього лічильника, компаратор, перший вихід якого підключений до другого входу перетворювача коду, а другий вихід підключений до третього входу перетворювача коду.

Запропонований винахід відноситься до галузі радіотехніки, техніки передачі і збереження цифрового кольорового телевізійного сигналу (ЦКТС).

Відомий „Пристрій стиску цифрового кольорового телевізійного сигналу” [1], що містить: блок дискретно-косінусного перетворювача (ДКП), блок провісника, блок оцінки руху, блок квантувача, запам'ятовуючий пристрій, блок керування коефіцієнтом стиску, блок деквантувача, блок зворотного ДКП, два суматори, блок кодування з перемінною довжиною кодового слова, мультиплексор, блок буферного запам'ятовуючого пристрою.

Недоліком відомого пристрою є наявність ряду перекручувань (блочність, розмиття контурів) при відновленні зображення.

Найбільш близьким до запропонованого технічним рішенням, обраним як прототип є „Пристрій стиску цифрових телевізійних сигналів кольорового зображення” [2], що містить: аналогово-цифровий перетворювач (АЦП), блок установки опорного рівня, три регістри, два блоки затримок, два блоки порівняння, три лічильники, елемент АБО, елемент I, комутатор, два блоки пам'яті, блок елементів АБО, формувач коду синхронізації, перетворювач коду, блок керування.

Недоліком пристрою-прототипу є постійна наявність кодів повторень у вихідному сигналі, що приводить до малого коефіцієнта стиску ЦКТС при слабкій кореляції сусідніх елементів.

В основу винаходу поставлена задача створити адаптивний пристрій стиску телевізійного сигналу, який дозволяє досягти високого коефіцієнта стиску кадру телевізійного сигналу без втрати якості відновленого зображення з урахуванням кореляції рядків елементів в середині кадру, або міжкадрами.

Поставлена задача вирішується за рахунок того, що у пристрої-прототипі, який містить аналогово-цифровий перетворювач, блок установки опорного рівня, перший, другий та третій регістри, перший та другий блоки затримок, перший та другий блоки порівняння, перший, другий та третій лічильники, елемент АБО, елемент I, комутатор, перший та другий блоки пам'яті, блок елементів АБО, формувач коду синхронізації, перетворювач

коду, блок керування, додатково введені нові зв'язки у всьому пристрої, а також введені блок вибірки синхросигналів, генератор тактових імпульсів (ГТІ), четвертий регістр, перший та другий тригери, перший, другий та третій ключові елементи, перший та другий очікуючі мультівібратори, другий та третій елементи I, третій та четвертий блоки затримки, перший та другий генератори пачки імпульсів, другий, третій та четвертий елементи АБО та компаратор.

Технічний результат, який може бути отриманий при здійсненні винаходу, полягає в підвищенні коефіцієнта стиску ЦКТС без втрати якості відновленого зображення за рахунок усунення статистичної надмірності (внутрікадровий метод стиску ЦКТС), або міжкадрової надмірності (міжкадровий метод стиску ЦКТС).

На Фіг.1 приведена структурна схема запропонованого пристрою. На Фіг.2 приведений графік залежності коефіцієнта стиску ЦКТС від кількості послідовних повторень рядків елементів кадру зображення. На Фіг.3 приведений графік залежності коефіцієнта стиску ЦКТС від кількості співпадань відповідних рядків елементів поточного та попереднього кадрів телевізійного зображення.

Запропонований пристрій містить блок вибірки синхросигналів 1, генератор тактових імпульсів 2, елементи АБО 3, 28, 29 і 30, ключові елементи 4, 14 і 23, регістри 5, 6, 7 і 8, елементи I 9, 15, 18 і 26, блоки порівняння 10 і 11, тригери 12 і 20, блоки пам'яті 13 і 36, очікуючі мультівібратори 16 і 24, блоки затримок 17, 19, 21 і 25, генератори пачки імпульсів 22 і 27, лічильники 31, 32 і 33, компаратор 34, блок елементів АБО 35, перетворювач коду 37, причому входом пристрою є вхід блоку вибірки синхросигналів 1, вихід 1 якого з'єднаний з входом 3 блоку пам'яті 13 та входом 5 блоку пам'яті 36, вихід 2 блоку вибірки синхросигналів 1 з'єднаний з входами 1 регістрів 5 і 7, вихід 3 блоку вибірки синхросигналів 1 з'єднаний з входом 1 елементу АБО 3, входами 2 лічильників 31 і 32 та входом 4 компаратора 34, вихід 4 блоку вибірки синхросигналів 1 з'єднаний з входом 2 елементу АБО 3, вихід 5 блоку вибірки синхросигналів 1 з'єднаний з входом 3 АБО 3 та входом 2 елементу

І 9, вихід 6 блоку вибірки синхросигналів 1 з'єднаний з входом 4 елементу АБО 3, входом 2 елементу І 9, входами 3 регістрів 6, 7, 8, входом 2 елементу АБО 30 та входом 3 компаратора 34, вихід ГТІ 2 з'єднаний з входом 1 елементу І 9, входом 2 ключового елементу 4, входом 4 блоку пам'яті 13, входом 1 ключового елементу 14, входом 2 ключового елементу 23, входом 2 блоку затримки 17 та входом 5 перетворювача коду 37, вихід елементу АБО 3 з'єднаний з входом 1 ключового елементу 4, вихід ключового елементу 4 з'єднаний з входами 2 регістрів 5, 6, 7 і 8, виходи 1 регістру 5 з'єднані з входами 1 блоку порівняння 10 та входами 1 блоку пам'яті 13, а вихід 2 регістру 5 з'єднаний з входом 1 регістру 6, виходи регістру 6 з'єднані з входами 2 блоку порівняння 10, виходи 1 регістру 7 з'єднані з входами 1 блоку порівняння 11 та входами 2 блоку пам'яті 36, а вихід 2 регістру 7 з'єднаний з входом 1 регістру 8, виходи регістру 8 з'єднані з входами 2 блоку порівняння 11, вихід елементу І 9 з'єднаний з входами 3 блоків порівняння 10 і 11, входами 2 тригерів 12 і 20, входом блоку затримки 21, входами 2 елементів І 18 та 26, вихід блоку порівняння 10 з'єднаний з входом 1 тригеру 20 та входом 2 блоку пам'яті 13, вихід блоку порівняння 11 з'єднаний з входом 1 тригеру 12, вихід тригеру 12 з'єднаний з входом 2 ключового елементу 14, входом 1 елементу І 18 та входом очікуючого мультівібратору 16, виходи блоку пам'яті 13 з'єднані з входами 1 перетворювача коду 37, вихід ключового елементу 14 з'єднаний з входом 1 елементу АБО 29, вихід елементу І 15 з'єднаний з входом блоку затримки 19, вихід очікуючого мультівібратору 16 з'єднаний з входом генератора пачки імпульсів 27, входами 1 елементів І 15 і 26, входом 1 блоку затримки 17 та входом блоку затримки 25, вихід блоку затримки 17 з'єднаний з входом 3 тригеру 12, вихід елементу 118 з'єднаний з входом 1 лічильника 33, вихід блоку затримки 19 з'єднаний з входом генератора пачки імпульсів 22, вихід тригеру 20 з'єднаний з входом 1 ключового елементу 23, вихід блоку затримки 21 з'єднаний з входом очікуючого мультівібратору 24, вихід генератора пачки імпульсів 22 з'єднаний з входом 2 елементу АБО 29, вихід ключового елементу 23 з'єднаний з входом 1 елементу АБО 28, вихід очікуючого мультівібратору 24 з'єднаний з входом 2 елементу АБО 28, вихід блоку затримки 25 з'єднаний з входом 1 елементу АБО 30 вихід елементу І 26 з'єднаний з входом 1 блоку пам'яті 36, вихід генератора пачки імпульсів 27 з'єднаний з входом 3 елементу АБО 29, вихід елементу АБО 28 з'єднаний з входом 1 лічильника 31, вихід елементу АБО 29 з'єднаний з входом 1 лічильника 32, вихід елементу АБО 30 з'єднаний з входом 2 лічильника 33, вихід лічильника 31 з'єднаний з входом 1 компаратора 34, вихід лічильника 32 з'єднаний з входом 2 компаратора 34, виходи лічильника 33 з'єднані з входами 3 блоку пам'яті 36 та входами блоку елементів АБО 35, вихід 1 компаратора 34 з'єднаний з входом 2 перетворювача коду 37, а вихід 2 компаратора 34 з'єднаний з входом 3 перетворювача коду 37, вихід блоку елементів АБО 35 з'єднаний з входом 4 блоку пам'яті 36 та входом 2 елементу І 15, виходи блоку пам'яті 36 з'єднані з

входами 4 перетворювача коду 37, а вихід перетворювача коду 37 є виходом пристрою.

В запропонованому пристрої блок вибірки синхросигналів 1 становить демультіплексор [1, 4], який призначений для вибірки синхросигналів та кодів рядків кадру ЦКТС, видачі синхросигналів (вихід 1), видачі кодів рядків кадру ЦКТС (вихід 2), видачі управляючого сигналу наявності синхросигналу початку кадру (СПК) (вихід 3), видачі управляючого сигналу наявності синхросигналу початку рядка (СПР) (вихід 4), видачі управляючого сигналу наявності синхросигналу кінця рядка (СКР) (вихід 5), видачі управляючого сигналу наявності синхросигналу кінця кадру (СКК) (вихід 6). Генератор тактових імпульсів 2 призначений для формування тактових імпульсів з частотою, що дорівнює тактовій частоті вхідного ЦКТС. Елемент АБО 3 призначений для об'єднання виходів 3-6 блоку вибірки синхросигналів 1. Ключовий елемент 4 призначений для блокування тактових імпульсів, що надходять до других входів регістрів 5, 6, 7 та 8 під час наявності синхросигналів на вході пристрою, причому перший вхід ключового елемента 4 є управляючий, а другий - сигнальний, що дозволяє запис в регістрах 5, 6, 7 і 8 тільки кодів рядків елементів кадру. Регістр 5 призначений для запису і збереження поточного кадру ЦКТС та видачі Т-бітового коду ЦКТС поточного рядка поточного кадру, де Т-кількість розрядів, необхідних для передачі одного рядка кадру. Регістр 6 призначений для запису, збереження і видачі Т-бітового коду поточного рядка попереднього кадру ЦКТС. Регістр 7 призначений для запису, збереження і видачі Т-бітового коду ЦКТС поточного рядка елементів поточного кадру Регістр 8 призначений для запису, збереження і видачі Т-бітового коду ЦКТС попереднього рядка елементів поточного кадру. Елемент І 9 призначений для формування імпульсів, які дозволяють синхронізувати блоки пристрою, причому елемент І 9 формує імпульс по передньому краю управляючого сигналу наявності синхросигналу початку рядка на другому вході. Блок порівняння 10 призначений для порозрядного порівняння Т-бітового коду ЦКТС поточного рядка поточного кадру і Т-бітового коду поточного рядка попереднього кадру. При співпаданні всіх відповідних розрядів двох рядків, які надходять на входи 1 і 2 блоку порівняння 10 з перших виходів регістрів 5 і 6, на виході блоку порівняння 10 формується сигнал логічної одиниці, інакше - логічного нуля. Блок порівняння 11 призначений для порозрядного порівняння Т-бітового коду ЦКТС поточного рядка поточного кадру і Т-бітового коду попереднього рядка поточного кадру. При співпаданні всіх відповідних розрядів двох рядків, які надходять на входи 1 і 2 блоку порівняння 11 з перших виходів регістрів 7 і 8, на виході блоку формується сигнал логічної одиниці, інакше - логічного нуля. Тригер 12 призначений для збереження і видачі вихідного сигналу блоку порівняння 11. Блок пам'яті 13 призначений для збереження та видачі синхросигналів ЦКТС поточного кадру, однорозрядних кодів наявності повторень відповідних рядків елементів поточного та попереднього кадрів, Т-бітових кодів не співпадаючих рядків елементів поточного кадру, які необхідні для формування кадру, що стис-

нутий міжкадровим методом. Ключовий елемент 14 призначений для блокування тактових імпульсів під час знаходження на його вхід 2 логічної одиниці з виходу тригера 12. Елемент 15 призначений для формування імпульсу, який подається до блоку затримки 19. Очікуючий мультівібратор 16 призначений для формування імпульсу, аналогічного імпульсам ГТІ 2, при переході його вхідного сигналу з рівня логічної одиниці в рівень логічного нуля. Блок затримки 17 призначений для затримки проходження сигналу на тривалість T-2 тактових імпульсів. Елемент 18 призначений для керування станом лічильника 33. Блоки затримок 19 і 21 призначені для затримки сигналу на півперіоду проходження тактових імпульсів. Тригер 20 призначений для збереження і видачі вихідного сигналу блоку порівняння 10. Генератор пачки імпульсів 22 призначений для формування 10 імпульсів, аналогічних імпульсам ГТІ 2, по надходженню на його вхід сигналу з блоку затримки 19. Ключовий елемент 23 призначений для блокування проходження тактових імпульсів під час надходження на його вхід 1 сигналу логічного нуля. Очікуючий мультівібратор 24 призначений для формування імпульсу, аналогічного імпульсам ГТІ 2, при надходженні на його вхід сигналу з блоку затримки 21. Блок затримки 25 призначений для затримки вхідного імпульсу на час запису коду повторень груп поточного кадру з виходу лічильника 33 у блок пам'яті 36. Елемент 1 26 призначений для формування імпульсу запису кодів рядків елементів і кодів повторень рядків у блок пам'яті 36. Генератор пачки імпульсів 27 призначений для формування двох імпульсів, аналогічних імпульсам ГТІ 2, по надходженню на його вхід сигналу з очікуючого мультівібратора 16. Елемент АБО 28 призначений для керування станом лічильника 31. Елемент АБО 29 призначений для керування станом лічильника 32. Елемент АБО 30 призначений для установки лічильника 33 у нульовий стан. Лічильник 31 призначений для формування коду, який чисельно виражає кількість розрядів елементів зображення кадру, що стиснуто міжкадровим методом. Лічильник 32 призначений для формування коду, який чисельно виражає кількість розрядів елементів зображення кадру, що стиснуто внутрікадровим методом. Лічильник 33 призначений для формування 10-ти розрядного коду повторень груп, причому чисельно код виражає кількість послідовно співпадаючих груп елементів зображення рядка поточного кадру. Компаратор 34 призначений для порівняння кодів, які надходять на входи 1 і 2 з лічильників 31 і 32, відповідно, та видачі результату порівняння до перетворювача коду 37. Блок пам'яті 36 призначений для збереження та видачі до перетворювача коду 37 синхросигналів ЦКТС, Т-бітових кодів рядків елементів, однорозрядних кодів наявності повторень рядків поточного кадру, 10-ти розрядних кодів повторень рядків елементів ЦКТС, які необхідні для формування кадру, що стиснутий внутрікадровим методом. Перетворювач коду 37 призначений для формування вихідного стиснутого ЦКТС.

Робота запропонованого пристрою полягає в наступному. У вихідному стані регістри 5, 6, 7, 8 і лічильники 31, 32 та 33 обнулені, на виході тригера 12 встановлена логічна одиниця. На вхід пристрою

надходить ЦКТС, що складається з СПК, СПР, СКР, СКК та рядків елементів зображення кадру [5].

На вхід пристрою надходить перший кадр ЦКТС, який поступає на вхід блоку вибірки синхросигналів 1. З виходу 1 блоку вибірки синхросигналів 1 синхросигнали поступають до третього входу блока пам'яті 13 і п'ятого входу блока пам'яті 36, та записуються по заданих адресах. З виходу 2 блоку 1 коди рядків кадру поступають на перші входи регістрів 5 і 7, де послідовно записуються. З виходів 3-6 блоку 1 надходять управляючі сигнали наявності СПР, СПК, СКР, СКК на входи 1-4 елементу АБО 3, відповідно Вихід елемента АБО 3 підключений до першого входу ключового елементу 4, на другий вхід якого надходять тактові імпульси з виходу ГТІ 2. В результаті, на другі входи регістрів 5, 6, 7 та 8 поступають тактові імпульси тільки під час надходження кодів рядків елементів кадру.

З приходом кожного тактового імпульсу з виходу ключового елементу 4 код першого рядка послідовно записується у регістр 7. По заповненню всіх розрядів, паралельний код першого рядка з перших виходів регістру 7 надходить на входи 1 блоку порівняння 11 і входи 2 блоку пам'яті 36. У цей же момент, з поступанням на вхід пристрою СКР, із виходу елементу 1 9 на дозволяючий вхід 3 блоку порівняння 11 надходить імпульс, який дозволяє операцію порівняння. Тому що це перший рядок кадру (тобто на вхід 1 регістру 8 ще не надходило сигналу і на його виходах знаходиться рівень логічного нуля), на виході блоку порівняння 11 буде сигнал логічного нуля, який надходить на перший вхід тригера 12. На другий вхід тригера 12 надходить імпульс з виходу елементу 1 9, який дозволяє роботу тригера 12. Тому що на виході тригера 12 у вихідному стані встановлена логічна одиниця, то по приході на перший вхід тригера 12 сигналу логічного нуля, на виході тригера встановиться рівень логічного нуля. При надходженні на вхід очікуючого мультівібратора 16 сигналу логічного нуля, на його виході формується імпульс, який надходить в блок затримки 17, де він затримується на тривалість проходження T-2 імпульсів ГТІ 2. З наступним тактовим імпульсом T-1 сигнал з виходу блока затримки 17 поступає на керуючий вхід 3 тригера 12 та встановлює на виході тригера 12 логічну одиницю, що дозволяє установити тригер 12 у початковий стан перед початком його роботи, а також не блокувати ключовий елемент 14 та блокувати елемент 118 під час неспівпадання кодів рядків у блоці порівняння 11. При цьому, компенсувати один імпульс, який не надходить, у такому випадку, через ключовий елемент 14 та елемент АБО 29 на вхід 1 лічильника 32 дозволяє другий імпульс, який надходить з виходу генератора пачки імпульсів 27. Також сигнал очікуючого мультівібратора 16 поступає на перший вхід елемента 1 26, на другий вхід якого надходить синхронізуючий імпульс з виходу елементу 1 9. У цьому випадку, з виходу елемента 1 26 надходить керуючий сигнал на вхід 1 блоку пам'яті 36. Даний сигнал дозволяє запис коду першого рядка в пам'ять (тому що код поточного рядка з виходу 1 регістра 7

не збігається з кодом попереднього рядка з виходу регістра 8).

По приходу наступного тактового імпульсу з виходу ключового елемента 4 на керуючі входи 2 регістрів 7 і 8, із другого виходу регістра 7 починається запис поточного рядка кадру в послідовному виді в другий регістр 8. По заповненню усіх розрядів регістра 8 з виходу елемента І 9 надходить дозволяючий імпульс на вхід блоку порівняння 11. У випадку порозрядної рівності двох рядків кадру (сигналі з виходів 1 регістрів 7 і 8) на виході блоку порівняння 11 формується сигнал логічної одиниці, який надходить на вхід тригера 12. З приходом тактового імпульсу з виходу елемента І 9 на виході тригера 12 встановлюється сигнал логічної одиниці. У цьому випадку, з виходу елемента І 18 на перший вхід лічильника 33 надходить імпульс, який збільшує стан лічильника 33 на одиницю. Таким чином, лічильник 33 рахує кількість послідовно співпадаючих рядків кадру. У випадку неспівпадань рядків кадру на входах 1 і 2 блоку порівняння 11, з його виходу на перший вхід тригера 12 надходить рівень логічного нуля, що, як показано вище, дозволить у блок пам'яті 36 записати по заданих адресах код поточного рядка кадру. Імпульс з виходу очікуючого мультівібратору 16, через блок затримки 25, що затримує імпульс на час запису коду повторень рядків з виходу лічильника 33 у блок пам'яті 36, надходить на перший вхід елемента АБО 30. На другий вхід елемента АБО 30 надходить управляючий сигнал наявності СКК з виходу 6 блоку вибірки синхросигналу 1. З виходу елемента АБО 30 сигнал надходить на другий вхід лічильника 33, що після запису в блоці пам'яті 36 коду поточного рядку елементів кадру і 10-ти розрядного коду повторень рядків елементів кадру, встановлює лічильник 33 у нульовий стан.

Для запису розряду наявності коду повторень рядків приділяється один біт. У випадку повторень рядків кадру, хоча б один з виходів лічильника 33 відмінний від нуля. Тоді на виході блоку елементів АБО 30 встановлюється логічна одиниця, яка записується в розряд наявності коду повторень рядків кадру блоку пам'яті 36. У випадку відсутності коду повторень рядків кадру на усіх виходах лічильника 33 встановлюється рівень логічного нуля, а на виході блоку елементів АБО 35 - нульовий потенціал, який запише в розряд наявності коду повторень логічний нуль.

У блоці пам'яті 36 відбувається запис і збереження синхросигналів, кодів рядків елементів кадру, розрядів наявності повторень рядків елементів кадру і кодів повторень рядків елементів кадру по зазначених адресах, а також видача вищезазначених сигналів на четверті входи перетворювача коду 37.

Таким чином, іде внутрікадровий стиск ЦКТС за рахунок передачі замість корелюючих кодів рядків коду послідовних повторень рядків елементів поточного кадру.

На вхід 1 ключового елемента 14 поступають тактові імпульси з виходу ГТІ 2, а на управляючий вхід 2 ключового елемента 14 надходить імпульс з тригера 12, який забороняє проходження тактових імпульсів через ключовий елемент 14 на час співпадань послідовних кодів рядків кадру. Лічильник

32 збільшує свій стан при надходженні на вхід 1 імпульсів з виходу елемента АБО 29 під час неспівпадань послідовних кодів груп. Це дозволяє визначити кількість розрядів, необхідних для передачі поточного кадру, який зберігається в блоці пам'яті 36. Лічильник 32 також збільшує свій стан на дві одиниці по надходженню на його вхід 1 двох імпульсів з виходу генератора пачки імпульсів 27 (пачка дорівнює 2 імпульсам, які аналогічні тактовим імпульсам ГТІ 2) через елемент АБО 29, що дозволяє врахувати наявність у вихідному стиснутому сигналі розряду наявності коду повтору рядків елементів та випадок, який розглянуто вище. При надходженні на вхід 1 елемента 115 імпульсу з виходу очікуючого мультівібратору 16 та на вхід 2 імпульсу наявності коду повторень рядків елементів з виходу блоку елементів АБО 35, на виході елемента 115 формується імпульс, який через блок затримки 19 поступає на вхід генератора пачки імпульсів 22. По передньому краю імпульсу генератор пачки імпульсів 22 формує пачку з 10 імпульсів, аналогічних тактовим імпульсам, але з затримкою на півперіоду їх слідкування (через затримку імпульсу у блоці затримки 19). Таким чином, при зникненні кореляції між послідовними рядками елементів поточного кадру лічильник 32 збільшує свій стан на 10 розрядів, які необхідні для передачі 10 - бітового коду повторень рядків елементів поточного кадру. Лічильник 32 рахує кількість розрядів, необхідних для передачі кадру, який стиснуто внутрікадровим методом та зберігається у блоці пам'яті 36.

З приходом кожного тактового імпульсу з виходу ключового елемента 4 код першого рядка також поступає на вхід регістру 5, розрядність якого співпадає з розрядністю одного кадру ЦКТС. З виходів 1 регістру 5 сигнал з перших Т розрядів регістру 5, що відповідає паралельному коду першого рядка, надходить на входи 1 блоку порівняння 10 і входи 1 блоку пам'яті 13. У цей же момент, із виходу елемента І 9 на дозволяючий вхід 3 блоку порівняння 10 надходить імпульс, який дозволяє операцію порівняння. Тому що це перший рядок (тобто на вхід 1 регістру 6 ще не надходило сигналу і на його виходах знаходиться рівень логічного нуля) на виході блоку порівняння 10 буде сигнал логічного нуля, який надходить на другий вхід блоку пам'яті 13 та записується по заданій адресі, а також дозволяє запис коду поточного рядка на входах 1 блоку пам'яті 13. З виходу блоку порівняння 10 сигнал логічного нуля також надходить на перший вхід тригера 20. На другий вхід тригера 20 поступає імпульс з виходу елемента І 9, який дозволяє роботу тригера 20. На виході тригера 20 встановиться рівень логічного нуля, який подається на перший вхід ключового елемента 23, відкриваючи його. На вхід 2 ключового елемента 23 поступають імпульси з виходу ГТІ 2, які далі надходять на вхід 1 лічильника 31 через відкритий ключовий елемент 23 та елемент АБО 28. При цьому, з прибуттям імпульсу з виходу елемента І 9 на виході блоку затримки 21 з'являється імпульс, який затримується на півперіоду проходження тактових імпульсів, та надходить на вхід очікуючого мультівібратору 24. По приходу сигналу логічної одиниці очікуючий мультівібратор 24 формує ім-

пульс, аналогічний тактовому імпульсу, що поступає через елемент АБО 28 на вхід 1 лічильника 31, який збільшує стан лічильника 31 на одиницю. Це дозволяє врахувати розряд наявності кореляції між відповідними рядками поточного та попереднього кадрів. Випадок порозрядної нерівності двох рядків поточного та попереднього кадрів (сигналі з виходів 1 регістрів 5 і 6) розглянуто вище. Лічильник 31 рахує кількість розрядів, необхідних для передачі кадру, який зберігається у блоці пам'яті 13.

По надходженню з виходу 6 блока вибірки синхросигналів 1 переднього фронту управляючого сигналу наявності синхросигналу кінця кадру (СКК) на вхід 3 компаратору 34 здійснюється порівняння значень двійкових кодів, які надходять з лічильників 31 та 32 на входи 1 і 2 компаратору 34, відповідно, і вибір мінімального значення коду. У випадку, коли значення коду, який поступає з виходу лічильника 31, менше значення коду, який поступає з виходу лічильника 31, на другому виході компаратору 34 формується імпульс, який надходить до входу 3 перетворювача коду 37 та дозволяє зчитування інформації з блоку пам'яті 36 в перетворювач коду 37 і формування вихідного стиснутого кадру. Причому, перетворювач коду 37 у вихідний сигнал після СПК добавляє розряд, в якому записаний логічний нуль. Інакше, з першого виходу компаратору 34 надходить управляючий імпульс на вхід 2 перетворювача коду 37, і дозволяє зчитування інформації з блоку пам'яті 13 в перетворювач коду 37 і формування вихідного стиснутого кадру з логічною одиницею після СПК, що дозволяє на прийомній стороні правильно відновити стиснуте зображення.

З прибуттям на вхід пристрою наступного кадру (далі - поточного) операції розпізнання синхросигналів та внутрікадровий стиск зображення відбувається так, як наведено вище. З приходом наступного тактового імпульсу з виходу ключового елементу 4 на управляючі входи 2 регістрів 5 і 6 коди рядків поточного кадру починають записуватися у регістр 5, а із другого виходу регістра 5 починається запис попереднього кадру порядково в послідовному вигляді у регістр 6. По заповненню усіх розрядів регістру 6 з виходу елементу І 9 надходить дозволяючий імпульс на вхід блоку порівняння 10. У випадку порозрядної рівності двох рядків поточного та попереднього кадрів (сигналі з виходів 1 регістрів 5 і 6) на виході блоку порівняння 10 формується сигнал логічної одиниці, який надходить на вхід 2 блоку пам'яті 13 та записується за заданою адресою. При цьому, входи 1 блоку пам'яті 13 знаходяться у запертому стані. Сигнал логічної одиниці з виходу блоку порівняння 10 поступає на вхід 1 тригера 20. З приходом тактового імпульсу з виходу елементу І 9 на вхід 2 тригера 20 на його виході встановлюється сигнал логічної

одиниці, який надходить до першого входу ключового елементу 23. У цьому випадку, в ключовому елементі 23 блокується вихід і тактові імпульси, які надходять до входу 2 ключового елементу 23 не проходять на його вихід. При цьому, як розглянуто вище, лічильник 31 збільшує свій стан на одиницю, тобто рахує кількість розрядів, необхідних для передачі кадру, який стиснуто міжкадровим методом.

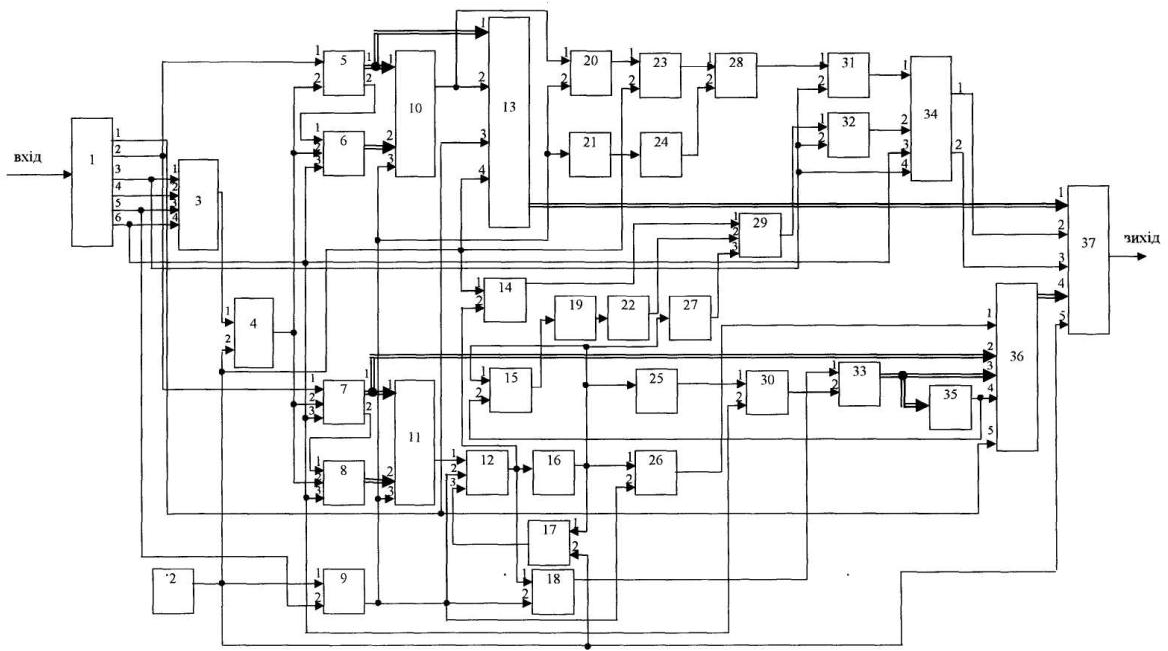
У блоці пам'яті 13 записується, зберігається та видається до перетворювача коду 37 інформація щодо стиснутого міжкадровим методом кадру: коди синхросигналів кадру, розряди наявності повторення відповідних рядків кадрів, поточного та, відносно нього, попереднього, і самі рядки. У випадку порозрядної рівності відповідних рядків поточного та попереднього кадрів в розряд наявності повторення рядків блоку пам'яті 13 (вихід 2) записується одиниця. Інакше - записується нуль та значення рядка поточного кадру.

Як показано вище, перетворювач коду 37 формує кадр за тим методом, об'єм котрого після стиску мінімальний. Таким чином, у запропонованому пристрої формується потік стиснутих кадрів ЦКТС, причому кожний кадр стискується внутрікадровим та міжкадровим методами (враховується кореляція з попереднім кадром), а в лінію зв'язку передається кадр, який стиснуто за тим методом, при якому об'єм ЦКТС мінімальний.

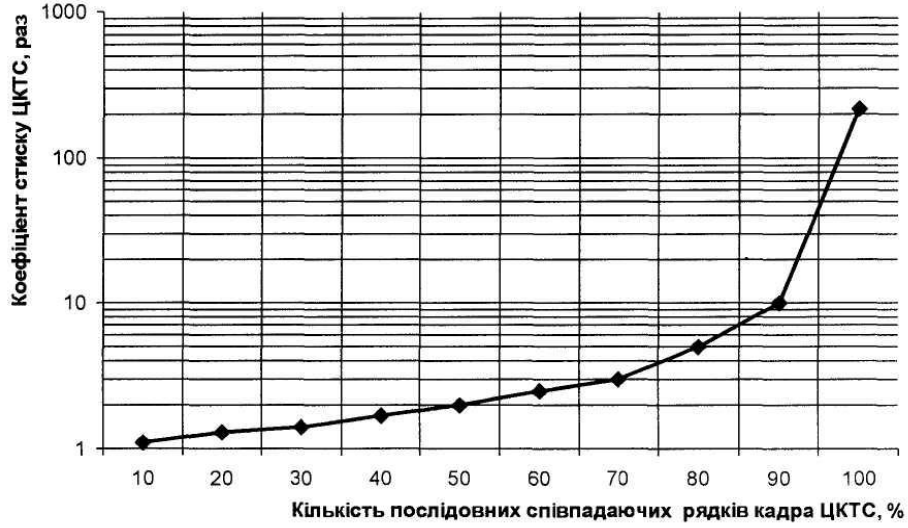
Позитивний ефект, який досягається при здійсненні винаходу полягає в тому, що пристрій стиску телевізійного сигналу, в залежності від вхідного сигналу усуває статистичну надмірність ЦКТС (максимальний коефіцієнт стиску кадру зображення в запропонованому пристрої ≈ 220 разів), або міжкадрову надмірність (максимальний коефіцієнт стиску кадру зображення в запропонованому пристрої ≈ 178 разів), що дозволяє скоротити обсяг пам'яті для збереження кодів ЦКТС і час їхньої передачі по каналах зв'язку без втрати якості відновленого сигналу.

Джерела інформації

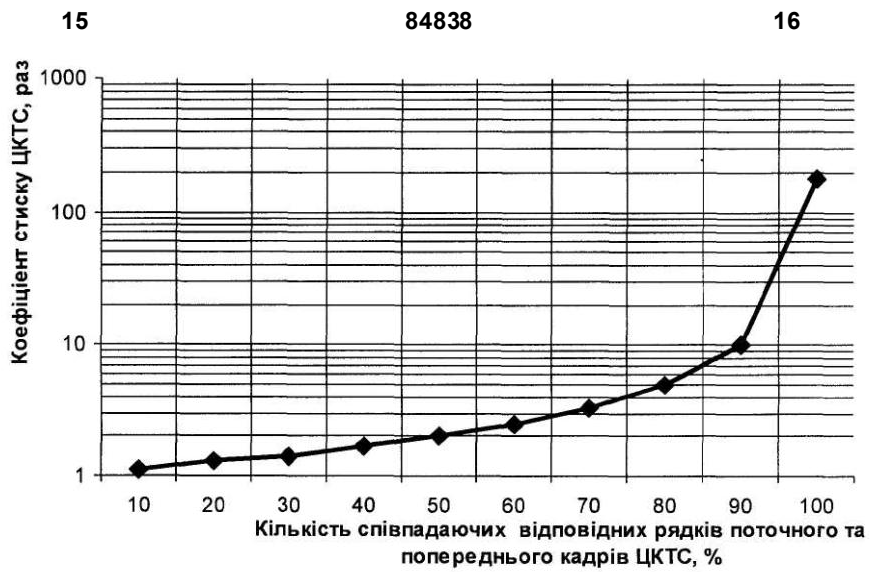
1. Смирнов АВ. Основы цифрового телевидения. - М.: Горячая линия -Телеком, 2121. - 223с.
2. Ас. №1530471 СССР МКИ Н04N7/18, 7/12. Устройство для скатия цифровых телевизионных сигналов цветного изображения / А.В. Королев, Н.Ф. Сидоренко, Б.В. Остроумов и др., 15.12.1989. БИ №46.
3. Богданович М.И. и др. Цифровые интегральные микросхемы Справочник. - Минск: Беларусь, 1991. - 492с.
4. Брайс Р. Руководство по цифровому телевидению. - М.: ДМК Пресс, 2122.-298с.
5. Recommendation ITU - BT.601 - 4. Encoding parameters of digital television for studios, 1994.



Фиг. 1



Фиг. 2



Фиг. 3