

Винахід належить до автоматики, а точніше - до пристроїв логічного керування об'єктами дискретної циклічної дії.

Відомий програмований логічний контролер (а.с. 857933 СРСР, 27.06.79, G05 В 19/18, опубл. 23.08.81, Бюл. №31), який є пристроєм керування паралельної дії і містить лічильник, компаратор, основний та додатковий блоки пам'яті, комутатор та блок керування, що виконаний у вигляді двох елементів І та елемента НЕ, причому лічильник та основний блок пам'яті включені послідовно, перший вихід основного блока пам'яті, з'єднаний з виходом пристрою, а другий - з одним входом компаратора, другий вхід якого з'єднаний з першим входом пристрою, вихід першого елемента І підключений до першого входу лічильника безпосередньо, а вихід другого елемента І - до другого входу лічильника через додатковий блок пам'яті, що з'єднаний другим входом з третім виходом основного блока пам'яті та одним входом комутатора, другий вхід якого підключений до другого входу пристрою, причому перші входи обох елементів І з'єднані з виходом компаратора, а другі входи першого і другого елементів І підключені до виходу комутатора відповідно через елемент НЕ та безпосередньо.

Аналог забезпечує програмне керування об'єктами з детермінованою послідовністю виконуваних операцій, однак характеризується двома серйозними недоліками. Перший недолік складається у тому, що за допомогою даного пристрою неможливе програмне керування об'єктами з випадковою послідовністю виконуваних операцій (в пристрої відсутні необхідні для цього блоки та зв'язки між ними), другий недолік складається у тому, що даний пристрій має визначену апаратну надмірність.

Найбільш близьким за сукупністю ознак до пропонуємого винаходу є програмований логічний контролер (а.с. 1302242 СРСР, 30.12.85, G 05 В 19/18, опубл. 07.04.97. Бюл. №13), що містить блоки пам'яті станів та команд, схему порівняння та лічильник адреси, перший вхід якого є першим входом пристрою, вихід лічильника адреси є першим виходом пристрою та з'єднаний з адресними входами блоків пам'яті станів та команд, інформаційний вихід блока пам'яті станів підключений до першого входу схеми порівняння, другий вхід якої є другим входом пристрою, другим виходом якого є перший (інформаційний) вихід блоку пам'яті команд, в якому повністю усунений перший недолік аналога: забезпечена можливість керування об'єктами як з детермінованою, так і з випадковою послідовністю виконуваних операцій.

Причини, які перешкоджають досягненню прототипом очікуваного технічного результату, полягають у наступному: при будівництві контролерних мереж на основі прототипа деякі блоки стають незадіяними (надмірними), крім того, у прототипі застосовується метод аналізу умов переходів, реалізація якого зв'язана з підвищеними апаратними витратами.

В основу винаходу поставлено задачу вдосконалення мережного програмованого контролера шляхом введення до нього нових блоків та зв'язків, які забезпечують економічну схему компоновки контролерної мережі, а також реалізацію методу аналізу комбінацій умов переходів, яка потребує зменшених апаратних витрат.

Реалізація поставленої задачі досягається тим, що у мережний програмований контролер, що містить блоки пам'яті станів та команд, схему порівняння та лічильник адреси, перший вхід якого є першим входом пристрою, вихід лічильника адреси є першим виходом пристрою та з'єднаний з адресними входами блоків пам'яті станів та команд, інформаційний вихід блока пам'яті станів підключений до першого входу схеми порівняння, другий вхід якої є другим входом пристрою, другим виходом якого є перший (інформаційний) вихід блоку пам'яті команд, введений блок пам'яті переходів, вузол логічного керування та логічний елемент "І", причому адресний вхід блоку пам'яті переходів є третім входом пристрою, перший (інформаційний) вихід блоку пам'яті переходів з'єднаний з першим входом лічильника адреси, другий та третій входи якого підключені відповідно до першого та другого виходів вузла логічного керування, перший вхід якого з'єднаний з другим виходом блоку пам'яті переходів, другий та третій входи вузла логічного керування підключені відповідно до другого виходу блока пам'яті команд та до виходу логічного елемента "І", перший вхід якого є третім входом пристрою, другий вхід логічного елемента "І" з'єднаний з виходом схеми порівняння.

Введення вказаних відрізняючих ознак винаходу дозволяє усунути апаратну надмірність пристрою за рахунок застосування економічної схеми компоновки контролерних мереж, при якій контролерна мережа являє собою набір введених контролерів, керує одним ведучим контролером, а також ефективного методу аналізу комбінацій умов переходів, який потребує зменшених апаратних витрат.

На фіг. наведена блок-схема запропонованого пристрою.

Пристрій містить схему порівняння 1, блок 2 пам'яті станів, лічильник адреси 3, блок 4 пам'яті переходів, блок 5 пам'яті команд, вузол логічного керування 6 та логічний елемент "І" 7, причому перший вхід лічильника адреси 3 є першим входом пристрою, вихід лічильника адреси 3 є першим виходом пристрою та з'єднаний з адресними входами блоків 2 та 5 пам'яті станів та команд, інформаційний вихід блока 2 пам'яті станів підключений до першого входу схеми порівняння 1, другий вхід якої є другим входом пристрою, другим виходом якого є перший (інформаційний) вихід блоку 5 пам'яті команд, адресний вхід блоку 4 пам'яті переходів є третім входом пристрою, перший (інформаційний) вихід блоку 4 пам'яті переходів з'єднаний з першим входом лічильника адреси 3, другий та третій входи якого підключені відповідно до першого та другого виходів вузла логічного керування 6, перший вхід якого з'єднаний з другим виходом блоку 4 пам'яті переходів, другий та третій входи вузла логічного керування 6 підключені відповідно до другого виходу блока 5 пам'яті команд та до виходу логічного елемента "І" 7, перший вхід якого є третім входом пристрою, другий вхід логічного елемента "І" 7 з'єднаний з виходом схеми порівняння 1.

Блок 2 пам'яті станів та блок 5 пам'яті команд призначені для зберігання програми (яка у загальному випадку складається із k підпрограм) керування циклом роботи обслуговуваного об'єкта. Програма керування циклом у запропонованому контролері являє собою послідовність рядків, кожний з яких складається з двох частин: 1) комбінації команд на вмикання та вимикання m механізмів, 2) комбінації станів, в які повинні прийти датчиків у результаті спрацювання m механізмів, при цьому до блока 5 пам'яті команд записується послідовність комбінацій команд на вмикання та вимикання механізмів, а до блока 2 пам'яті станів - послідовність комбінацій станів, до яких повинні прийти датчики, які фіксують положення механізмів, в

результаті виконання відповідних команд, причому в кожному рядку блока 5 пам'яті команд один розряд виділений для програмування ознаки кінця програми (підпрограми) - КП.

Адресація блоків 2 та 5 здійснюється паралельно за допомогою лічильника адреси 3.

Блок 4 пам'яті переходів призначений для зберігання та відпрацьовування програми вибору початкових адрес підпрограм, які записані у блоках 2 та 5 пам'яті станів та команд.

Схема порівняння 1 призначена для паралельного (одночасного) порівняння комбінацій фактичних станів датчиків циклу з їх очікуваними значеннями, які записані в і-му рядку блока 2 пам'яті станів.

Вузол логічного керування 6 в залежності від комбінації сигналів на його входах здійснює логічне керування роботою лічильника адреси 3.

Логічний елемент "І" 7 призначений для формування сигналу еквівалентності Е на вході вузла логічного керування 6 при будівництві контролерних мереж.

В якості блоків, з яких складається пропонуємія пристрій, можуть використовуватися стандартні елементи (мікросхеми): лічильники, схеми порівняння; блоки пам'яті можуть бути реалізовані, наприклад, на постійних програмованих запам'ятовуючих пристроях (ППЗП), а вузол логічного керування - на програмованій логічній матриці (ПЛМ).

Мережний програмований контролер паралельної дії працює таким чином. Умовно він може бути розділений на два вузла: ведомий контролер ( $a_1-a_n$ ), який включає до себе схему порівняння 1, блоки пам'яті станів та команд 2 та 5 та логічний елемент "І" 7, а також ведучий контролер, який включає до себе лічильник адреси 3, блок пам'яті переходів 4 та вузол логічного керування 6. Ведучий контролер використовується для аналізу комбінацій станів датчиків умов переходів, адресації ведомих контролерів у процесі відробки підпрограм а також для організації функцій переривання. Ведомий контролер здійснює безпосередньо відробку підпрограм, формує керуючі команди та сигнали кінця підпрограми (КП) та еквівалентності (Е). Будівництво контролерних мереж на основі запропонованого пристрою відбувається шляхом каскадування ведомих контролерів, керуємих одним ведучим контролером, за рахунок чого досягається економія апаратних витрат.

Встановлення пристрою у початковий стан здійснюється за допомогою зовнішнього імпульсного сигналу початкового встановлення ПВ, який обнуляє лічильник адреси. Процес відпрацьовування керуючої програми складається з двох етапів: 1) аналізу комбінацій станів датчиків умов переходів (станів зовнішнього середовища) та формування початкової адреси підпрограми; 2) власне відпрацьовування вибраної підпрограми, причому аналіз станів зовнішнього середовища здійснюється паралельно та незалежно від відпрацьовування підпрограми.

В останньому рядку кожної підпрограми а також у нульовому рядку програми записується тільки ознака кінця підпрограми КП, яка використовується як дозвіл переходу пристрою до відпрацьовування будь-якої із записаних у блоках 2 та 5 підпрограм.

Вибір початкової адреси підпрограми здійснюється за допомогою блока 4 пам'яті переходів, який у разі виникнення на його вході однієї із запрограмованих комбінацій встановлює лічильник адреси до відповідного даній комбінації стану. У разі виникнення на його вході незапрограмованої комбінації лічильник адреси буде встановлений у нульовий стан або залишиться у ньому.

До вузла логічного керування 6 записуються такі логічні рівняння:

$$КП + ПР = А, \quad \bar{E} \bar{K} \bar{P} \bar{P} = +1,$$

де ПР - ознака переривання, Е - сигнал еквівалентності з виходу логічного елемента "І" 7.

Якщо вирішується логічне рівняння:  $КП = А$ , то на другому виході вузла логічного керування 6 з'являється сигнал "Адреса" ("А"), за яким лічильник адреси 3 здійснює переадресацію блоків 2 та 5 пам'яті станів та команд на першу адресу вибраної підпрограми або на нульовий рядок.

Якщо вирішується логічне рівняння:  $\bar{E} \bar{K} \bar{P} \bar{P} = +1$ , то на першому виході вузла логічного керування 6 з'являється сигнал "+1", за яким лічильник адреси 3 адресує блоки 2 та 5 пам'яті станів та команд до наступного (i+1) рядка.

Якщо на якому-небудь кроці підпрограми станеться вихід з ладу механізму або датчика (який не приводить до аварійної ситуації), перехід до наступного рядка підпрограми не відбувається, тому що не спрацьовує схема порівняння 1, яка блокує логічний елемент "І" 7.

У разі виходу з ладу механізмів або датчиків можливе виникнення заборонених комбінацій станів механізмів, при яких у керуємих об'єктах можуть з'являтися аварійні ситуації, які потребують негайного втручання до процесу керування. Для реакції пристрою на аварійні ситуації один з виходів блока 4 пам'яті переходів виділений для фіксації та видачі на третій вхід вузла логічного керування 6 сигналу ознаки переривання ПР, при цьому вирішується логічне рівняння:  $ПР = \bar{A}$ , у результаті чого лічильник адреси без очікування кінця відпрацьовування робочої підпрограми переадресує блоки 2 та 5 пам'яті станів та команд до початкової адреси перериваючої підпрограми.

При проектуванні контролерних мереж на основі запропонованого пристрою з виходу схем порівняння кожного з ведомих контролерів ( $a_1-a_n$ ) на другі входи логічних елементів "І" 7 поступає сигнал еквівалентності  $e_i$ . На перші входи логічних елементів "І" 7 всіх ведомих контролерів крім останнього поступає сигнал  $E_1$ , який являє собою добуток сигналів еквівалентності  $e_{i+1} e_{i+2} \dots e_n$ . Перший вхід логічного елемента останнього ведомого контролера  $a_n$  підключений до  $U_n$ . Таким чином, сигнал еквівалентності Е являє собою добуток сигналів еквівалентності кожного з ведомих контролерів:  $E = e_1 e_2 \dots e_n$ . Іншими словами, формування сигналу еквівалентності на третьому вході вузла логічного керування 6 можливо тільки при наявності даного сигналу на виходах схем порівняння 1 всіх ведомих контролерів.