

Винахід належить до автоматики, а точніше - до пристроїв програмно-логічного керування об'єктами дискретної циклічної дії.

Відомий програмований логічний контролер (див.: А. с. 857933 СРСР, 27.06.1979, G05B19/18, опубл. 23.08.1981, Бюл. № 31), який є пристроєм керування паралельної дії і містить лічильник, компаратор, основний та додатковий блоки пам'яті, комутатор та блок керування, що виконаний у вигляді двох елементів І та елемента НЕ, причому лічильник та основний блок пам'яті включені послідовно, перший вихід основного блока пам'яті з'єднаний з виходом пристрою, а другий - з одним входом компаратора, другий вхід якого з'єднаний з першим входом пристрою, вихід першого елемента І підключений до першого входу лічильника безпосередньо, а вихід другого елемента І - до другого входу лічильника через додатковий блок пам'яті, що з'єднаний другим входом з третім виходом основного блока пам'яті та одним входом комутатора, другий вхід якого підключений до другого входу пристрою, причому перші входи обох елементів І з'єднані з виходом компаратора, а другі входи першого і другого елементів І підключені до виходу комутатора відповідно через елемент НЕ та безпосередньо.

Аналог забезпечує програмне керування об'єктами з детермінованою послідовністю виконуваних операцій, однак характеризується двома серйозними недоліками. Перший недолік складається у тому, що за допомогою даного пристрою неможливе програмне керування об'єктами з випадковою послідовністю виконуваних операцій (в пристрої відсутні необхідні для цього блоки та зв'язки між ними), другий недолік полягає у тому, що при паралельному засобі керування циклом роботи об'єкта (наприклад - технологічного агрегата) аналіз умов розгалуження циклу (аналіз зовнішнього середовища) виконується послідовно, умова за умовою, що обмежує швидкодію пристрою.

Найбільш близьким за сукупністю ознак до пропонованого винаходу є програмований логічний контролер (див.: А. с. 1302242 СРСР, 30.12.1985, G05B19/18, опубл. 07.04.1997, Бюл. № 13), що містить блоки пам'яті станів та команд, лічильник адреси, схему порівняння та блок індикації, причому перший (установлювальний) вхід лічильника адреси є першим входом пристрою, інформаційний вихід лічильника адреси підключений до адресних входів блоків пам'яті станів та команд, а також до першого входу блока індикації, другий вхід якого з'єднаний з першим виходом схеми порівняння, перший вхід якої з'єднаний з інформаційним виходом блока пам'яті станів, другий вхід схеми порівняння є другим входом пристрою, виходом якого є перший (інформаційний) вихід блока пам'яті команд, в якому повністю усунений перший недолік аналога: забезпечена можливість керування об'єктами як з детермінованою, так і з випадковою послідовністю виконуваних операцій.

Причини, які перешкоджають досягненню прототипом очікуваного технічного результату, полягають у наступному: у прототипі аналіз можливих комбінацій умов переходів здійснюється послідовно, умова за умовою, шляхом сканування деякої області пам'яті, в результаті чого тривалість циклу сканування знаходиться у прямій залежності від кількості комбінацій умов переходів, що обмежує швидкодію пристрою.

В основу винаходу поставлено задачу вдосконалення структури програмованого логічного контролера шляхом застосування паралельного (одночасного) аналізу всіх можливих комбінацій умов переходів забезпечити підвищення швидкодії пристрою.

Реалізація поставленої задачі досягається тим, що у програмований логічний контролер, що містить блоки пам'яті станів та команд, лічильник адреси, схему порівняння та блок індикації, причому перший (установлювальний) вхід лічильника адреси є першим входом пристрою, інформаційний вихід лічильника адреси підключений до адресних входів блоків пам'яті станів та команд а також до першого входу блока індикації, другий вхід якого з'єднаний з першим виходом схеми порівняння, перший вхід якої з'єднаний з інформаційним виходом блока пам'яті станів, другий вхід схеми порівняння є другим входом пристрою, виходом якого є перший (інформаційний) вихід блока пам'яті команд, згідно з винаходом, введені вузол логічного керування та блок пам'яті переходів, адресний вхід якого з'єднаний з другим входом пристрою, а перший (інформаційний) його вихід підключений до другого входу лічильника адреси, третій та четвертий входи якого підключені відповідно до першого та другого виходу блока логічного керування, перший вхід якого з'єднаний з другим виходом блока пам'яті команд, а другий та третій входи блока логічного керування підключені відповідно до другого виходу схеми порівняння та до другого виходу блока пам'яті переходів.

Введення вказаних відрізняючих ознак винаходу дозволяє не втрачати час на пошук адреси переходу, а за комбінацією вхідних сигналів на адресному вході блока пам'яті переходів безпосередньо з його першого виходу подавати до лічильника адреси необхідну початкову адресу і-ї підпрограми, тобто пошук необхідної адреси переходу у пропонованому пристрої зведений майже до нуля і дорівнює часу одноразового читання інформації з блоку пам'яті переходів.

На фігурі наведена блок-схема запропонованого пристрою.

Пристрій містить блок індикації 1, схему порівняння 2, блок логічного керування 3, блок 4 пам'яті станів, лічильник адреси 5, блок 6 пам'яті переходів, блок 7 пам'яті команд, причому перший (установлювальний) вхід лічильника адреси 5 є першим входом пристрою, інформаційний вихід лічильника адреси 5 підключений до адресних входів блоків пам'яті станів 4 та команд 7 а також до першого входу блока індикації 1, другий вхід якого з'єднаний з першим виходом схеми порівняння 2, перший вхід якої з'єднаний з інформаційним виходом блока 4 пам'яті станів, другий вхід схеми порівняння 2 є другим входом пристрою, виходом якого є перший (інформаційний) вихід блока 7 пам'яті команд, адресний вхід блока 6 пам'яті переходів з'єднаний з другим входом пристрою, а перший (інформаційний) його вихід підключений до другого входу лічильника адреси 5, третій та четвертий входи якого підключені відповідно до першого та другого виходу блока логічного керування 3, перший вхід якого з'єднаний з другим виходом блока 7 пам'яті команд, а другий та третій входи вузла логічного керування 3 підключені відповідно до другого виходу схеми порівняння 2 та до другого виходу блока 6 пам'яті переходів.

Блок 4 пам'яті станів та блок 7 пам'яті команд призначені для зберігання програми (яка у загальному випадку складається із k підпрограм) керування циклом роботи обслуговуваного об'єкта. Програма керування циклом у запропонованому контролері являє собою послідовність рядків, кожний з яких складається з двох частин: 1) комбінації команд на вмикання та вимикання m механізмів, 2) комбінації станів, в які повинні прийти n датчиків у результаті спрацювання m механізмів, при цьому до блока 7 пам'яті команд записується послідовність комбінацій команд на вмикання та вимикання механізмів, а до блока 4 пам'яті станів - послідовність комбінацій станів, до яких повинні прийти датчики, які фіксують положення механізмів в результаті виконання відповідних команд, причому в кожному рядку блока 7 пам'яті команд один розряд виділений для програмування ознаки кінця програми (підпрограми) - КП.

Адресація блоків 4 і 7 здійснюється паралельно за допомогою лічильника адреси 5.

Блок 6 пам'яті переходів призначений для зберігання та відпрацювання програми вибору початкових адрес підпрограм, які записані у блоках 4 та 7 пам'яті станів та команд.

Схема порівняння 2 призначена для паралельного (одночасного) порівняння комбінацій фактичних станів датчиків циклу з їх очікуваними значеннями, які записані в i -му рядку блока 4 пам'яті станів.

Вузел логічного керування 3 залежно від комбінації сигналів на його входах здійснює логічне керування роботою лічильника адреси 5.

Як блоки, з яких складається пропонований пристрій, можуть використовуватися стандартні елементи (мікросхеми): лічильники, схеми порівняння, елементи індикації; блоки пам'яті можуть бути реалізовані, наприклад, на постійних програмованих запам'ятовувачих пристроях (ППЗП), а блок логічного керування - на програмованій логічній матриці (ПЛМ).

Програмований логічний контролер працює таким чином. Встановлення його у початковий стан здійснюється за допомогою зовнішнього імпульсного сигналу початкового встановлення ПВ, який обнуляє лічильник адреси. Процес відпрацювання керуючої програми складається з двох етапів: 1) аналізу комбінацій станів датчиків умов переходів (станів зовнішнього середовища) та формування початкової адреси підпрограми; 2) власне відпрацювання вибраної підпрограми, причому аналіз станів зовнішнього середовища здійснюється паралельно та незалежно від відпрацювання підпрограми.

В останньому рядку кожної підпрограми а також у нульовому рядку програми записується тільки ознака кінця підпрограми КП, яка використовується як дозвіл переходу пристрою до відпрацювання будь-якої із записаних у блоках 4 та 7 підпрограм.

Вибір початкової адреси підпрограми здійснюється за допомогою блока 6 пам'яті переходів, який у разі виникнення на його вході однієї із запрограмованих комбінацій встановлює лічильник адреси до відповідного даній комбінації стану. У разі виникнення на його вході незапрограмованої комбінації лічильник адреси буде встановлений у нульовий стан або залишиться у ньому.

До блока логічного керування 3 записуються такі логічні рівняння:

$$КП + ПР = А, \quad E \cdot \overline{КП} \cdot \overline{ПР} = +1,$$

де ПР - ознака переривання, E - сигнал еквівалентності з другого виходу схеми порівняння.

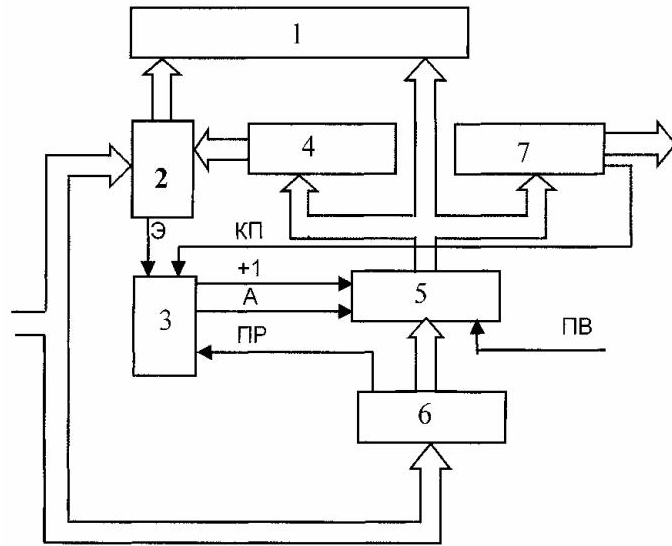
Якщо вирішується логічне рівняння $КП=A$, то на другому виході блока логічного керування 3 з'являється сигнал "Адреса" ("А"), за яким лічильник адреси 5 здійснює переадресацію блоків 4 та 7 пам'яті станів та команд на першу адресу вибраної підпрограми або на нульовий рядок.

Якщо вирішується логічне рівняння: $E \cdot \overline{КП} \cdot \overline{ПР} = +1$, то на першому виході блока логічного керування 5 з'являється сигнал "+1", за яким лічильник адреси 5 адресує блоки 4 та 7 пам'яті станів та команд до наступного ($i+1$) рядку.

Якщо на якому-небудь кроці підпрограми станеться вихід з ладу механізму або датчика (який не приводить до аварійної ситуації), перехід до наступного рядку підпрограми не відбувається, тому що не спрацьовує схема порівняння 2, з першого виходу якої на другий вхід блока індикації видається інформація про нееквівалентність стану i -го датчика (датчиків) запрограмованому (запрограмованим) на даному рядку підпрограми. Крім того, стан лічильника адреси 5 (номер рядку підпрограми) видається до першого входу блока індикації. Указана інформація може бути використана для автоматичної діагностики роботи керованого об'єкта.

У разі виходу з ладу механізмів або датчиків можливе виникнення заборонених комбінацій станів механізмів, при яких у керованих об'єктах можуть з'являтися аварійні ситуації, які потребують негайного втручання до процесу керування. Для реакції пристрою на аварійні ситуації один з виходів блока 6 пам'яті переходів виділений для фіксації та видачі на третій вхід блока логічного керування 3 сигналу ознаки переривання ПР, при цьому вирішується логічне рівняння $ПР=A$, у результаті чого лічильник адреси без очікування кінця відпрацювання робочої підпрограми переадресує блоки 4 та 7 пам'яті станів та команд до початкової адреси перериваючої підпрограми.

39306



Фиг.